

Juan Miguel Salmerón Mir

**Implementació i Control d'un Carregador Bidireccional
de Bateria d'un Vehicle Elèctric**

**Treball Fi de Màster
dirigit pel Dr. Enric Vidal Idiarte**

Màster en Enginyeria Industrial



UNIVERSITAT ROVIRA I VIRGILI

Tarragona

2016

I és ara, arribant al final d'aquest camí, que m'agradaria aprofitar l'oportunitat per mostrar el meu agraïment a totes aquelles persones que m'han recolzat i que gràcies a la seva aportació han fet possible aquest viatge.

En primer lloc, agrair a en Dr. Enric Vidal Idiarte per donar-me l'oportunitat de realitzar el projecte final de màster dins el marc de la seva investigació al laboratori d'electrònica de potència del Departament d'Enginyeria Electrònica, Elèctrica i Automàtica.

Al Dr. A. Marcos, per guiar-me durant la meva primera etapa al laboratori i per realitzar un treball excel·lent i una tesis doctoral minuciosament detallada que m'ha permès entendre el funcionament del sistema per poder realitzar la meva feina.

Als membres del Grup d'Automàtica i Electrònica Industrial (GAEI), per acompanyar-me en el dia a dia i assessorar-me quan més ho necessitava, especialment a: Dr. J. M. Bosque Moncusí, R. Bonache, A. Teixidó, E. Zahino, E. Rodríguez, Md. N. Hasan, M. Ayad, B. A. Martínez, S. García i C. González.

I, per suposat, l'agraïment més profund i sentit va per a la meva família, en especial als meus pares Juan Miguel i Cristina i al meu germà Daniel ja que sense el seu amor i recolzament incondicional res hagués estat possible. I als amics, que constantment demostren perquè són la família que s'escull.

Contingut

Llista d'abreviatures, símbols i variables	vii
Llista de figures	xi
Llista de Taules.....	xiii
Llista de Fragments de Codi	xiii
1 Introducció.....	1
1.1 Vehicles Elèctrics.....	2
1.2 Tipus de carregadors de bateries per vehicles elèctrics	3
2 Objectiu del projecte	5
3 Estat inicial del projecte.....	7
3.1 Visió general del carregador	7
3.2 Conceptes bàsics.....	7
3.2.1 Rectificador d'ona completa	8
3.2.2 Convertidor <i>Boost</i>	8
3.2.3 Convertidor <i>Buck</i>	11
3.2.4 Convertidor Boost bidireccional	13
3.2.5 Interleaving.....	14
3.2.6 Correcció factor de potència	15
3.2.7 Perfil de càrrega corrent constant-tensió constata (CC-CV).....	17
3.3 Circuit de potència	18
3.4 Control	19
4 Disseny i implementació	23
4.1 Supervisor	25
4.2 Gestió de les etapes PFC i BCM.....	27
4.2.1 Càlcul cicle de treball	27
4.2.2 Generació senyals PWM.....	28
4.2.3 Resultats.....	30
4.3 Gestió rectificador síncron.....	35
4.3.1 Pont de MOSFETS.....	35
4.3.2 Sensat diferencial	36
4.3.3 Generació senyals de gate del rectificador síncron	38
4.3.4 Resultats.....	41
4.4 Xarxa Compensadora.....	44

4.5	Reestructuració de la seqüència d'execució de l'algoritme de control.....	46
4.5.1	Algoritme de control del carregador de bateries bidireccional.....	46
4.5.2	Seqüència d'execució anterior	47
4.5.3	Seqüència d'execució actual.....	49
4.6	Propostes de millora	52
4.6.1	Precàrrega	52
4.6.2	Modularització codi per tests.....	55
5	Fitxer de simulació en PSIM	59
5.1	Supervisor	59
5.2	Referència de corrent etapa BCM.....	59
5.3	Generació senyals PWM complementaris	60
5.4	Gestió pont síncron	60
6	Planta experimental.....	63
6.1	Prototip del carregador	63
6.2	Instrumentació i equipament addicional	64
7	Pressupost.....	65
7.1	Pressupost unitari del carregador bidireccional.....	65
7.2	Resum del pressupostos	73
8	Conclusions i treball futur	75
	Referències.....	77
	Annex A – Esquemàtics	79
	Annex B – Esquemàtics simulacions PSIM.....	99
	Annex C – Codi programa DSP	109

Llista d'abreviatures, símbols i variables

Abreviatures

- AC Corrent altern
- ADC Convertidor analògic a digital
- B2G De bateria a xarxa elèctrica
- BCM Gestió de la càrrega de la bateria
- CC Corrent constant
- CV Voltatge constant
- DC Corrent directe
- DSC Controlador de senyals digitals
- EMI Interferència electromagnètica
- EV Vehicle elèctric
- EVSE Equipament de subministrament per vehicles elèctrics
- G2B De xarxa elèctrica a bateria
- GPIO Entrada/sortida de propòsit general
- HEV Vehicle elèctric híbrid
- ICE Motor de combustió interna
- IEC Comissió internacional electrotècnica
- LFR Resistor lliure de pèrdues (*Loss-free resistor*)
- Li-ion Ió liti
- MOSFET Transistor d'efecte de camp metall-òxid-semiconductor
- OA Amplificador operacional
- PF Factor de potència
- PFC Correcció del factor de potència
- PEV Vehicle elèctric endollable
- PHEV Vehicle elèctric híbrid endollable
- PI Proporcional integral
- POPI Potència de sortida, potència d'entrada
- PWM Modulació per amplada de polsos
- ePWM Modulació per amplada de polsos avançada
- SAE Societat d'enginyers d'automoció
- SG Xarxa intel·ligent (*Smart grid*)
- SM Mode *Sliding*
- SMC Control de mode *Sliding*
- SoC Estat de càrrega
- THD Distorsió harmònica total

Símbols i variables

- A Amper, unitat de corrent
- Δ Increment or arrissat
- C Condensador (també utilitzat com a subíndex)
- C_{Bat} Condensador de la bateria
- C_{in} Condensador d'entrada
- d Cicle de treball
- D Díode
- F Farad, unitat de capacitat
- f_{AC} Freqüència de línia
- f_{SW} Freqüència de commutació
- g Conductància emulada d'entrada de cada convertidor de l'etapa PFC
- G Conductància emulada d'entrada de l'etapa PFC
- H Henry, unitat d'inductància
- i_{AC} Corrent de línia
- $i_{Bat}(t)$ Corrent instantani de la bateria
- I_{Bat} Corrent mig de la bateria
- $i_{in}(t)$ Corrent instantani d'entrada rectificat
- I_{in} Corrent mig d'entrada
- $i_{INT}(t)$ Suma del corrent instantani dels tres inductors en *interliving*
- $i_L(t)$ Corrent instantani de l'inductor
- $i_o(t)$ Corrent instantani de sortida de l'etapa PFC
- k Paràmetre constant
- k_i Paràmetre integral
- k_p Paràmetre proporcional
- L Inductor (també utilitzat com a subíndex)
- m Pendent del corrent de l'inductor
- η Eficiència
- N Nombre de cèl·lules
- P Potència mitjana activa
- P_{in} Potència mitjana d'entrada
- P_o Potència mitjana de sortida
- Q MOSFET
- r Resistència emulada *Loss-free resistor*
- R Resistor
- RMS Valor eficaç (també utilitzat com a subíndex)

- S Siemens, unitat de conductància
- t Temps
- τ Temps de conducció estat en ON
- T_{SW} Període de commutació
- $u(t)$ Senyal de control instantani
- $u_L(t)$ Senyal de control instantani pels interruptors controlats de costat baix
- $u_H(t)$ Senyal de control instantani pels interruptors controlats de costat alt
- V Volt, unitat de voltatge
- $v_{AC}(t)$ Voltatge instantani de línia
- $v_{Bat}(t)$ Voltatge instantani de la bateria
- $v_C(t)$ Voltatge instantani del condensador DC-link
- $v_{in}(t)$ Voltatge instantani d'entrada rectificat
- W Watt, unitat de potència
- ω_C Freqüència angular de tall
- Z Impedància
- Z_{in} Impedància d'entrada
- Ω Ohm, unitat de resistència

Subíndexs

- Bat Bateria
- i Relatiu a les cèl·lules *Buck*
- in Entrada
- j Relatiu a les cèl·lules *Boost*
- k Qualsevol tipus de cèl·lula
- max Màxim
- min Mínim
- o Sortida
- ref Referència

Superíndexs

- n n^{th} període de commutació

Lista de figures

Figura 3.1.	Diagrama de blocs general del carregador unidireccional. Basat en [4].	7
Figura 3.2.	Funcionament del rectificador d'ona completa. A) Semicicle positiu. B) Semicicle negatiu. C) Símbol simplificat del conjunt i senyals d'entrada i sortida del rectificador.	8
Figura 3.3.	Esquemàtic simplificat del convertidor <i>Boost</i> .	9
Figura 3.4.	Senyals més característics d'un convertidor <i>Boost</i> .	9
Figura 3.5.	Esquemàtic simplificat del convertidor <i>Buck</i> .	11
Figura 3.6.	Senyals més característics d'un convertidor <i>Buck</i> .	12
Figura 3.7.	Convertidor <i>Boost/Buck</i> bidireccional. A) Circuit convencional. B) Versió millorada. [4].	13
Figura 3.8.	Principi de funcionament del convertidor <i>Boost/Buck</i> . Operació <i>Boost</i> A) Estat en ON. B) Estat en OFF. Operació <i>Buck</i> . C) Estat ON. D) Estat OFF. [4]	13
Figura 3.9.	Esquemàtic de tres convertidors <i>Boost</i> en paral·lel. [4]	14
Figura 3.10.	Exemple d'interleaving. A) Senyals de <i>gate ui(t)</i> dels transistors Q_j . B) Corrents dels inductors $i_{Li}(t)$ i corrent total $i_{INT}(t)$. [4]	14
Figura 3.11.	Triangle de potències	15
Figura 3.12.	Model <i>loss-free resistor</i> (LFR)	16
Figura 3.13.	Comportament LFR del carregador amb v_{in} i i_{in} en fase.	16
Figura 3.14.	Representació equivalent a la etapa PFC basada en tres LFRs connectats en paral·lel. Basat en [4].	17
Figura 3.15.	Perfil de càrrega de la bateria CC-CV [4].	17
Figura 3.16.	Esquemàtic simplificat del circuit de potència del carregador de bateries per vehicles elèctrics [4].	18
Figura 3.17.	A) Estructura general de l'etapa de control. B) Diagrama complet de connexió dels senyals de l'etapa de control. Basat en [4].	19
Figura 3.18.	Vista general del control de les dues etapes de convertidors. Basat en [4].	20
Figura 3.19.	Diagrama de blocs de l'algoritme del controlador digital. Basat en [4].	21
Figura 3.20.	Entrades/sortides del controlador digital de senyals. Basat en [4].	22
Figura 4.1.	Diagrama de blocs general del carregador bidireccional en funcionament B2G. Basat en [4].	23
Figura 4.2.	Esquemàtic simplificat del circuit de potència del carregador de bateries per vehicles elèctrics. Basat en [4].	24
Figura 4.3.	Lògica dels senyals de control per a imposar el mode funcionament a les etapes de convertidors. Basat en [4].	25
Figura 4.4.	Vista general del control bidireccional del carregador de bateries per a vehicles elèctrics. Basat en [4].	26
Figura 4.5.	Relació de proporcionalitat entre tensió i corrent d'entrada. Basat en [4].	27
Figura 4.6.	Convertidor bidireccional de l'etapa PFC (A) i BCM (B).	27
Figura 4.7.	Generació senyal EPWMxA. Captura estreta del TMS320x280x Enhanced Pulse Width Modulator (ePWM) Module Reference Guide [8, p. 45].	29
Figura 4.8.	Configuració fonts i càrregues electròniques a l'entrada i a la sortida de les etapes de convertidors. A) Mode G2B. B) Mode B2G.	30
Figura 4.9.	Senyals etapa PFC en mode G2B. A) Resultats Experimentals 10 μ s/div. CH1: $v_C(t)$ (100 V/div). CH3: $i_{L1}(t)$ (500 mA/div). CH4: $i_{L2}(t)$ (500 mA/div). CH5: $i_{L3}(t)$ (500 mA/div). CH6: $u_1(t)$ (15 V/div). CH7: $u_2(t)$ (15 V/div). CH8: $u_3(t)$ (15 V/div). B) Simulació.	31

Figura 4.10.	Senyals etapa BCM en mode G2B. A) Resultats Experimentals 10 μ s/div. CH1: $v_C(t)$ (100 V/div). CH3: $i_{L4}(t)$ (500 mA/div). CH4: $i_{L5}(t)$ (500 mA/div). CH5: $i_{L6}(t)$ (500 mA/div). CH6: $u_4(t)$ (15 V/div). CH7: $u_5(t)$ (15 V/div). CH8: $u_6(t)$ (15 V/div). B) Simulació.....	32
Figura 4.11.	Senyals etapa PFC en mode B2G. A) Resultats Experimentals 10 μ s/div. CH1: $v_C(t)$ (100 V/div). CH3: $i_{L1}(t)$ (500 mA/div). CH4: $i_{L2}(t)$ (500 mA/div). CH5: $i_{L3}(t)$ (500 mA/div). B) Simulació.	33
Figura 4.12.	Senyals etapa BCM en mode B2G. A) Resultats Experimentals 10 μ s/div. CH1: $v_C(t)$ (100 V/div). CH3: $i_{L4}(t)$ (500 mA/div). CH4: $i_{L5}(t)$ (500 mA/div). CH5: $i_{L6}(t)$ (500 mA/div). CH6: $u_4(t)$ (15 V/div). CH7: $u_5(t)$ (15 V/div). CH8: $u_6(t)$ (15 V/div). B) Simulació.....	34
Figura 4.13.	Principi de funcionament del pont rectificador síncron. A i B) Mode G2B. C i D) Mode B2G.	35
Figura 4.14.	Sensat, filtratge i saturació senyal $v_{AC}(t)$	36
Figura 4.15.	Condicionament del senyal $v_{AC}(t)$ per l'ADC.....	36
Figura 4.16.	Referència positiva i negativa ajustable mitjançant un potenciòmetre.	37
Figura 4.17.	Generació senyals d'avís de proximitat al creuament per zero des de semicicle positiu $v_{AC,pos}(t)$ i negatiu $v_{AC,neg}(t)$	37
Figura 4.18.	Corrent i tensió d'entrada al carregador si les commutacions del pont rectificador síncron es realitzen quan $i_{in}(t) \neq 0$	38
Figura 4.19.	Zoom-in dels creuaments per 0 de la tensió de xarxa quan $i_{in}(t) \neq 0$	39
Figura 4.20.	Estats que utilitza el DSC en la gestió del pont rectificador síncron.	40
Figura 4.21.	Diagrama de transició d'estats per a la gestió del rectificador síncron. (Entrades: $v_{AC,pos}$, $v_{AC,neg}$ i $i_{L,condició}$. Sortides: u_A , u_B i $en_{drivers}$).....	40
Figura 4.22.	Simulacions PSIM del carregador en mode B2G. A) Vista general. B) Zoom-in creuament per 0 de semicicle positiu a negatiu. C) Zoom-in creuament per 0 de semicicle negatiu a positiu.	41
Figura 4.23.	Gestió del pont de MOSFETs. A) 5 ms/div. CH1: $v_{AC}(t)$ (100 V/div). CH2: $i_{L1}(t)$ (1 A/div). CH3: $V_{AC,pos}(t)$ (1 V/div). CH4: $V_{AC,neg}(t)$ (1 V/div). CH5: $u_A(t)$ (1,5 V/div). CH6: $u_B(t)$ (1,5 V/div). CH7: $i_{L,condició}(t)$ (3 V/div). CH8: $en_{PFC,L}(t)$ (3 V/div). $Zoom_1$) 50 μ s/div i $Zoom_2$) 50 μ s/div. CH1: $v_{AC}(t)$ (10 V/div).....	42
Figura 4.24.	A) Circuit model del carregador. B) Circuit equivalent Thevenin.....	44
Figura 4.25.	Diagrama de Bode de la impedància de sortida equivalent del model.....	44
Figura 4.26.	Esquemàtic del model del carregador amb circuit RC compensador.	45
Figura 4.27.	Representació gràfica aproximada de l'esmortiment de la resposta del sistema.	45
Figura 4.28.	Diagrama de blocs de l'algoritme del controlador digital de senyals per al funcionament bidireccional del convertidor. Basat en [4].	46
Figura 4.29.	Seqüència i temps d'execució de l'algoritme anterior en mode xarxa elèctrica-bateria [4].	48
Figura 4.30.	Sis repeticions consecutives de l'algoritme a l'interval $[t_a^n, t_b^n]$ per a realitzar totes les parts del control. a) Mode xarxa a vehicle. b) Mode vehicle a xarxa.	50
Figura 4.31.	Seqüència i temps d'execució de l'algoritme actual en mode G2B i B2G.	51

Figura 4.32.	Precàrrega en mode G2B. A) 5 ms/div. $Zoom_1$) 10 μ s/div. $Zoom_2$) 10 μ s/div. CH1: $v_C(t)$ (10 V/div, 380 V_{offset}). CH2: $u_4(t)$ (15 V/div). CH3: $i_{in}(t)$ (5 A/div). CH5: $i_{Bat}(t)$ (1 A/div). CH6: $u_4(t)$ (15 V/div). CH7: $u_5(t)$ (15 V/div). CH8: $u_6(t)$ (15 V/div).	53
Figura 4.33.	Precàrrega en mode G2B sense limitar sobrepic de corrent. A) 2 ms/div. $Zoom_1$) 5 μ s/div. $Zoom_2$) 5 μ s/div. CH1: $v_C(t)$ (10 V/div, 380 V_{offset}). CH2: $u_1(t)$ (10 V/div). CH3: $i_{Bat}(t)$ (5 A/div). CH6: $u_4(t)$ (10 V/div).....	54
Figura 4.34.	Precàrrega en mode G2B limitant sobrepic de corrent. A) 2 ms/div. $Zoom_1$) 5 μ s/div. $Zoom_2$) 5 μ s/div. CH1: $v_C(t)$ (10 V/div, 380 V_{offset}). CH2: $u_1(t)$ (10 V/div). CH3: $i_{Bat}(t)$ (5 A/div). CH6: $u_4(t)$ (10 V/div).....	55
Figura 5.1.	Fitxer que emula el comportament del supervisor a la simulació PSIM.	59
Figura 5.2.	Diagrama de blocs PSIM per calcular la referència $iLBuck_{ref_n}$. Basat en [4].	59
Figura 5.3.	Diagrama de blocs en PSIM del controlador de l'etapa PFC. Basat en [4],	60
Figura 5.4.	Gestió del pont rectificador síncron en funció de l'estat de la xarxa elèctrica i l'etapa PFC.	60
Figura 5.5.	Bloc C del fitxer de simulació PSIM per a emular la gestió del pont rectificador síncron.....	61
Figura 6.1.	Planta del prototip experimental.	63

Llista de Taules

Taula 1.	Nivells de càrrega (Basat en [3])	4
Taula 2.	Estat dels transistors de costat alt i baix, tipus de topologia i expressió del cicle de treball dels convertidors de les etapes PFC i BCM en funció del mode de treball..	28
Taula 3.	Descripció dels camps del registre AQCTLA. Extret de TMS320x280x Enhanced Pulse Width Modulator (ePWM) Module Ref. Guide [8, p. 103].	29
Taula 4.	Descripció de les fases de precàrrega.....	52
Taula 5.	Descripció de les fases de precàrrega.....	54
Taula 6.	Pressupost del carregador bidireccional de bateries per a vehicles elèctrics.	65
Taula 7.	Resum pressupost	73

Llista de Fragments de Codi

Codi 1.	Senyal PWM negat en funció de mode de treball del carregador	30
Codi 2.	Estructura macro condicional utilitzada per a modularitzar el codi per a tests.....	56
Codi 3.	Constants que permeten modularitzar el codi per a testejar de forma aïllada les diferents parts del sistema	57

1 Introducció

Són diverses les raons que motiven la busca d'alternatives al paradigma energètic i de transport insostenible que s'utilitza actualment.

Dins el marc mediambiental, és impossible negar l'impacte que tenim sobre el medi ambient quan cada any assolim records històrics de temperatures màximes i de contaminació; fent vital, per tant, la necessitat de reduir les emissions de CO_2 a l'atmosfera no només per combatre el canvi climàtic sinó també aturar la contaminació i l'acidificació dels oceans que es produeix per l'augment de la concentració de CO_2 .

Per altre costat, tenint en compte que tot i que sempre emmascarats, els conflictes polítics són motivats per l'accés a recursos finits, no és estrany que en aquest aspecte les polítiques exteriors dels països intentin suprimir la dependència dels combustibles fòssils i apostin per l'ús d'energies renovables produïdes dins el territori nacional.

En quant al marc econòmic, sense entrar de ple en la complexitat que suposa per a l'economia d'un país la fluctuació del preu del petroli, és un fet que la situació de crisi global que alguns encara estem vivint des del final de l'any 2007 demana un canvi del model econòmic. Actualment, economistes proposen com a possible model successor sostenible la investigació i desenvolupament de les tecnologies relacionades amb les energies renovables. Això pot comportar que es generin llocs de treball qualificats dins el país sense estar lligats a una producció descontrolada que augmenta la demanda energètica.

Des del punt de vista tecnològic, encara existeixen moltes barreres com tecnologies no madures i manca d'infraestructures per a implementar econòmicament solucions reals que siguin capaces de satisfer la creixent demanda energètica. No obstant són precisament aquestes barreres les que s'intenten abordar en la recerca descrita anteriorment. Actualment, subvencions governamentals per promoure l'ús sostenible d'energies renovables a la vegada que legislacions cada vegada més estrictes que imposen taxes sobre l'ús de combustibles fòssils, han incentivat avanços tecnològics que redueixen el cost i ens apropen a un futur més verd.

Aquesta introducció per a situar al lector parla de la situació i previsions de futur del paradigma energètic sense fer especial menció als vehicles elèctrics. Això es degut a que contràriament al pensament d'una gran part de la població, l'ús de vehicles elèctrics, sovint abreuiat VE per les seves sigles en anglès, no necessàriament comporta una reducció en la contaminació.

S'ha de destacar que l'electricitat en sí mateixa no és més que un mitjà per transportar i manipular energia eficientment. El verdaderament important és que l'energia provingui de fonts renovables i les tecnologies necessàries per a obtenir i utilitzar aquesta energia tinguin un baix impacte mediambiental. D'altra manera, l'objectiu d'utilitzar vehicles elèctrics, només comporta una deslocalització de la contaminació en comptes d'una reducció real de les emissions de CO_2 . Inclús si es compleixen els plans de la Comissió Europea per l'any 2020, a Europa només un 20 % de l'energia seria generada per fonts renovables [1]. Per tant la implantació de fonts d'energia renovables és crucial si volem realment extreure el potencial que els vehicles elèctrics ens ofereix.

Actualment l'ús d'energies renovables com la fotoelèctrica, termoelèctrica, termosolar, eòlica... segueix una tendència creixent molt necessària per cobrir l'augment en demanda elèctrica per part de la societat. Tot i presentar molts beneficis, també presenta reptes de cara el futur. Des del punt de vista de la topologia de la xarxa elèctrica, es preveu que l'impacte provoqui un canvi del model actual basat en el transport de l'energia elèctrica des de grans centrals elèctriques lluny dels nuclis urbans al centre de la ciutat i sectors industrials a un model de xarxa on tant la producció com el consum distribuït. Això li dona importància al concepte anglosaxó de *smart grid* que tracta dotar la xarxa elèctrica amb tecnologies de la informació i tècniques de control capaces de tractar informació en temps real per a optimitzar operacions de producció i consum d'energia elèctrica distribuïda calculant el punt d'operació depenent de la demanda i gestionant tècniques avançades d'emmagatzematge d'energia elèctrica.

L'emmagatzematge d'energia elèctrica, és un concepte a tenir molt en compte deguda la inconstància inherent en els sistemes de producció que presenten les fonts renovables. Per exemple les condicions climàtiques afecten clarament a la quantitat d'energia produïda pels aerogeneradors i els panells solars; deixant de costat que clarament els panells solars no generen energia de nit. Això provoca que siguin necessàries solucions per emmagatzemar l'excés produït en moments puntuals al llarg del dia per poder-se consumir quan la demanda així ho requereixi. Una proposta específicament interessant de cara al tema tractat en aquest projecte és la utilització de les bateries dels vehicles elèctrics per a emmagatzemar les divergències entre producció i consum. Això presenta reptes com per exemple el limitat nombre de cicles de càrrega que redueix la vida útil d'una bateria comercial avui en dia. Després de tot, qui permetria que les grans empreses elèctriques utilitzin la seva bateria per estabilitzar la xarxa mentre té el cotxe aparcats al garatge sabent que redueix la seva vida útil quan actualment presenta aproximadament entre un vint i un trenta per cent del preu del vehicle? Actualment, grans inversions en el desenvolupament de noves bateries podrien fer desaparèixer els inconvenients que impedeixen adoptar la solució anteriorment plantejada.

1.1 Vehicles Elèctrics

Tot i les diverses barreres discutides anteriorment i de la necessitat de seguir desenvolupant tecnologies per a reduir costos i assegurar la viabilitat del vehicle elèctric (EV) en aquest apartat presentem les diferents solucions que s'han presentat com a alternatives als vehicles de combustió interna (ICE, per les seves sigles en anglès).

- **Vehicle elèctric endollable (PEV):** Es tracta d'un tipus de vehicle elèctric que es pot endollar a la xarxa per a carregar-se. Sovint poden incorporar sistemes per a la frenada regenerativa en la que recuperen part de l'energia en la frenada permetent-la ésser reutilitzada. Aquest tipus engloba els BEVs i els PHEVs.
- **Vehicle elèctric a bateria:** Aquest tipus de vehicle elèctric obté l'energia d'una bateria. Poden tractar-se de models endollables o model en els que la bateria una vegada esgotada pot ser totalment reemplaçada per una de carregada. No disposen de dipòsit ni cap altra part exclusiva dels ICE ni cap altra forma de produir electricitat addicional que la bateria.

- **Vehicle elèctric híbrid endollable (PHEVs):** Té dos sistemes d'energia, normalment, una bateria i un motor de combustió interna convencional. Es poden distingir dos subgrups, un en el que la font principal és la bateria i l'altre en el que és el ICE. En els primers, es tracta de fer servir sempre el motor elèctric excepte quan es descarrega la bateria, que llavors entra en funcionament el convencional; permetent d'aquesta excedir l'autonomia normalment limitada dels VE. En el segon tipus, el motor ICE es fa servir per generar electricitat que fa funcionar el vehicle o carrega la bateria. D'aquesta manera es fa treballar l'ICE en les condicions òptimes per assolir la màxima eficiència.
- **Vehicle elèctric híbrid (HEVs):** En aquest cas, el vehicle també disposa de dos sistemes d'energia, normalment una bateria i un motor de combustió interna convencional; però en aquest cas no són endollables i la funció de la bateria es limita a recuperar energia procedent de la frenada. L'autonomia del vehicle és de vora els cinc kilòmetres quan només es recolza en l'ús de la bateria i només té sentit utilitzar-la com a font principal en cas de problemes tècnics o permetre arribar a la gasolinera en cas d'haver buidat el tanc.

1.2 Tipus de carregadors de bateries per vehicles elèctrics

Un pas molt important per a la implantació del transport elèctric és la implantació de sistemes de càrrega per proporcionar l'energia necessària per les bateries dels vehicles elèctrics, ja sigui a casa o en estacions de càrrega també anomenades EVSEs. Actualment, al tractar-se de tecnologies no madures existeix la necessitat d'estandarditzar els diferents sistemes de càrrega a fi d'harmonitzar els productes al mercat. Organitzacions internacionals com la *International Electrotechnical Commission* (IEC), la *Society of Automotive Engineers* (SAE) i la *International Organization for Standardization* (ISO) han establert estàndards per treballar en aquesta direcció. Alguns dels més importants [2] són:

- **IEC 61851:** Requeriments del sistema de càrrega conductiva per a vehicles elèctrics des d'una xarxa en AC o DC.
- **IEC 61000:** Compatibilitat electromagnètica (EMC).
- **ECE R100:** Protecció contra xoc elèctric.
- **ISO 6469-3:** Protecció de les persones davant perill elèctric.
- **ISO 26262:** Especificacions de seguretat per a vehicles elèctrics de carretera.
- **SAE J2929:** Estàndard per al sistema de seguretat per a la gestió elèctrica de les bateries en vehicles elèctric i vehicles híbrids.

En la IEC 61851 es defineixen els tres nivells de càrrega que es recullen a la Taula 1 que trobem a continuació.

Taula 1. Nivells de càrrega (Basat en [3])

Mode o nivell de càrrega	Localització carregador	Us típic	Interfície de càrrega	Nivell de potència	Temps de càrrega
Nivell 1 120 V _{AC} (US) 230 V _{AC} (EU)	1 fase. A bord	Carregador a casa o a l'oficina	Endoll convencional	1,4 kW 1,9 kW	4-11 hores 11-36 hores
Nivell 2 240 V _{AC} (US) 400 V _{AC} (EU)	1 o 3 fases. A bord	Endoll privat	ESVE dedicada	4 kW 8 kW 19,2 kW	1-4 hores 2-6 hores 2-3 hores
Nivell 3 200-600 V _{AC} o V _{DC} (Càrrega ràpida)	3 fases. No a bord	Estació de càrrega	ESVE dedicada	50 kW 100 kW	0,4-1 hora 0,2-0,5 hores

Específicament, en quant als carregadors, podem classificar-los depenent de diferents criteris. El primer criteri és la posició de la electrònica necessària per carregar el vehicle. Així tenim carregador a bord i carregador no a bord. Els primers tenen la limitació de pes i volum i, per tant, acostumen a ser de menys potència que els darrers. Per tant, els carregadors a bord estan destinats a càrregues de nivells 1 i 2, mentre que els carregadors fora dels vehicles poden realitzar càrregues de nivell 3.

El segon criteri és el tipus d'interfície de subministrament de potència al vehicle. Pot tractar-se de càrrega conductiva si es realitza amb contacte físic entre connector i endoll o càrrega inductiva si la transferència d'energia es realitza mitjançant un camp magnètic. El camp magnètic, a més, es pot utilitzar per a realitzar aïllament galvànic per augmentar la seguretat sacrificant pes i espai.

Un altra forma de classificació seria el nombre de fases utilitzades per a realitzar la càrrega: monofàsic, trifàsic o polifàsic.

I el darrer criteri, especialment interessant pel tema a tractar en aquest document és el de la bidireccionalitat. El carregador serà bidireccional si el vehicle elèctric no només es capaç d'extreure energia de la xarxa elèctrica i subministrar-la a la bateria, sinó que en moments determinats de gran demanda energètica és capaç d'injectar energia a la xarxa dins el marc que fixa la normativa.

2 Objectiu del projecte

L'objectiu final del projecte és obtenir un carregador conductiu, bidireccional, monofàsic, sense aïllament galvànic i a bord capaç de realitzar càrregues de nivell 1. Específicament, quan la direcció del flux de potència circula de la bateria a la xarxa elèctrica, el carregador ha de ser capaç de respondre a la demanda elèctrica i entregar la potència especificada per una entitat d'abstracció superior anomenada el supervisor.

La meua participació al projecte va començar a partir de la planta prototip funcional heretada capaç de realitzar la càrrega de la bateria. Aquesta planta és part del treball realitzat i presentat a la tesis doctoral d'Adrià Marcos Pastor [4]. Per tant la meua participació en el projecte és una contribució a aquest treball. Tot i que la primera part d'aquest document tracta de donar una visió general a mode de resum del treball realitzat anteriorment a fi de permetre al lector entendre el rerefons de les aportacions descrites posteriorment, es recomana, en el cas de que es pretengui profunditzar en algun aspecte de la primera part, adreçar-se a la tesis que es pot trobar referenciada a l'apartat referències.

Per tal d'assolir l'objectiu final, hi ha diversos passos que necessitem donar. El primer de tots és familiaritzar-se amb la planta ja construïda així com el seu funcionament. Posteriorment, proposar les accions a realitzar per obtenir la bidireccionalitat i el control d'extracció de càrrega. A continuació, validar aquestes propostes per simulació i finalment implantar-les físicament i presentar els resultats obtinguts.

3 Estat inicial del projecte

En aquest apartat descriurem l'estat inicial del projecte abans de la meua participació. El prototip funcional demostra la viabilitat del disseny d'un carregador conductiu, unidireccional, monofàsic, sense aïllament galvànic i a bord capaç de realitzar càrregues de fins a 3 kW.

3.1 Visió general del carregador

En quant a la topologia, com es pot veure a la Diagrama de blocs general del carregador, el carregador està format per quatre etapes. La potència s'obté directament des de la xarxa elèctrica i a continuació es filtra a la primera etapa per reduir les emissions electromagnètiques introduïdes a la xarxa amb un filtre d'EMIs comercial. Tot seguit, la tensió d'entrada es rectifica a la segona etapa que es tracta d'un pont rectificador d'ona completa format per díodes. Posteriorment, s'eleva la tensió i es manté constant per control a 400 V a la tercera etapa. A més a més, en aquest etapa s'indueix per control un comportament *loss-free resistor* que aproxima a la unitat el factor de potència vist en els borns d'entrada del carregador. Per aquest raó a partir d'ara ens referirem a aquesta etapa com la etapa PFC (*Power Factor Correction*). Això es tradueix en un augment en l'eficiència del sistema al no distorsionar ni desfasar el corrent sinusoidal de la xarxa. En cascada trobem a continuació l'etapa BCM (*Battery Charge Management*) que redueix la tensió fins 380 V i genera el perfil de càrrega corrent constant-tensió constata (CC-CV) necessari per carregar la bateria depenent el seu estat de càrrega. Entre la sortida de la etapa PFC i l'entrada a la de BCM tenim el que s'ha anomenat condensador de DC-link, que tracta d'independitzar les dues etapes proporcionant una forma d'emmagatzematge d'energia.

Ambdues etapes de convertidors, PFC i BCM, commuten a una freqüència de 60 kHz i estan formades per tres convertidors en paral·lel, cadascun d'1 kW de potència, treballant en *interleaving*, el que redueix notablement el rissat dels corrent d'entrada i sortida de les etapes, permetent reduir les dimensions dels components de filtrat.

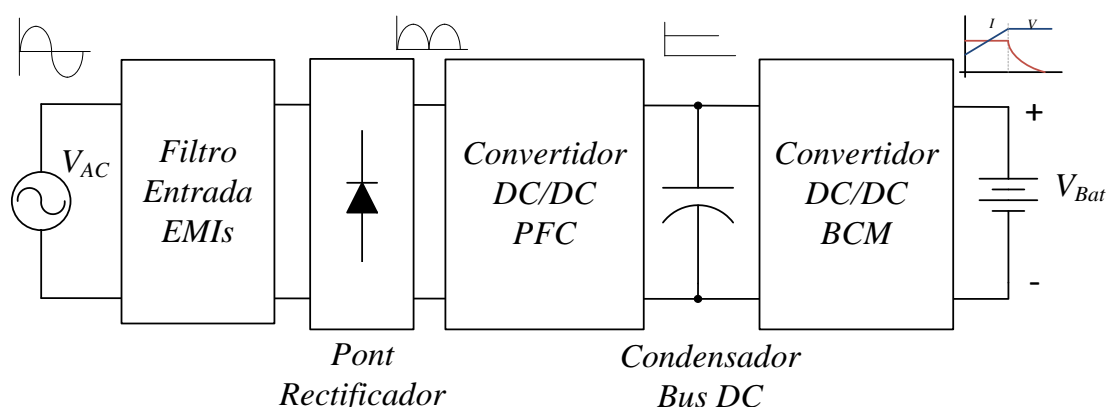


Figura 3.1. Diagrama de blocs general del carregador unidireccional. Basat en [4].

3.2 Conceptes bàsics

Per a poder entendre en major profunditat la visió general del carregador de bateries de vehicles elèctrics descrita anteriorment, a continuació es presenten els diferents conceptes necessaris per a fer-ho, relacionant-los amb el nostre carregador.

3.2.1 Rectificador d'ona completa

El pont rectificador d'ona completa és un subcircuit sovint utilitzat per a rectificar un senyal en corrent alterna com és la tensió sinusoidal de la xarxa elèctrica.

La Figura 3.2 pretén explicar de forma gràfica el funcionament del pont. Quan la tensió de la xarxa es troba en el semicicle positiu, condueixen els díodes 1 i 4 per estar polaritzats en directa. Per altra costat, quan la tensió es troba en el semicicle negatiu, condueixen els díodes 2 i 3 per la mateixa raó. Així, la càrrega a la sortida el que veu és sempre un senyal positiu, tot i que variant. Són múltiples les aplicacions que requereixen que el senyal sigui positiu i constant. Per tant, s'acostuma a situar en paral·lel a la càrrega de sortida un condensador que al aposar-se a canvis bruscos en la tensió, redueix el rissat fins a assolir idealment una tensió constant a la sortida.

En el nostre cas, si mirem la Figura 3.1 veiem que a la sortida del pont rectificador d'ona completa tenim treballant en cascada el convertidor. Com hem comentat amb anterioritat, els convertidors commuten a 60 kHz. Al tractar-se d'una freqüència molt més elevada que els 50 Hz de la xarxa elèctrica, per a l'entrada de la etapa PFC, el senyal d'entrada es pot considerar constant, essent aquest la raó perquè no hi ha situat un condensador a la sortida del pont.

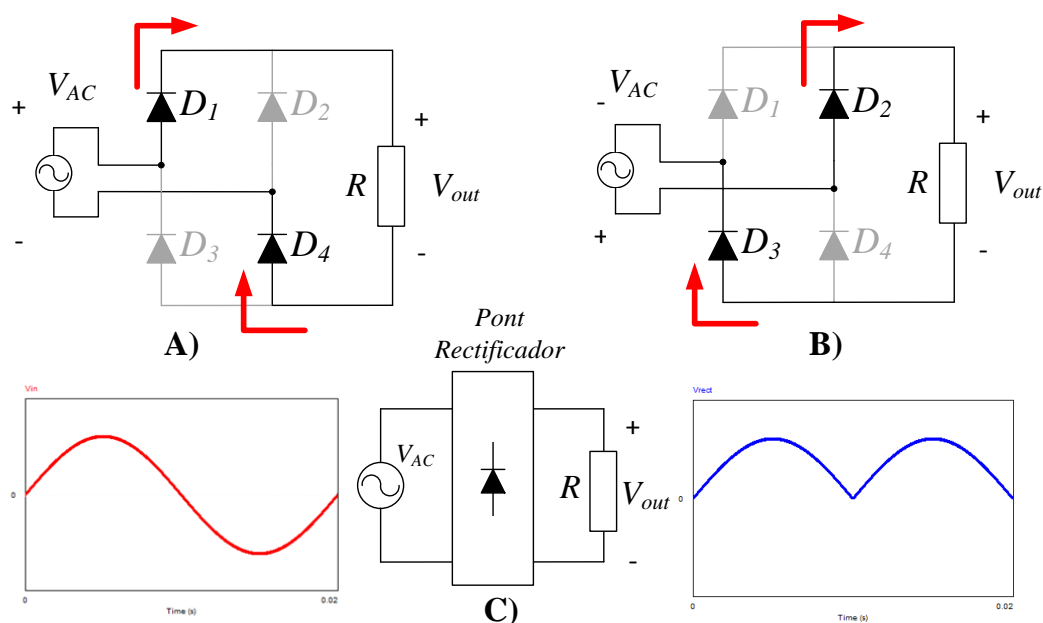
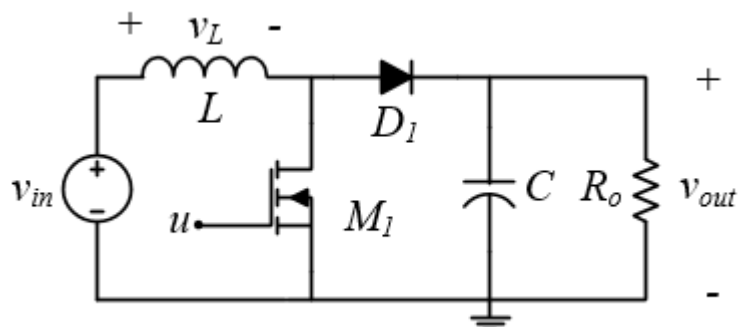


Figura 3.2. Funcionament del rectificador d'ona completa. A) Semicicle positiu. B) Semicicle negatiu. C) Símbol simplificat del conjunt i senyals d'entrada i sortida del rectificador.

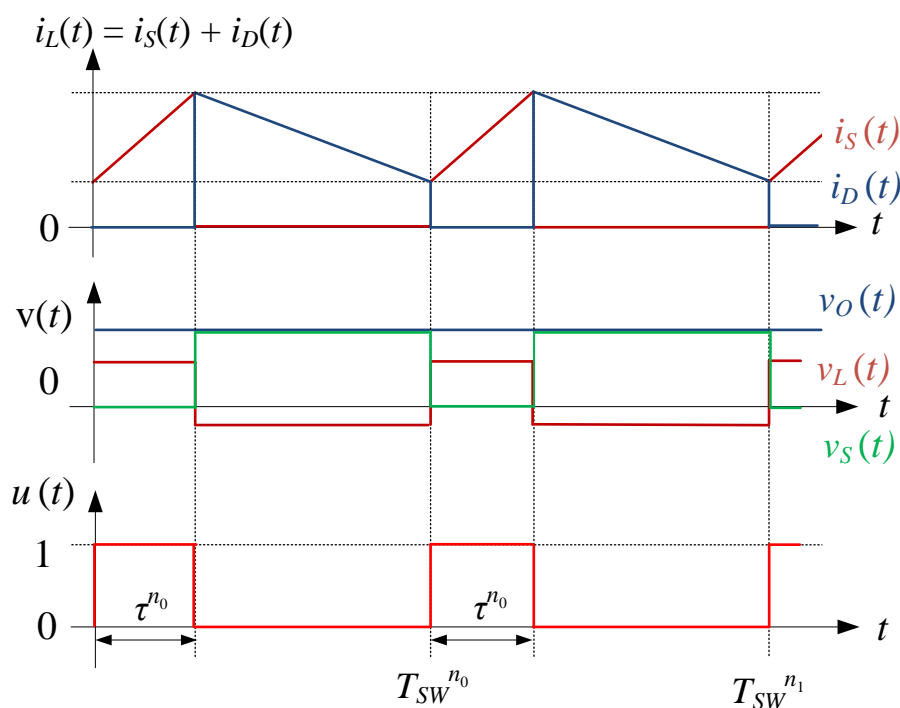
3.2.2 Convertidor *Boost*

Es tracta d'un tipus de font d'alimentació commutada capaç de donar una tensió de sortida més elevada que la d'entrada. Essencialment, aquest tipus de convertidor està format per dos interruptors semiconductors (un díode i un transistor), una bobina com a element emmagatzemador d'energia i un condensador en paral·lel a la càrrega de sortida per a suprimir el rissat de la tensió de sortida.


 Figura 3.3. Esquemàtic simplificat del convertidor *Boost*.

El principi de funcionament es basa en induir i alternar cíclicament a la freqüència de commutació escollida dos estats diferents mitjançant el transistor MOSFET M_1 de l'Esquemàtic simplificat del convertidor *Boost*. Si l'interruptor es troba en estat ON, la bobina L emmagatzema l'energia de la font i la càrrega s'alimenta per l'energia emmagatzemada en el condensador C en el cicle anterior. En aquest cas, el díode està polaritzat en inversa per ésser la sortida a una tensió més elevada que a l'entrada i per tant no condueix. Si en canvi l'interruptor es troba en estat OFF, l'únic camí disponible per a que continuï circulant corrent per la bobina, ja que deguda la seva naturalesa s'oposa a canvis abruptes de corrent, és a través del díode fins a la càrrega, carregant a demés el condensador.

A continuació es mostren les formes d'ona dels corrents i voltatges més representatius en un convertidor *Boost* ideal operant en condicions estacionàries i mode continu, és a dir, en el que el corrent que circula per l'inductor no es fa zero en cap moment.


 Figura 3.4. Senyals més característics d'un convertidor *Boost*.

Durant l'estat on, el MOSFET M_1 es troba curtcircuitat, fent que la tensió en borns de la bobina sigui de V_i . Per tant, el corrent que circula per la bobina i_L canvia seguint la fórmula:

$$\frac{di_L}{dt} = \frac{v_L}{L} = \frac{V_i}{L} \quad (1)$$

Durant l'estat OFF, el MOSFET M_1 es troba en circuit obert, i el corrent circula en direcció a la càrrega. Suposant que tinguéssim un comportament ideal i un condensador suficient gran, podem suposar que i_L en aquest cas varia seguint l'expressió:

$$\frac{di_L}{dt} = \frac{v_L}{L} = \frac{V_i - V_o}{L} \quad (2)$$

Es pot demostrar desenvolupant les expressions dels increments de corrent de l'inductor en els dos modes de treball i igualant-los en τ^{n0} que la tensió de sortida es proporcional a la d'entrada.

$$\Delta i_{L,ON} = \int_0^{D \cdot T} \frac{V_i}{L} dt = \frac{V_i \cdot D \cdot T}{L} \quad (3)$$

$$\Delta i_{L,OFF} = \int_0^{(1-D) \cdot T} \frac{(V_i - V_o)}{L} dt = \frac{(V_i - V_o) \cdot (1-D) \cdot T}{L} \quad (4)$$

$$\Delta i_{L,ON} + \Delta i_{L,OFF} = 0 \quad (5)$$

Substituint, desenvolupant i simplificant obtenim:

$$\frac{V_o}{V_i} = \frac{1}{1-D} \quad (6)$$

Essent el cicle de treball (D) la fracció del període T_{SW} en el que el M_1 es troba en conducció. Formalment es defineix com:

$$D = \frac{\tau}{T_{SW}} \quad (7)$$

Com que D varia entre 0 i 1, observant l'equació anterior veiem que V_o ha de ser igual o major que V_i , per aquesta raó es diu que el convertidor Boost és una topologia elevadora.

3.2.3 Convertidor *Buck*

L'esquemàtic de la Esquemàtic simplificat del convertidor Buck. correspon al que s'anomena convertidor Buck. De forma similar al convertidor Boost, també es un convertidor commutat format per dos interruptors semiconductors (un díode D_1 i un transistor M_1), però en aquest cas, la tensió que subministra a la sortida és menor a la de l'entrada. La bobina i el condensador són els elements emmagatzemadors d'energia. Aquest convertidor es pot entendre com un trossejador de la tensió d'entrada i un filtre passa baixos a la sortida.

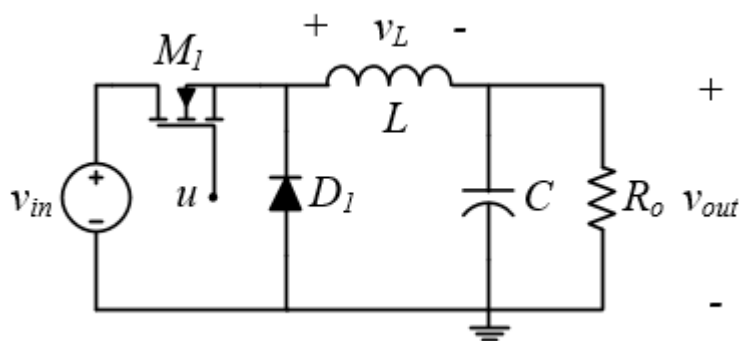


Figura 3.5. Esquemàtic simplificat del convertidor Buck.

El principi de funcionament es torna a basar en induir i alternar cíclicament a la freqüència de commutació escollida dos estats diferents mitjançant el transistor MOSFET M_1 de la Esquemàtic simplificat del convertidor Buck.. Quan el MOSFET M_1 que fa la funció d'interruptor es troba en estat de conducció ON, la caiguda de tensió a la bobina és la diferència entre la tensió d'entrada i la de sortida. Per tant, el díode es troba polaritzat en inversa de tal forma que no hi circula corrent a través. El corrent que circula per la bobina i_L és positiu, carregant l'inductor i canvia seguint la formula:

$$\frac{di_L}{dt} = \frac{V_L}{L} = \frac{V_i - V_o}{L} \quad (8)$$

Per altre costat, quan M_1 està en circuit obert, el díode es troba polaritzat en directa i per tant condueix, essent la tensió que borns de la bobina igual a la tensió a la sortida però amb el signe canviat. En aquest cas, el corrent que circula per la bobina i_L és negatiu descarregant així l'inductor i canvia seguint la formula:

$$\frac{di_L}{dt} = \frac{V_L}{L} = \frac{-V_o}{L} \quad (9)$$

A continuació per a ajudar a entendre el seu funcionament, es mostren les formes d'ona dels corrents i voltatges més representatius en un convertidor Buck ideal operant en condicions estacionaries i mode continu.

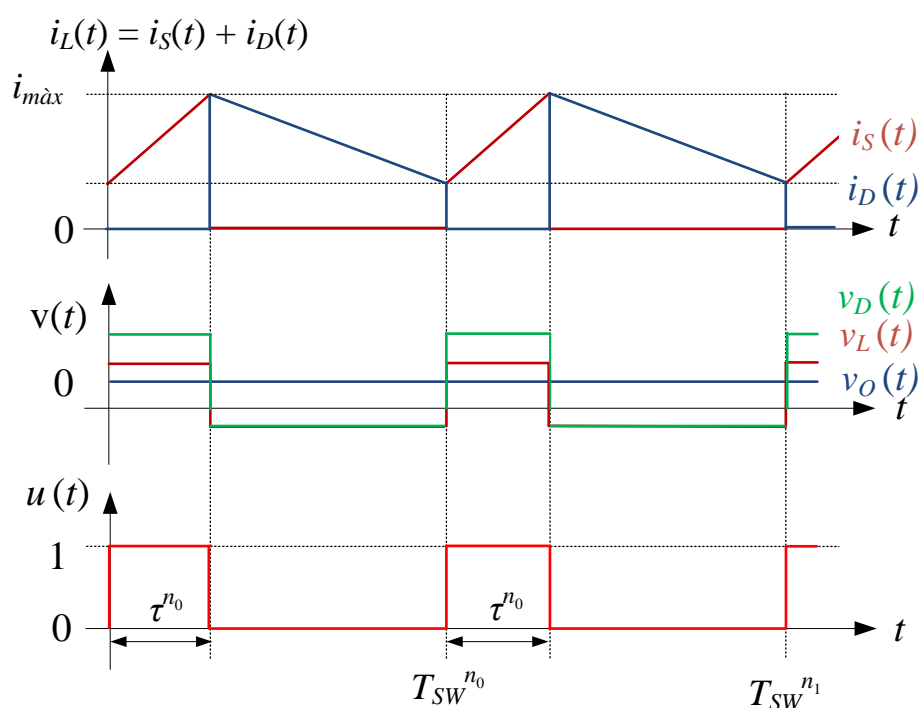


Figura 3.6. Senyals més característics d'un convertidor Buck.

Anàlogament als càlculs realitzats a l'apartat del convertidor Boost, determinem la relació entre la entrada i la sortida del convertidor Buck.

$$\Delta i_{L,ON} = \int_0^{D \cdot T} \frac{V_L}{L} dt = \frac{(V_i - V_o) \cdot D \cdot T}{L} \quad (10)$$

$$\Delta i_{L,OFF} = \int_0^{(1-D) \cdot T} \frac{V_L}{L} dt = -\frac{V_o \cdot (1-D) \cdot T}{L} \quad (11)$$

$$\Delta i_{L,ON} + \Delta i_{L,OFF} = 0 \quad (12)$$

Substituint, desenvolupant i simplificant obtenim:

$$\frac{V_o}{V_i} = D \quad (13)$$

Com que el cicle de treball D varia entre 0 i 1 tal i com s'ha comentat a l'apartat del convertidor Boost, observant l'equació anterior veiem que V_o ha de ser igual o menor a V_i , per aquesta raó es diu que el convertidor Buck és una topologia reductora.

3.2.4 Convertidor Boost bidireccional

Presentades les topologies dels convertidors Boost i Buck als apartats immediatament anteriors, ara tractarem el convertidor Boost bidireccional en corrent de funcionament anàleg al convertidor Buck bidireccional en corrent, l'esquemàtic del qual es pot veure a la Figura 3.7.A. Sovint les característiques dels díodes paràsits que els transistors MOSFETs tenen associats en paral·lel no són suficients per a suportar el corrent que els travessa. Per aquesta raó, s'utilitzen tècniques com para presentada en Figura 3.7.B on s'inhabilita el díode paràsit amb el D_3 i s'afegeix un de millors característiques D_4 .

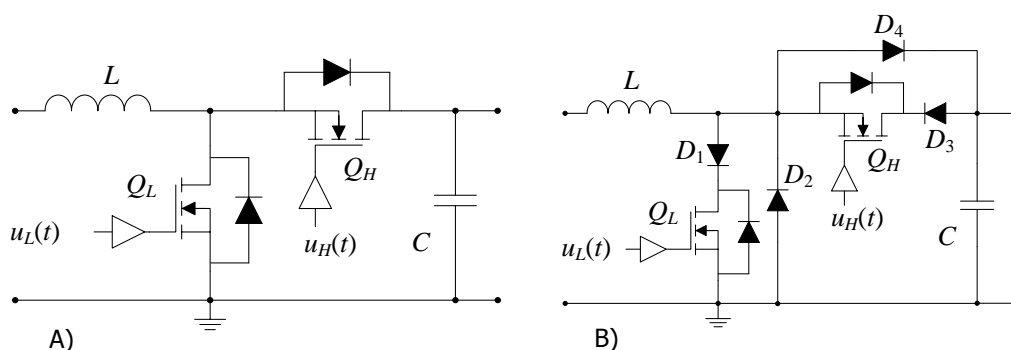


Figura 3.7. Convertidor Boost/Buck bidireccional. A) Circuit convencional. B) Versió millorada. [4]

A la Figura 3.8 es presenta de forma esquemàtica el principi de funcionament. Quan el MOSFET de costat alt Q_H és manté en circuit obert (A i B), només circula corrent cap a la càrrega quan D_4 està polaritzat en directa i per tant el convertidor es comporta en aquest cas com una topologia elevadora Boost tal i com s'ha descrit al punt 3.2.2 commutant el transistor de costat baix Q_L . Per altra costat, quan Q_L es manté en circuit obert i les commutacions es realitzen amb Q_H , el convertidor es comporta com una topologia reductora Buck treballant de dreta a esquerra.

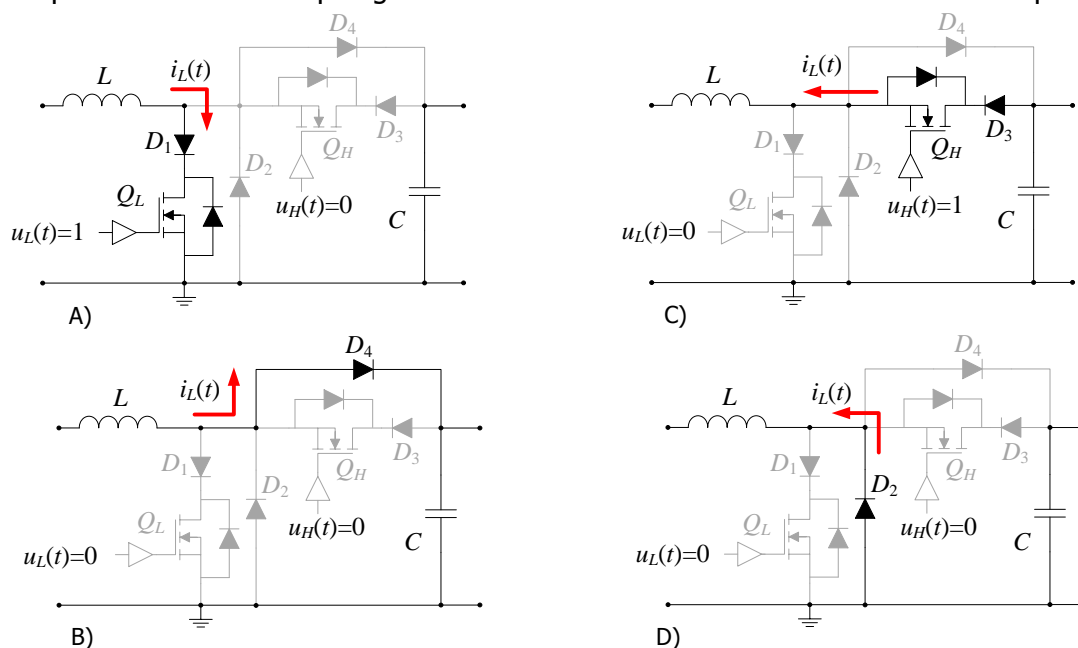


Figura 3.8. Principi de funcionament del convertidor Boost/Buck. Operació Boost A) Estat en ON. B) Estat en OFF. Operació Buck. C) Estat ON. D) Estat OFF. [4]

3.2.5 Interleaving

En aquest subapartat, explicarem el principi de funcionament de la tècnica interleaving. Aquesta tècnica és àmpliament utilitzada quan es tenen diferents convertidors commutats treballant en paral·lel a fi de reduir el rissat del corrent i de la tensió d'entrada i sortida en comú, i a com a conseqüència les dimensions dels inductors.

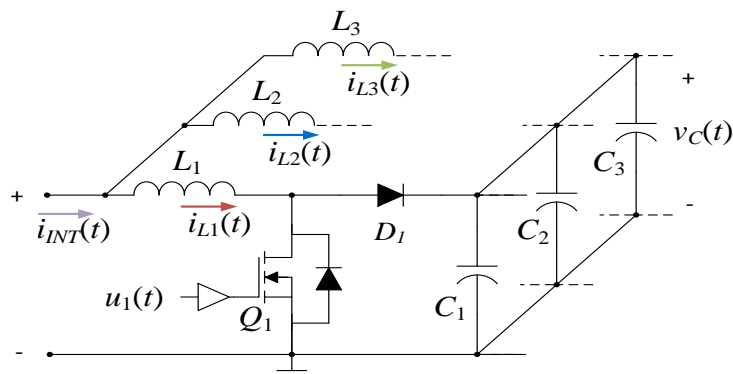


Figura 3.9. Esquemàtic de tres convertidors Boost en paral·lel. [4]

A continuació es demostra gràficament el principi de funcionament per a tres convertidors commutats Boost treballant en interleaving ja que és el cas en el que ens trobem tant en la columna PFC com la BCM del projecte tractat en aquest document. L'esquema de connexions es pot veure a la Figura 3.9.

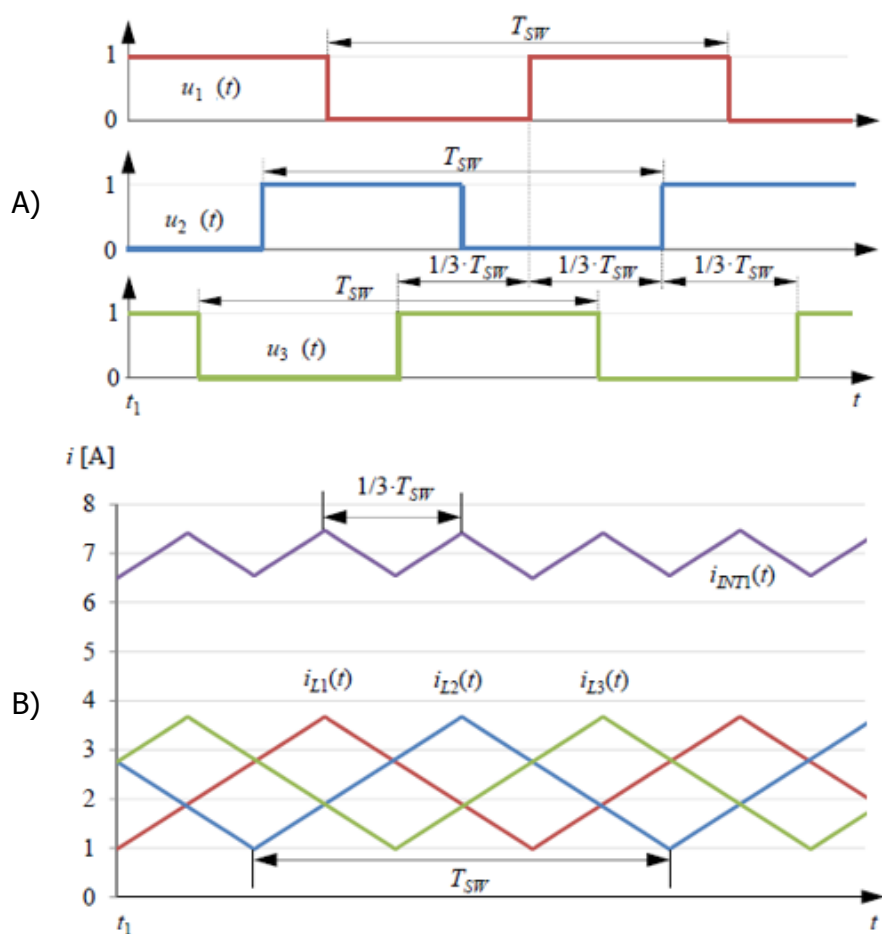


Figura 3.10. Exemple d'interleaving. A) Senyals de *gate* $u_i(t)$ dels transistors Q_j . B) Corrents dels inductors $i_{L_i}(t)$ i corrent total $i_{INT}(t)$. [4]

Aquesta tècnica es basa en enviar tres senyals de control a la porta dels MOSFETS Q_j desfasats $360^\circ/N$, essent N el nombre de convertidors treballant a la mateixa freqüència de commutació. En aquest cas tenim 3 Boosts, per tant el desfasament és de 120° . El que s'aconsegueix d'aquesta manera és que els corrents dels inductors que es generen segons les expressions descrites a l'apartat 3.2.2 tinguin les formes que es veuen a la Figura 3.10. Si escrivim l'equació de Kirchhoff dels corrents al node corresponent amb el potencial positiu de la tensió d'entrada a la Figura 3.9 veiem que el corrent d'entrada es defineix com:

$$i_{INT}(t) = \sum_{j=1}^{j=3} i_{L_j}(t) = i_{L_1}(t) + i_{L_2}(t) + i_{L_3}(t) \quad (14)$$

A la Figura 3.10 veiem representat a més el senyal $i_{INT}(t)$. Al tractar-se del sumatori dels corrents dels inductors, el que tenim és que el període de commutació s'ha dividit per tres, és a dir, la freqüència del senyal $i_{INT}(t)$ és tres vegades el de $i_{L_j}(t)$ i en quant el rissat, degut a un efecte de cancel·lació, és tres vegades més petit. Com s'ha comentat, això permet reduir les dimensions dels elements de filtratge a utilitzar en la implementació real.

3.2.6 Correcció factor de potència

Per teoria es defineix la potència aparent S com un fasor en el que la part real és la potència activa P , la imaginària és la potència reactiva Q i la fase donada per l'angle ϕ . Es pot veure aquesta definició expressada de forma gràfica a la Figura 3.11.

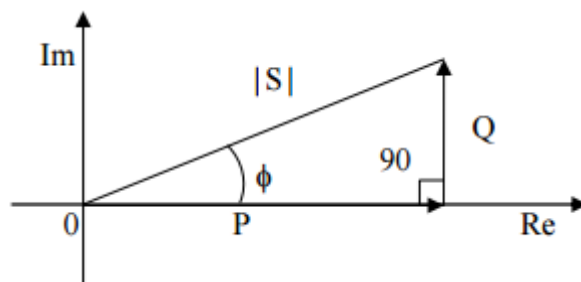


Figura 3.11. Triangle de potències

Definint el factor de potència com el cosinus de l'angle ϕ . Es pot expressar com es mostra a continuació:

$$FP \equiv \cos(\phi) = \frac{P}{|S|} \quad (15)$$

Per tant, es pot expressar el corrent d'entrada del nostre convertidor en termes de la potència, el factor de potència i la tensió d'entrada.

$$I_{in} = \frac{P_{in}}{V_{in} \cdot \cos(\phi_{in})} \quad (16)$$

De la expressió anterior, s'extreu que com major sigui el $\cos(\phi_{in})$, es a dir, el factor de potència, menor serà el consum de corrent per a la mateixa potència i tensió d'entrada. Per aquesta raó, es desitja un factor de potència elevat, idealment igual a la unitat, ja que la funció cosinus no pot comprendre valor majors a 1. D'aquesta

manera la potència aparent és pràcticament igual a la potència activa i la reactiva val aproximadament 0, augmentant l'eficiència de sistema.

Lavors, una vegada entesa la necessitat d'obtenir un factor de potència proper a la unitat, a continuació tractarem com aconseguir-ho. Essent l'angle ϕ a més el desfasament entre tensió i corrent al port d'entrada del nostre convertidor, es demostra que la impedància d'entrada del sistema ha de tenir un caràcter resistiu, ja que estableix una constant com a relació de proporcionalitat entre tensió i corrent. Una tècnica molt utilitzada per induir aquest component resistiu al port d'entrada és la que es coneix com el model resistor lliure de pèrdues o Loss Free Resistor (LFR) representat a la Figura 3.12.

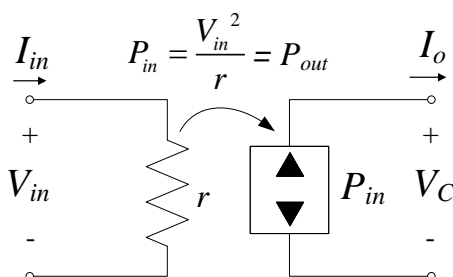


Figura 3.12. Model *loss-free resistor* (LFR).

El que tracta d'expressar el model anterior és que tota la potència d'entrada és enviada al port de sortida sense que hi hagin pèrdues per dissipació, ni elements d'emmagatzemament d'energia que comportaria generar potència reactiva i per tant allunyar-nos del comportament $FP=1$. Per a obtenir això, el que es realitza és un llaç de control de corrent que doni una referència de corrent als inductors del convertidor proporcional a la tensió d'entrada. Per a realitzar això, es sensa la tensió d'entrada v_{in} , es calcula la conductància g (inversa de la resistència R) en funció de la potència que es desitja entregar i s'aplica la llei d'Ohm per a obtenir la referència.

$$i_{in,ref} = v_{in} \cdot g \quad (17)$$

El que s'obté és un corrent proporcional a V_{in} amb un rissat superposat degudes les commutacions del convertidor tal i com es pot veure a la simulació de la Figura 3.13.

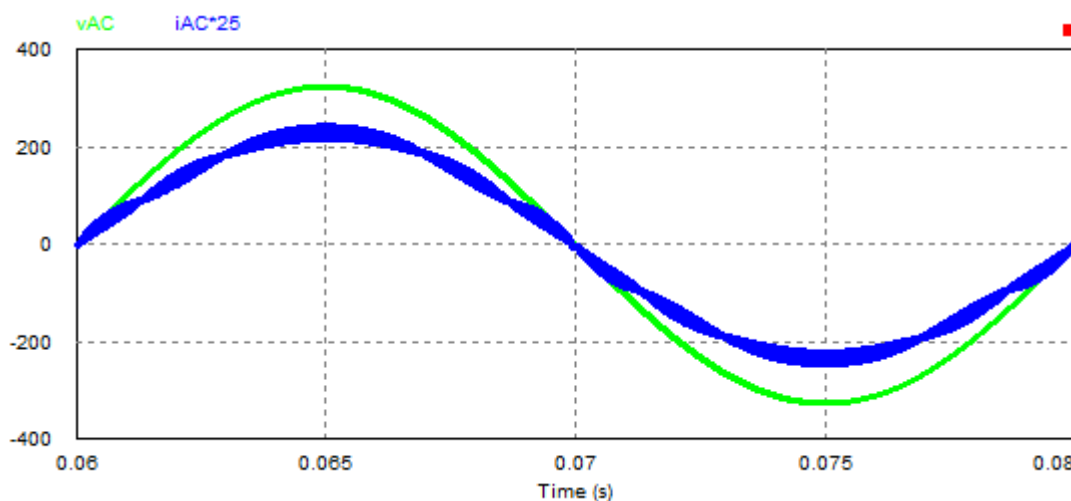


Figura 3.13. Comportament LFR del carregador amb v_{in} i i_{in} en fase.

En el cas del carregador amb el que estem treballant en aquest projecte, tenim tres convertidors treballant en interleaving. Per tant, el model a tenir en compte és el de la Figura 3.14 que s'extrapola dels conceptes presentats anteriorment per a un convertidor.

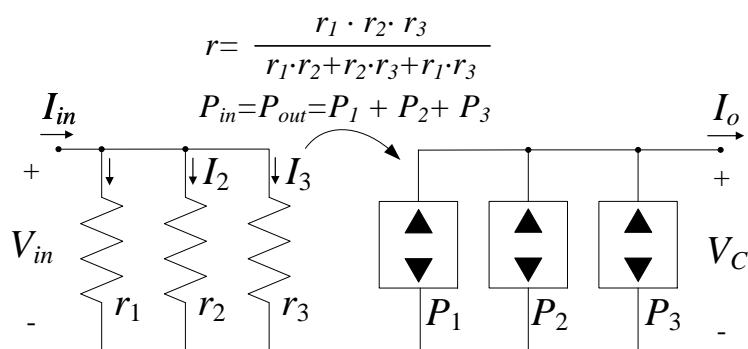


Figura 3.14. Representació equivalent a la etapa PFC basada en tres LFRs connectats en paral·lel. Basat en [4].

3.2.7 Perfil de càrrega corrent constant-tensió constata (CC-CV)

Actualment les bateries de liti predominen en el mercat de vehicles elèctrics [5]. Per aquesta raó s'ha escollit implementar el nostre carregador per a realitzar el mètode de càrrega més popular i recomanat per la indústria de bateries que tracta de generar el perfil de càrrega corrent constant-voltatge constant (CC-CV) que es pot veure a la Figura 3.15.

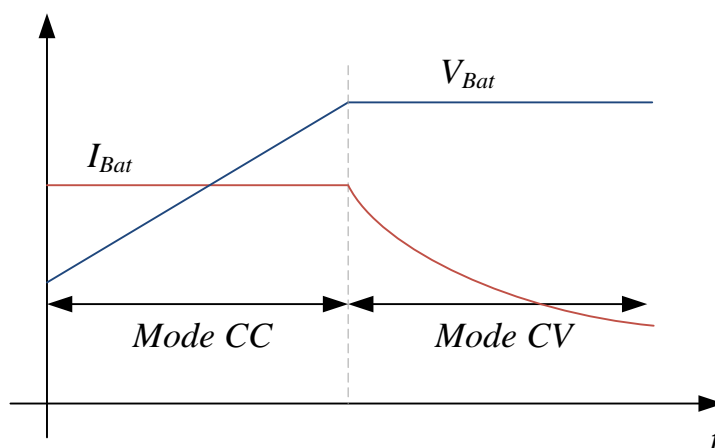


Figura 3.15. Perfil de càrrega de la bateria CC-CV [4].

Aquest mètode consta de dos modes de càrrega consecutius: CC i CV. En el primer mode el carregador envia un corrent constant a la bateria mentre la seva tensió es troba sota el voltatge nominal. A continuació, una vegada assolit aquest valor nominal, el carregador canvia el mode d'operació i establint una tensió constant en borns de la bateria disminueix el corrent que li envia progressivament segons l'estat de càrrega seguint el perfil de la gràfica anterior. La generació d'aquest perfil és la funció principal de l'etapa BCM del nostre carregador.

3.3 Circuit de potència

A la Figura 3.16 es pot veure l'esquemàtic simplificat del carregador de bateries per a vehicles elèctrics que tractem en aquest document. Només es representa el circuit de potència, sense elements addicionals necessaris per a la implantació real, deixant de costat a demés l'etapa de control que es tractarà en el pròxim apartat.

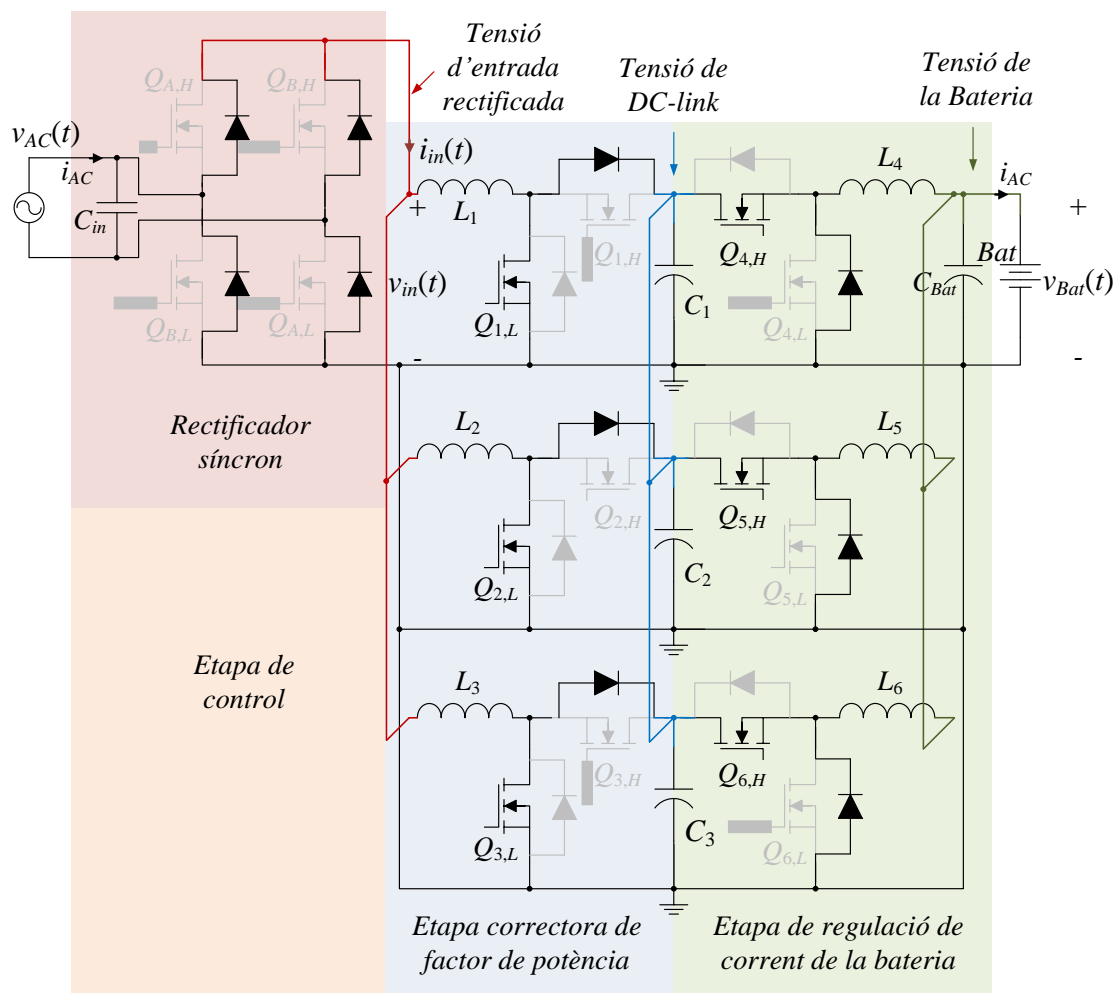


Figura 3.16. Esquemàtic simplificat del circuit de potència del carregador de bateries per vehicles elèctrics [4].

Com es pot veure, hi han elements ressaltats en negreta i altres en gris. Això es degut a que només funcionen en el mode de xarxa elèctrica a bateria (G2B) els que es troben en negreta desenvolupant les funcions descrites en els subapartats anteriors. La raó de tenir elements que no desenvolupen una funció activa és la següent. La part de potència del carregador ja es va dissenyar inicialment per a ser bidireccional, tot i que per restriccions temporals el carregador no es va acabar d'implementar per a treballar en les dues direccions sinó només en mode de carregador. Per tant, els díodes del pont rectificador d'ona completa tenen en paral·lel MOSFETs formant un pont rectificador síncron. Pel que fa a les etapes PFC i BCM, de moment només treballen com convertidors Boosts i Buck respectivament quan el carregador treballa en mode G2B, però en realitat el que tenim són convertidors bidireccional en corrent que treballaran com a Buck i Boost respectivament quan el mode de treball sigui B2G. Com incloure un mode de funcionament o l'altre s'explicarà en els pròxims apartats ja que habilitar la bidireccionalitat de carregador és precisament l'objectiu d'aquest projecte.

3.4 Control

En aquest apartat es mostra l'estructura de la etapa de control, en concret, les connexions entre els diferents blocs de l'etapa de control i amb l'etapa de potència. Tot seguit es presentarà el diagrama de blocs de la implementació de l'algorisme de control que utilitza el controlador digital de senyals (DSC) per a generar els senyals.

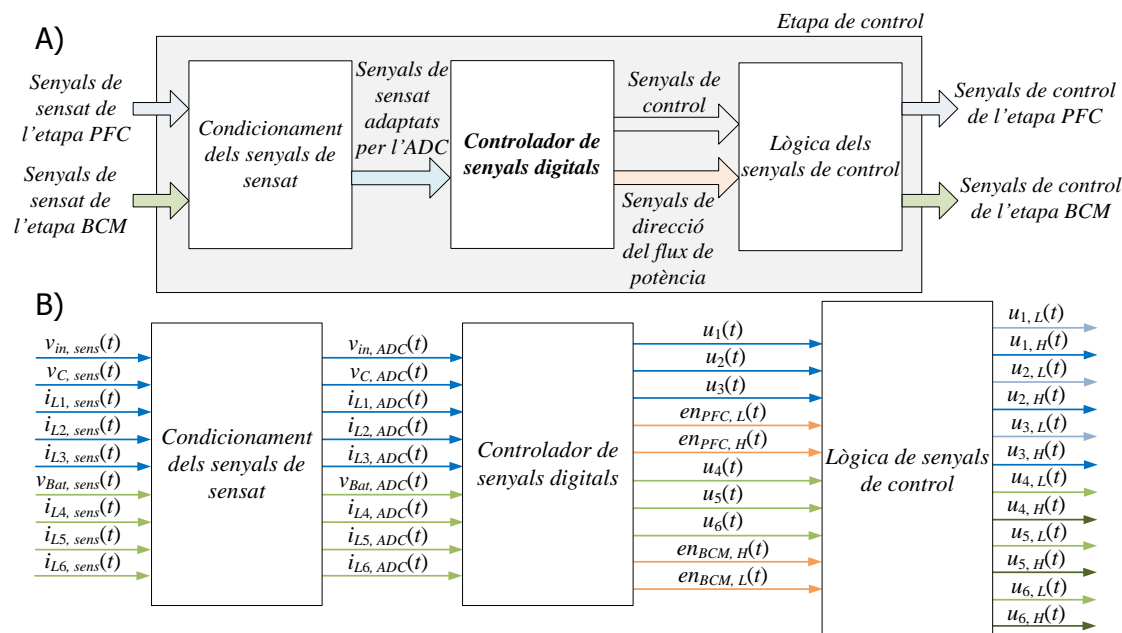


Figura 3.17. A) Estructura general de l'etapa de control. B) Diagrama complet de connexió dels senyals de l'etapa de control. Basat en [4].

Com es pot veure a la Figura 3.17, la etapa de control està essencialment formada per tres blocs. El primer bloc s'encarrega d'adaptar els senyals procedents del sensat de les magnituds de l'etapa de potència a les especificacions tècniques dels pins d'entrada del DSC. Si no existís aquesta etapa podríem excedir els màxims absoluts especificats pel fabricant a [6] i cremar el convertidor analògic a digital (ADC). Aquesta etapa es troba implementada en dues plaques anomenades interfície PFC i interfície BCM els esquemàtics de les quals es poden trobar adjuntats a l'. Les magnituds de l'etapa de potència sensades són: v_{in} , v_C , i_{L1} , i_{L2} , i_{L3} , v_{bat} , i_{L4} , i_{L5} i i_{L6} .

Posteriorment el DSC, que representa la segona etapa de l'esquema de control de la Figura 3.17, tracta els senyals de sensat adaptats com a informació d'entrada per generar els senyals de control $u_k(t)$ a partir de l'algorisme de la memòria de programa.

La funció dels senyals habilitadors o d'*enable* és escollir el sentit del flux de potència anar en els dos sentits permetent la bidireccionalitat al carregador. Depenent dels valors digitals que compreguin aquests quatre senyals que s'envien a la tercera etapa de l'esquema de control, la lògica dels senyals de control permetrà treballar en mode xarxa-bateria o bateria xarxa. No obstant, només el primer mode es troba operatiu a l'estat inicial del projecte. Més endavant explicarem el seu funcionament. De moment $en_{PFC, L}$ i $en_{BCM, H}$ es troben sempre a nivell digital alt, és a dir, 3,3 V, els senyals $u_{1, L}$, $u_{2, L}$, $u_{3, L}$, $u_{4, H}$, $u_{5, H}$ i $u_{6, H}$ són els senyals PWM que s'envien als *drivers* per a realitzar les commutacions dels MOSFETs de les etapes PFC i BCM, i els senyals restants romanen tots a nivell digital baix, és a dir, 0 V.

A continuació es presenta a Figura 3.18 l'estructura del control de les etapes de PFC i BCM, i la seva interacció amb l'etapa de potència.

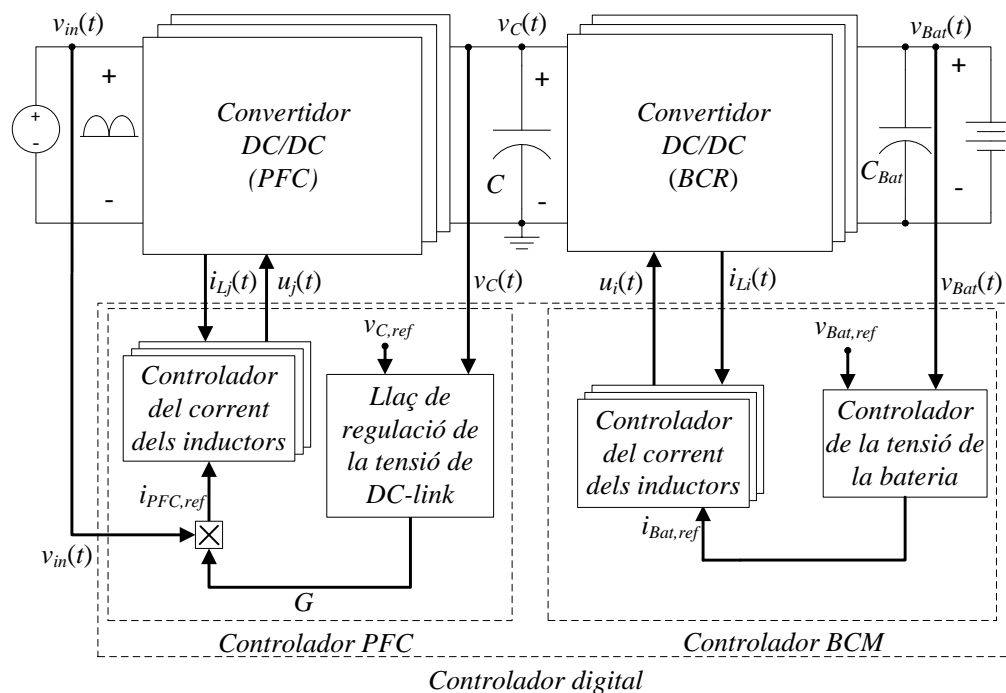


Figura 3.18. Vista general del control de les dues etapes de convertidors. Basat en [4].

La funció del controlador PFC és per un costat regular la tensió de condensador de DC-link a 400 V mitjançant un laç de tensió treballant a 10 kHz i, per l'altre, imposar un comportament LFR per a realitzar la correcció del factor de potència (FP proper a 1) mitjançant el control del corrent dels inductors amb un laç a 60 kHz aplicant la teoria Sliding-Mode Control (SMC) en temps discret [7]. Per a generar la referència de corrent es realitza el producte entre el sensat de la tensió d'entrada i la conductància G que l'etapa ha d'exhibir al port d'entrada. La referència final de l'etapa PFC que s'utilitza per a cada convertidor individualment és un terç de la anteriorment citada ja que cal recordar que tenim tres convertidors treballant en interleaving i com hem vist abans el corrent d'entrada és igual al sumatori de les corrents que circulen per cada fase de l'etapa PFC.

En quant al controlador BCM, l'objectiu és generar el perfil de càrrega CC-CV segons l'estat de càrrega de la bateria, a partir de la referència de corrent de l'etapa BCM $i_{Bat,ref}$, el corrent dels inductors $i_{Li}(t)$ i l'estat de càrrega obtingut mitjançant el sensat de $v_{Bat}(t)$. Per a realitzar-ho, utilitza un laç de tensió lent a 10 kHz i un laç a 60 kHz de corrent per al control del corrent dels inductors de l'etapa BCM segons la teoria SMC en temps discret.

El diagrama de blocs de l'algorisme de control que s'ha implementat en una DSC de Texas Instruments model TMS320F28335 es presenta a continuació a la Figura 3.19. Com ja s'ha comentat anteriorment, els senyals de sensat adaptats entren al DSC a través de l'ADC i mitjançant un algorisme de recuperació, s'obté un valor digital corresponent a la magnitud sensada. Posteriorment, els senyals s'envien als controladors PFC i BCM per a generar els cicles de treball que es carregaran als registres EPwmiRegs.CMPA.half.CMPA de la DSC per a generar els senyals PWM $u_k(t)$ que commutaran els MOSFETS de les etapes de convertidors.

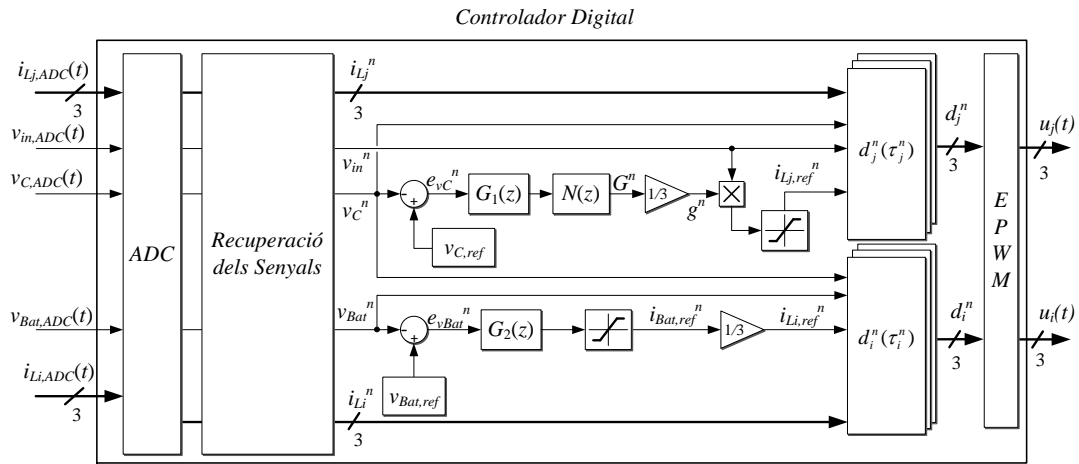


Figura 3.19. Diagrama de blocs de l'algoritme del controlador digital. Basat en [4].

Per a generar els cicles de treball d_j^n , l'etapa PFC calcula l'error entre la tensió de DC-link i una referència anomenada $v_{C,ref}$ configurada a 400 V. Posteriorment introdueix l'error al compensador $G_1(z)$ basat en un regulador PI en temps discret descrit per la següent funció de transferència al pla z , on z_0 i k_p són iguals a 0,999 i 0,001135 respectivament [4].

$$G_1(z) = k_p \frac{(z - z_0)}{(z - 1)} \quad (18)$$

A continuació, es filtra al filtre de banda eliminada o *Notch* $N(z)$ treballant al doble de la freqüència de xarxa, és a dir, 100 Hz segons l'expressió següent (expressió determinada a [4]).

$$N(z) = \frac{z^2 + b_1 \cdot z + 1}{z^2 + a_1 \cdot z + a_2} \quad (19)$$

La sortida del filtre notch que correspon a la conductància G^n de tota la etapa PFC es divideix per tres i es multiplica per v_{in}^n per generar la referència de corrent de cada fase de la etapa PFC $i_{Lj,ref}^n$. Aquesta referència, que es limita amb un saturador per raons de seguretat es emprada pels controladors dels corrents dels inductors basats en la teoria SMC en temps discret per, finalment, calcular el cicle de treball en funció del temps en estat ON $d_j^n(\tau_j^n)$ mitjançant les expressions següents demostrades a [4]:

$$d_j^n(\tau_j^n) = \frac{\tau_j^n}{T_{SW}} \quad (20)$$

$$\tau_j^n = \frac{L_j \cdot (i_{Lj,ref}^n - i_{Lj}^n) + T_{SW} \cdot (v_C^n - v_{in}^n) \cdot \left(1 - \frac{v_{in}^n}{2 \cdot v_C^n}\right)}{v_C^n} \quad (21)$$

Pel que fa al controlador BCM, el procediment per generar els cicles de treball d_i^n és el següent. Primer es calcula l'error restant la tensió de la bateria $v_{Bat}(t)$ a la tensió de referència de la bateria $v_{Bat,ref}(t)$ que correspon a 380 V. L'error després es processa al controlador de la tensió de la bateria $G_2(z)$ descrit per la següent funció de transferència al pla z , essent $k_{p,Bat}$ i $z_{0,Bat}$ igual a 0.1295 i 0.9926 respectivament [4].

$$G_2(z) = k_{p,Bat} \frac{(z - z_{0,Bat})}{(z - 1)} \quad (22)$$

A continuació el senyal resultant es satura per evitar que no es superin els valors màxim o mínims. Llavors, el valor resultant que correspon al corrent de referència de la bateria $i_{Bat,ref}^n$ s'envia als controladors dels corrents dels inductors basats en la teoria SMC en temps discret per generar el cicle de treball del cicle de commutació $d_i^n(\tau_i^n)$ en funció del temps en estat ON descrit per la següent expressió demostrada a [4]:

$$\tau_i^n = \frac{L_i \cdot (i_{Li,ref}^n - i_{Li}^n) + T_{SW} \cdot (v_C^n + v_{Bat}^n) \cdot \left(\frac{v_{Bat}^n}{v_C^n}\right)}{v_C^n} \quad (23)$$

Finalment, a la Figura 3.20 podem veure els pins d'entrada (esquerra) de la DSC als que van connectats els senyals d'entrada procedents de les etapes de condicionament de senyals i els ports de sortida (dreta) per on surten els senyals de gestió del flux de potència i els senyals PWM generats segons les lleis de control programades.

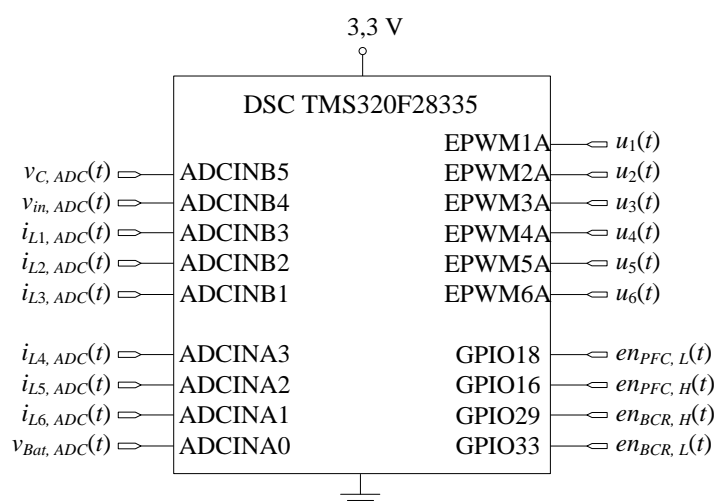


Figura 3.20. Entrades/sortides del controlador digital de senyals. Basat en [4].

4 Disseny i implementació

Una vegada descrit l'estat inicial i donades les bases teòriques per a entendre el projecte, en aquest apartat es proposen les modificacions necessàries per a assolir els objectius plantejats a l'apartat 2, i es presenten els resultats que s'han obtingut tant a partir de la simulació en PSIM com els obtinguts després de la implementació al prototip experimental.

Recordem que el que volíem aconseguir era modificar el sistema per a permetre al carregador de bateries treballar bidireccionalment. Específicament una entitat, a la que anomenarem supervisor, serà l'encarregada d'induir el mode de funcionament. El carregador haurà de ser capaç de treballar o bé de xarxa a bateria (G2B) o de bateria a xarxa (B2G). Si el mode de funcionament escollit és el primer, el sistema es comportarà com s'ha descrit anteriorment amb l'objectiu de carregar la bateria; en canvi, si el mode de funcionament fos el segon, el supervisor a més haurà d'especificar la potència a extreure de la bateria per a injectar-la de nou a la xarxa amb un màxim de fins a 3 kW. El diagrama de blocs general, en aquest darrer cas, és el presentat a la Figura 4.1.

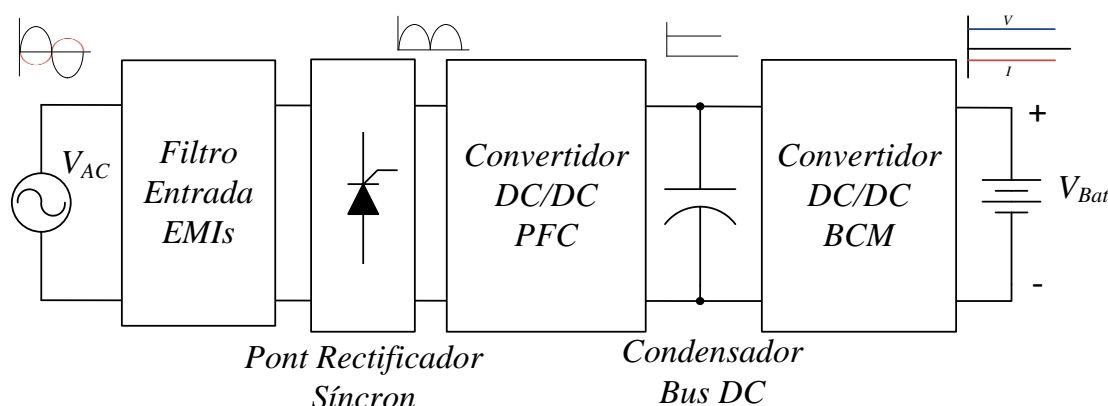


Figura 4.1. Diagrama de blocs general del carregador bidireccional en funcionament B2G. Basat en [4].

És especialment interessant comparar la Figura 3.1 i la Figura 4.1. Veiem que l'única diferència introduïda és que el pont rectificador d'ona completa realitzat amb díodes s'ha substituït per un pont rectificador síncron. Això és degut a que la corrent en aquest mode de funcionament ha d'arribar de la bateria a la font com es pot veure a la corrent constant negativa extreta de la bateria o al desfasament entre tensió i corrent a l'entrada. Degudes les característiques inherents dels díodes, el corrent no pot circular en direcció contrària si es troben polaritzats en directa fent, per tant, necessària la seva substitució per commutadors controlats. En aquest projecte s'han utilitzat MOSFETs.

Una altra diferència important, en aquest cas, no apreciada al diagrama de blocs anterior, és que els convertidors bidireccionals de les etapes PFC i BCM, que treballaven com a Boosts i Bucks respectivament, hauran de treballar com Bucks i Boosts respectivament en mode B2G. Això és així ja que el flux de potència va en direcció contrària i per tant on abans es necessitaven topologies elevadores, ara es necessiten topologies reductores i viceversa.

El circuit de potència equivalent, un cop realitzats els canvis anteriors, es presenta a continuació a la Figura 4.2.

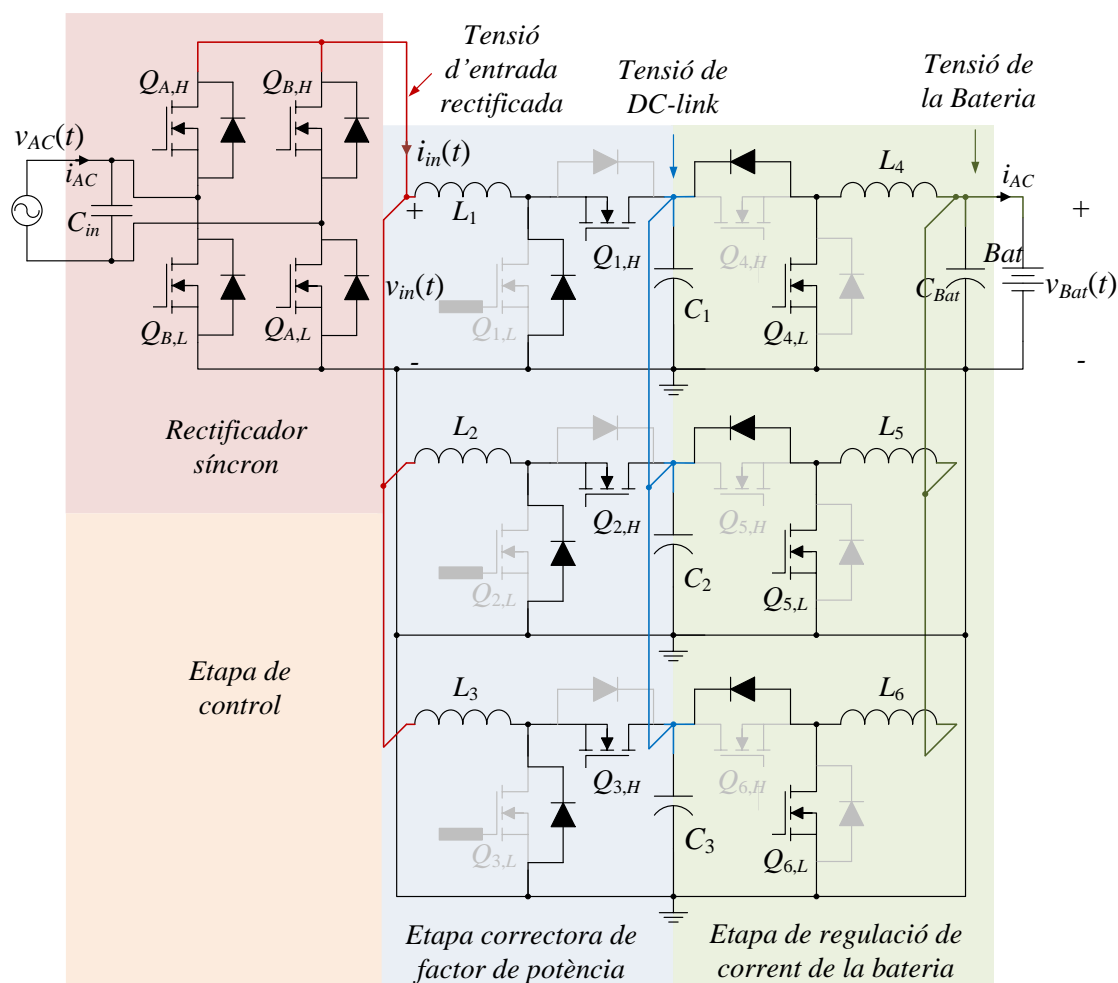


Figura 4.2. Esquemàtic simplificat del circuit de potència del carregador de bateries per vehicles elèctrics. Basat en [4].

No obstant, per a que el carregador treballi de la forma desitjada no només són necessaris canvis a l'esquema de potència. També hi ha canvis importants a l'etapa de control. Els passos a seguir per a gestionar el control del convertidor bidireccional a partir del prototip inicial es presenten a continuació:

- Disseny de les funcions del supervisor.
- Gestió de les etapes PFC i BCM.
- Gestió del pont rectificador síncron en funció de la tensió de la xarxa elèctrica.
- Reestructuració de la seqüència d'execució de l'algorisme de control.

Aproximadament, aquesta serà l'estructura que seguirem al llarg d'aquest apartat. Addicionalment, també es descriuran les aportacions per a millorar el funcionament global del sistema següents:

- Precàrrega en mode G2B
- Precàrrega en mode B2G
- Modularització del codi per tests

4.1 Supervisor

L'entitat supervisora ha estat implementada per software i carregat al DSC. Com es pot veure a l'Annex C adjuntat en aquesta document, actualment l'usuari ha de descriure al codi a carregar a la memòria de programa el mode de funcionament i la informació referent a la potència a extreure. Tot i que en un futur, lo més coherent és que aquesta informació arribi per bus de comunicacions des d'una entitat de gestió de l'energia elèctrica i no la proporcionin l'usuari, s'ha realitzat d'aquesta manera per a demostrar només la viabilitat del sistema. Específicament la informació serà gestionada per les constants `MODE` i `I_BAT_REF_B2G`.

Tot i que, la informació referent a la potència a extreure s'acaba gestionant a través de la variable $i_{Bat,ref}$ introduïda al controlador dels corrents dels inductor de la etapa BCM com es pot veure a la Figura 3.18 i Figura 3.19, idealment el més convenient seria calcular aquesta referència a partir de la potència que es desitja extreure i l'estat de càrrega de la bateria al període de commutació n a través de la següent expressió:

$$i_{Bat,ref}^n = \frac{P_BAT_WITHDRAWN}{v_{Bat}^n} \quad (24)$$

No obstant, la divisió és una de les operacions que més recursos exigeix a la DSC i, com s'explicarà en futurs apartats, actualment no tenim temps de computació necessari per a realitzar l'expressió anterior. Per aquesta raó, s'ha suposat que v_{Bat}^n és constant i, per tant, la informació introduïda amb `I_BAT_REF_B2G` no s'ha de calcular periòdicament i al ser directament proporcional a `P_BAT_WITHDRAWN` es coneix inicialment abans de córrer el programa. De moment, per justificar la viabilitat del disseny és suficient, no obstant, per a un producte final s'hauria d'escollir una DSP amb més capacitat de còmput.

La constant `MODE` s'utilitza al llarg del codi de programa per a realitzar les operacions necessàries per a treballar en un mode de funcionament o l'altre. Una de les funcions més importants és gestionar els senyals de direcció del flux de potència. Aquest senyals, anomenats $en_{PFC,H}$, $en_{PFC,L}$, $en_{BCM,H}$ i $en_{BCM,L}$ s'envien a quatre portes AND que formen la lògica de control dels senyals de control $u_k(t)$ de la Figura 4.3 i permet escollir actuar sobre els MOSFETs de costat alt o baix fent funcionar el convertidor en mode G2B o B2G de la forma descrita a l'apartat 3.2.4.

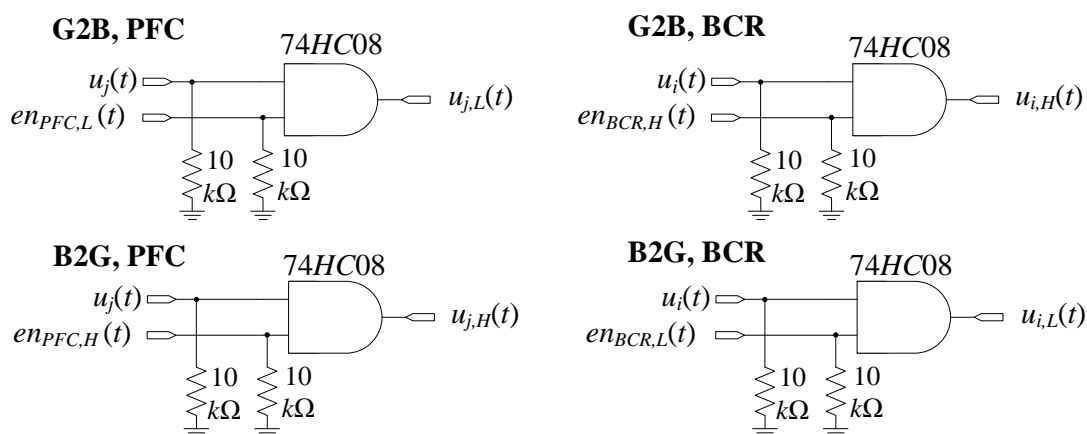


Figura 4.3. Lògica dels senyals de control per a imposar el mode de funcionament a les etapes de convertidors. Basat en [4].

Dues funcions més del supervisor que també gestiona amb la constant MODE són les següents. Per un costat decidir si la referència de corrent de la bateria $i_{\text{Bat,ref}}$ es calcula pel llaç de tensió explicat anteriorment en mode G2B o si es dona un valor preestablert negatiu per a induir el mode B2G (la raó del signe negatiu és perquè circula en direcció contrària al mode G2B). I per l'altre, decidir si al pont rectificador de l'entrada del carregador de bateries treballen els MOSFETs (mode B2G) o només els díodes (G2B).

La implementació del supervisor al sistema per habilitar les funcions bidireccionals modifica l'estructura de control presentada a la Figura 3.18 de la forma presentada a continuació:

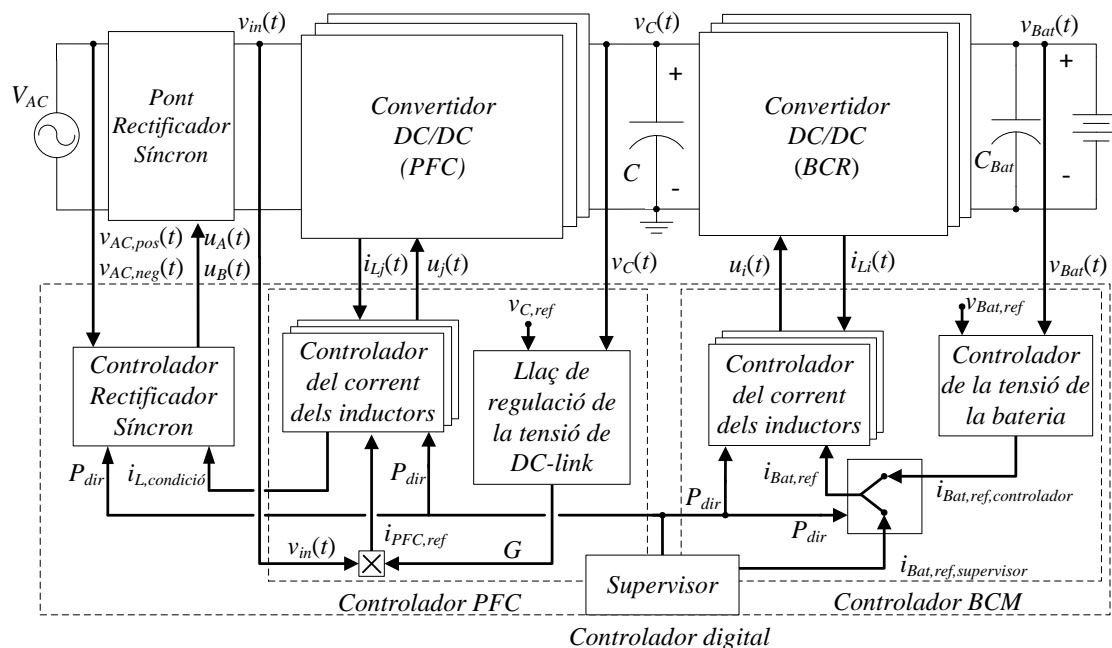


Figura 4.4. Vista general del control bidireccional del carregador de bateries per a vehicles elèctrics. Basat en [4].

S'ha de recordar, com explicàvem a l'inici d'aquest apartat, que el corrent i la tensió d'entrada han d'estar desfasats 180° i, tenint en compte que la tensió $v_{AC}(t)$ és fixada per la xarxa elèctrica, ho aconseguirem imposant que $i_{AC}(t)$ sigui negatiu. Per a aconseguir-ho, necessitarem que el corrent $i_{in}(t)$, suma dels corrents dels inductors que controlem a l'etapa PFC, sigui negatiu. En aquest cas, però, no haurem d'imposar un valor negatiu per referència com succeïa amb el corrent de referència de la bateria $i_{\text{Bat,ref}}$ mitjançant el supervisor ja que el producte entre el senyal de la tensió d'entrada $v_{in}(t)$ i la conductància G ja és negatiu.

En concret la conductància G que l'etapa PFC ha d'exhibir al port d'entrada representa la demanda de potència a la xarxa elèctrica per part del carregador. En mode B2G G ja és negativa perquè en aquest cas el carregador no representa un consum d'energia com succeeix en mode G2B, sinó una "oferta" de potència elèctrica que s'injecta de nou a la xarxa. Una G negativa provoca que el resultat de la multiplicació $i_{PFC,ref}(t)$ també ho sigui i com a conseqüència $i_{in}(t)$, finalment, $i_{AC}(t)$, aconseguint d'aquesta manera el desfasament entre corrent i tensió d'entrada de 180° que parlàvem anteriorment.

A la Figura 4.5 es representa la dependència entre el valor de la conductància G i el mode del funcionament del carregador. Com es pot apreciar, per a valor positius la planta funciona com a carregador i, per a valors negatius, com a subministrador de potència a la xarxa des de la bateria. Al primer cas es parla de model LFR tal i com s'ha descrit a l'apartat 3.2.6, però al segon, com que el resistor que modela la transmissió de potència hauria de ser negatiu, i físicament no té sentit, a la literatura no s'acostuma a parlar de model Loss Free Resistor tot i que el concepte és el mateix.

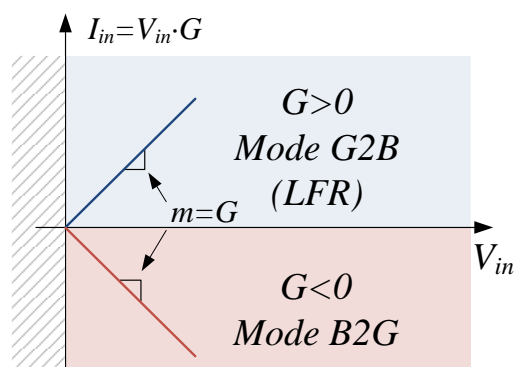


Figura 4.5. Relació de proporcionalitat entre tensió i corrent d'entrada. Basat en [4].

Les funcions del controlador del rectificador síncron que s'aprecia a la Vista general del control bidireccional del carregador de bateries per a vehicles elèctrics. Basat en .s'expliquen en profunditat a l'apartat 4.3.

4.2 Gestió de les etapes PFC i BCM

Una vegada entesa la funció del supervisor, en aquest apartat es descriuen els canvis necessaris per a permetre que les etapes de convertidors PFC i BCM treballin correctament quan el flux de potència s'extreu de la bateria per a ser injectat a la xarxa elèctrica.

4.2.1 Càlcul cycle de treball

Com s'ha explicat a l'apartat 3.2.4, les etapes de convertidors Boost/Buck bidireccionals poden treballar com a topologies elevadores si es commuten els MOSFETs de costat baix Q_L i mantenim en circuit obert els de costat alt Q_H o reductores si en canvi succeeix a l'inrevés. En el cas de les etapes PFC i BCM en mode G2B treballaven com a Boost i Buck ja que el que volíem era elevar $v_{in}(t)$ a 400 V i després reduir a 380 V. En canvi, en mode B2G és tot lo contrari. Per tant, volem fer treballar aquestes etapes com a Buck i Boost respectivament. Per tant haurem d'actuar en conseqüència sobre les portes dels transistors.

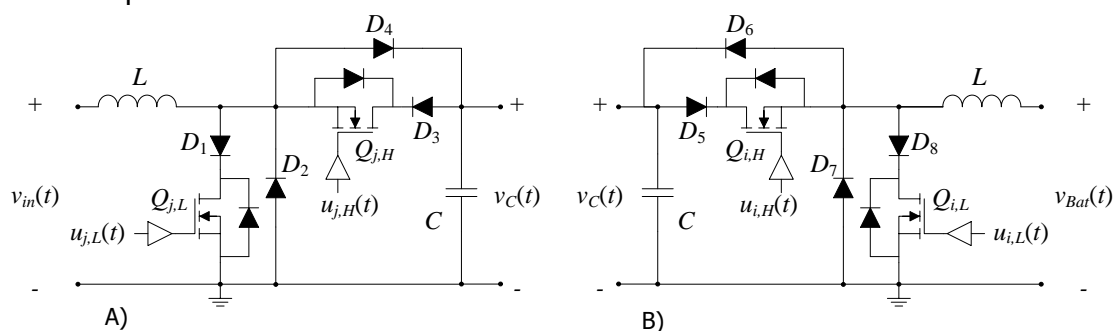


Figura 4.6. Convertidor bidireccional de l'etapa PFC (A) i BCM (B).

A la Taula 2 es recull l'ús dels diferents transistors, la topologia dels convertidors i l'expressió del cicle de treball de les etapes PFC i BCM en els diferents modes de funcionament. A la Figura 4.6 trobem representades una fase de cada etapa de convertidors de les tres que hi ha treballant en interleaving per a entendre la nomenclatura utilitzada a la Taula 2.

Taula 2. Estat dels transistors de costat alt i baix, tipus de topologia i expressió del cicle de treball dels convertidors de les etapes PFC i BCM en funció del mode de treball.

Etapa	PFC		BCM	
Mode	G2B	B2G	G2B	B2G
Q_H	C.O.	Commutant	Commutant	C.O.
Q_L	Commutant	C.O.	C.O.	Commutant
Topologia	Boost	Buck	Buck	Boost
Expressió d_k	$1 - \frac{V_{in}}{V_C}$	$\frac{V_{in}}{V_C}$	$\frac{V_{Bat}}{V_C}$	$1 - \frac{V_{Bat}}{V_C}$

Veiem que tant a l'etapa PFC com a la BCM, es compleix la relació següent entre el cicle de treball en mode G2B i B2G:

$$d_{k,B2G} = 1 - d_{k,G2B} \quad (25)$$

és a dir, són complementaris. Per tant, per a generar $d_{k,B2G}$ no es necessari modificar l'algoritme del control dels corrents dels inductors, sinó que serà suficient amb seguir generant $d_{k,G2B}$ de la mateixa manera que ho fèiem fins ara, obtenir el complementari i enviar el senyal PWM resultant al transistor contrari. Aquesta última acció, com ja hem explicat anteriorment la du a terme el supervisor mitjançant els senyals habilitadors i la lògica dels senyals de control implementada amb portes lògiques AND.

4.2.2 Generació senyals PWM

En aquest apartat es mostra com la DSC de Texas Instruments, model TMS320F28335, utilitzada en aquest projecte genera els senyals de sortida de modulació per amplada de polsos (PWMs) complementaris per a disparar els MOSFETs de les etapes PFC i BCM en mode B2G a partir dels cicles de treball calculats en mode G2B.

Per entendre-ho, primer és important saber com funciona el mòdul ePWM explicat a la guia de referència [8]. Segons la configuració actual, el registre anomenat *Time-Base Counter* (TBCTR) es va incrementant progressivament des de 0 fins al valor guardat al registre *Time-Base Period Register* (TBPRD) reiniciant-se quan arriba al darrer, tal i com es pot apreciar a la Figura 4.7. Paral·lelament, el valor del registre TBPRD es va comparant amb el valor guardat al registre anomenat *counter-compare A* (CMPA). Quan el valor de TBCTR és igual al de CMPA o TBPRD es generen dos esdeveniments d'interrupcions representats a la gràfica com CA i P.

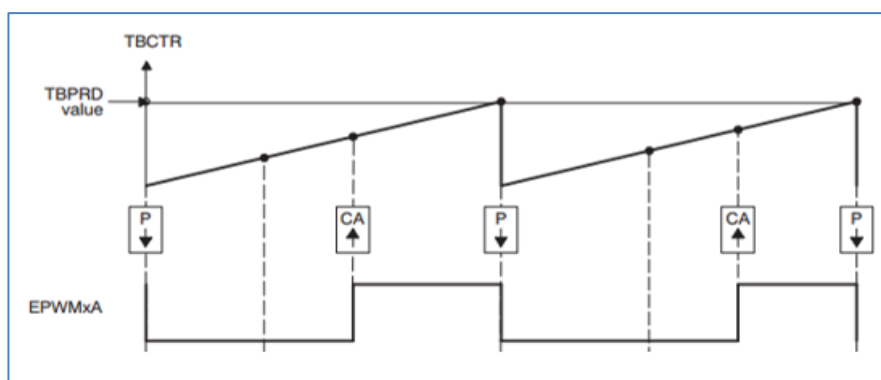


Figura 4.7. Generació senyal EPWMxA. Captura estreta del TMS320x280x Enhanced Pulse Width Modulator (ePWM) Module Reference Guide [8, p. 45].

Les accions que realitza el mòdul ePWM com a rutina de servei a la interrupció quan es produeixen els esdeveniments $TBCTR=CMPA$ i $TBCTR=0$ depenen dels registres de control ZRO i CAU com es pot veure a la Taula 3. En concret, quan $TBCTR=CMPA$ si $CAU=01$ es força el senyal de sortida ePWM a estat baix i quan $CAU=10$ es força a nivell alt. Per altra costat, quan $TBCTR=0$, si $ZRO=01$ la sortida ePWM es força a nivell baix i si $ZRO=10$, es força a nivell alt.

Taula 3. Descripció dels camps del registre AQCTLA. Extret de TMS320x280x Enhanced Pulse Width Modulator (ePWM) Module Ref. Guide [8, p. 103].

Bits	Name	Value	Description
7-6	CAD		Action when the counter equals the active CMPA register and the counter is decrementing.
		00	Do nothing (action disabled)
		01	Clear: force EPWMxA output low.
		10	Set: force EPWMxA output high.
5-4	CAU		Action when the counter equals the active CMPA register and the counter is incrementing.
		00	Do nothing (action disabled)
		01	Clear: force EPWMxA output low.
		10	Set: force EPWMxA output high.
3-2	PRD		Action when the counter equals the period.
			Note: By definition, in count up-down mode when the counter equals period the direction is defined as 0 or counting down.
		00	Do nothing (action disabled)
		01	Clear: force EPWMxA output low.
1-0	ZRO		Action when counter equals zero.
			Note: By definition, in count up-down mode when the counter equals 0 the direction is defined as 1 or counting up.
		00	Do nothing (action disabled)
		01	Clear: force EPWMxA output low.
		10	Set: force EPWMxA output high.
		11	Toggle EPWMxA output: low output signal will be forced high, and a high signal will be forced low.

En resum, el registre CMPA permet configurar el cicle de treball i el TBPRD, escollir el període dels senyals ePWMs i per tant la freqüència de commutació dels convertidors segons l'expressió següent, on T_{TBCLK} bé donat a [8, p. 55]:

$$T_{PWM} = (TBPRD + 1) \cdot T_{TBCLK} \quad (26)$$

A més a més, els registre de control EPwm1Regs.AQCTLA.bit.ZRO (ZRO) i EPwm1Regs.AQCTLA.bit.CAU (CAU) permetran escollir entre $d_{k,B2G}$ o $d_{k,G2B}$ per a generar els senyals de sortida ePWM. Per a implementar aquest algoritme per codi hem

utilitzat la següent macro condicional. Dependent del valor de *MODE* estipulat per l'usuari, el compilador escriurà les dues primeres línies o les següents. S'ha fet d'aquesta manera perquè actualment estem molt restringits pel temps de computació del DSC i d'aquesta manera no s'incrementa ja que la decisió d'escriure unes línies o les altres es fa abans de generar el fitxer binari de sortida. En un futur, seria convenient modificar el codi per a que el supervisor escolli de forma externa el mode de funcionament quan el programa ja està carregat i funcionant a la DSC.

Codi 1. Senyal PWM negat en funció de mode de treball del carregador. Fragment del codi complet adjuntat a l'Annex C.

```
//Gestió senyals ePWM. Senyal en (MODE==M_G2B) complementari del de (MODE==M_B2G)
#if(MODE==M_B2G)
{
  EPwm1Regs.AQCTLA.bit.ZRO = 0x2; // Inici de període amb PWM sortida 1
  EPwm1Regs.AQCTLA.bit.CAU = 0x1; // Sortida PWM 0 quan Ton (TBCTR==CMPA)
}
#else // (MODE==M_G2B)
{
  EPwm1Regs.AQCTLA.bit.ZRO = 0x1; // Inici de període amb PWM sortida 0
  EPwm1Regs.AQCTLA.bit.CAU = 0x2; // Sortida PWM 1 quan Ton (TBCTR==CMPA)
}
#endif
```

4.2.3 Resultats

Una vegada realitzats els canvis descrits anteriorment, les etapes PFC i BCM ja poden treballar bidireccionalment segons les instruccions del supervisor. Per a realitzar les proves bidireccionals, s'ha utilitzat les configuracions de la Figura 4.8 A i B.

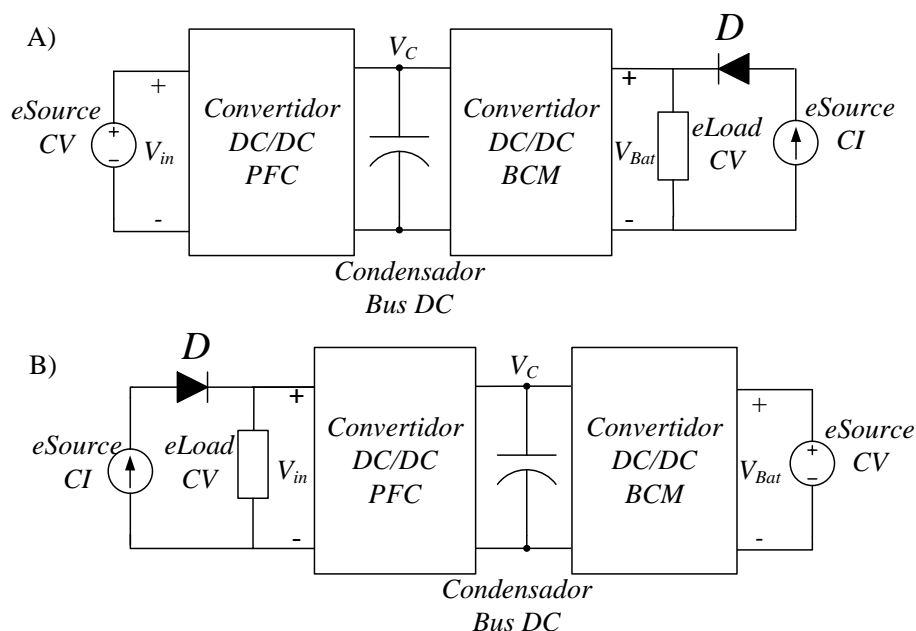


Figura 4.8. Configuració fonts i càrregues electròniques a l'entrada i a la sortida de les etapes de convertidors. A) Mode G2B. B) Mode B2G.

Com es pot veure en el mode G2B (figura A) la font a l'entrada treballa en mode tensió constant configurat a 325 V (equivalent al màxim valor de pic d'un senyal sinusoidal). A la sortida, la càrrega electrònica també treballa en tensió constant, en aquest cas a 380 V (emulant tensió nominal de la bateria). Com que la càrrega inicialment no estaria a 380 V per si sola a menys que hi hagi un corrent de polarització,

s'ha situat en paral·lel una font electrònica treballant en corrent constant configurada a 0,5 A. Càrrega i font es troben separades per un díode per evitar que el flux de corrent vagi cap a la font ja que segons el fabricant no pot absorbir grans quantitats de corrent. En quant al mode B2G (figura B) el funcionament és el contrari per a que el flux de potència vagi de la bateria a la xarxa. La tensió del condensador de bus DC és en els dos casos 400 V.

A continuació, es presenten les gràfiques generades per simulació del fitxer PSIM adjunt a l'Annex B i les captures de pantalla de l'oscil·loscopi que demostren la bidireccionalitat real de les etapes PFC i BCM.

G2B - PFC

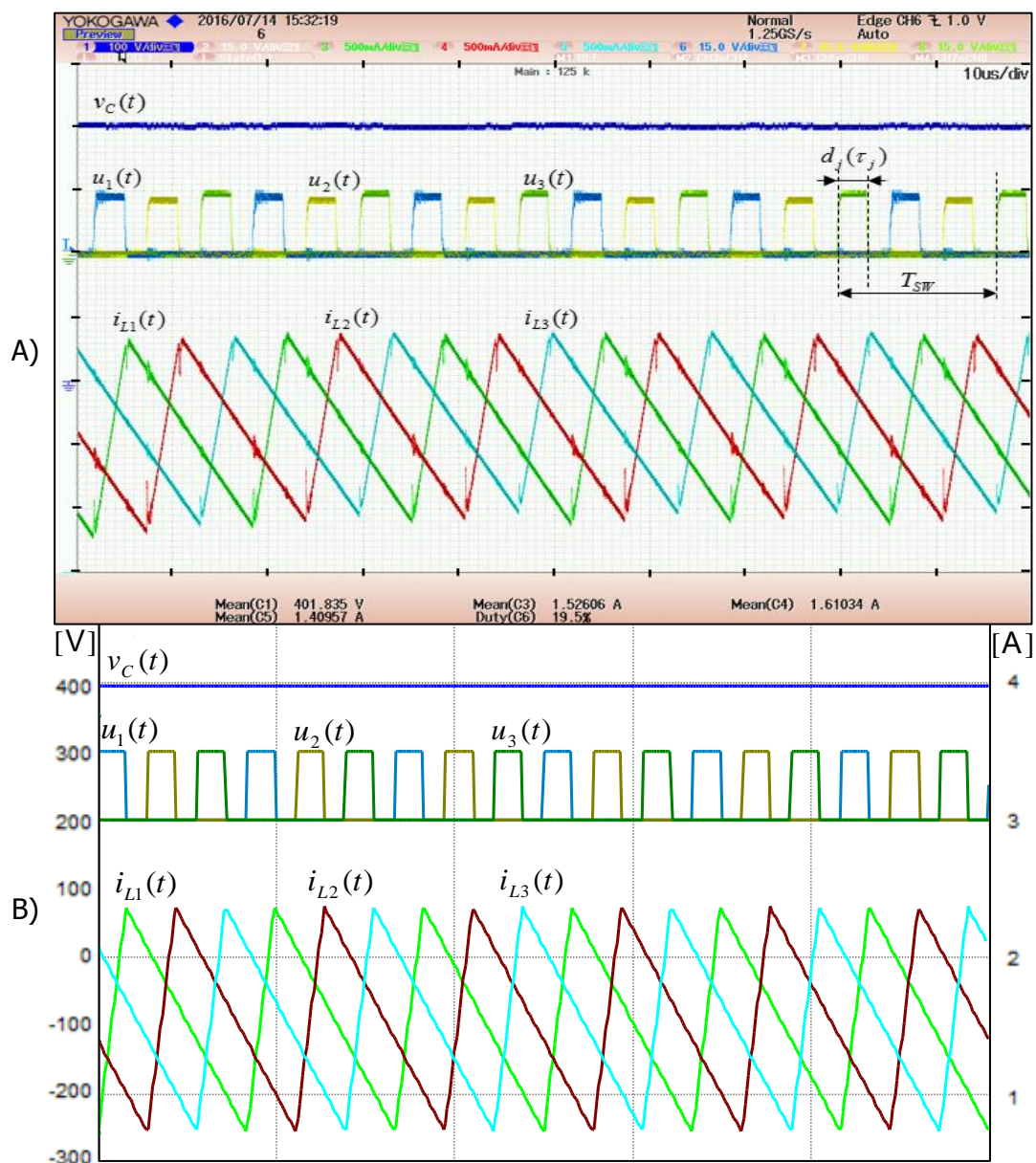


Figura 4.9. Senyals etapa PFC en mode G2B. A) Resultats Experimentals 10 μ s/div. CH1: $v_C(t)$ (100 V/div). CH3: $i_{L1}(t)$ (500 mA/div). CH4: $i_{L2}(t)$ (500 mA/div). CH5: $i_{L3}(t)$ (500 mA/div). CH6: $u_1(t)$ (15 V/div). CH7: $u_2(t)$ (15 V/div). CH8: $u_3(t)$ (15 V/div). B) Simulació.

Com es pot veure a la Figura 4.9, els resultats experimentals (A) corresponen amb els obtinguts per simulació (B) mitjançant el programa PSIM. La tensió del condensador entremig $v_c(t)$ es manté constant a 400 V el que indica que l'etapa PFC està treballant com a etapa elevadora.

Els corrents dels inductors $i_{L_j}(t)$ tenen forma triangular i valor positiu (la referència es troba a la part més baixa de la captura de la pantalla de l'oscil·loscopi) i es troben desfasats 120° tal i com s'explica a les bases teòriques que s'han donat a l'inici del document. Els senyals $u_j(t)$ tenen un cicle de treball d'aproximadament el 20 % coherent amb les tensions d'entrada i sortida.

G2B - BCM

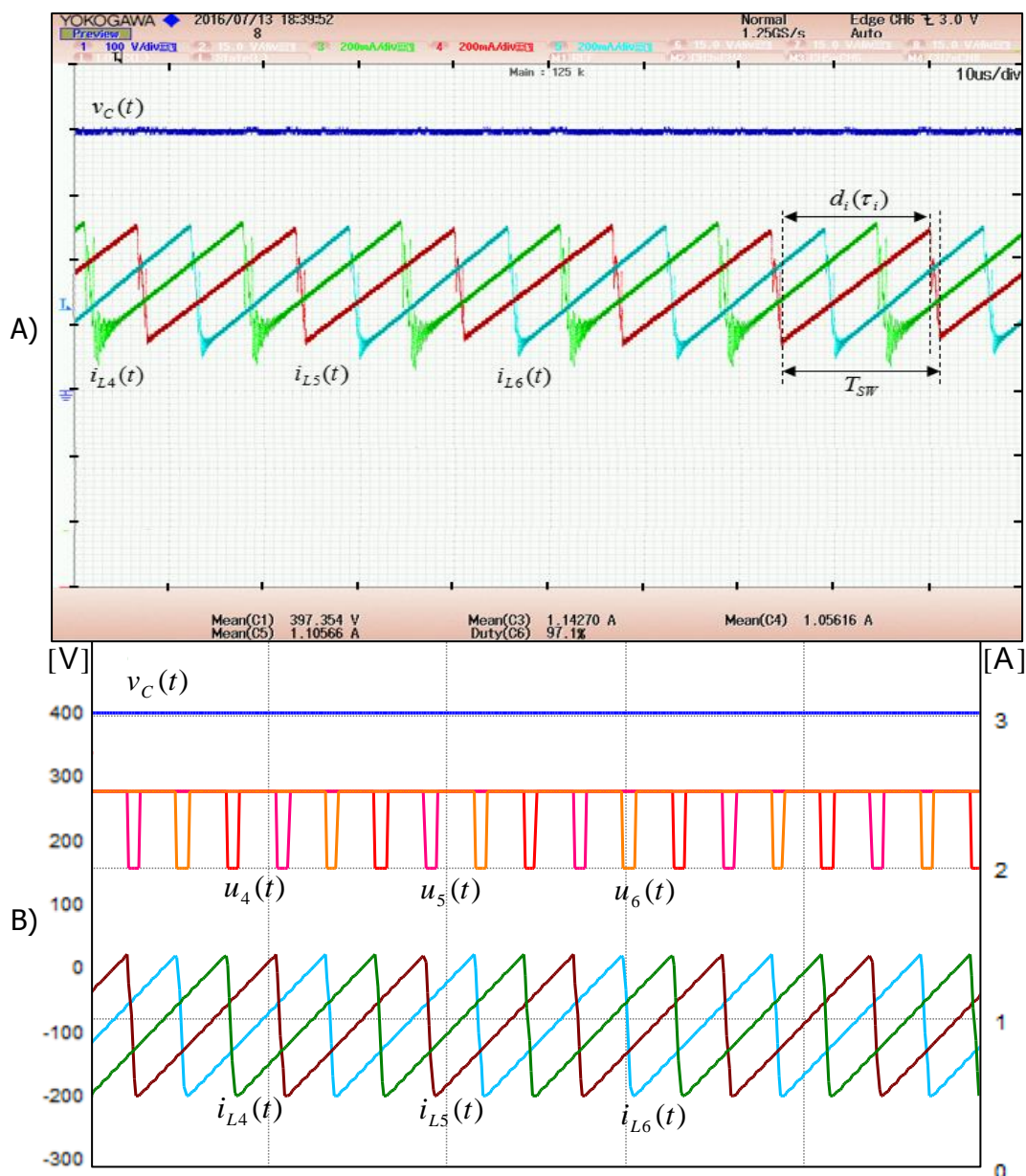


Figura 4.10. Senyals etapa BCM en mode G2B. A) Resultats Experimentals 10 μ s/div. CH1: $v_c(t)$ (100 V/div). CH3: $i_{L4}(t)$ (500 mA/div). CH4: $i_{L5}(t)$ (500 mA/div). CH5: $i_{L6}(t)$ (500 mA/div). CH6: $u_4(t)$ (15 V/div). CH7: $u_5(t)$ (15 V/div). CH8: $u_6(t)$ (15 V/div). B) Simulació.

A la Figura 4.10 es pot veure l'etapa BCM treballant en mode G2B com a topologia reductora. Els senyals també són triangulars com en el cas anterior, però ara tenen un pendent més baix de pujada que de baixada complint amb les expressions teòriques de la topologia Buck amb un cicle de treball de 95 %.

En aquest cas, no es poden veure els senyals PWM als resultats del prototip experimental ja que al commutar els transistors de costat alt, per a veure els senyals de gate, que disparen el transistor amb 15 V per sobre de la tensió del terminal font, necessitem una font diferencial per cada senyal que al moment de fer l'experiment no teníem disponible.

B2G - PFC

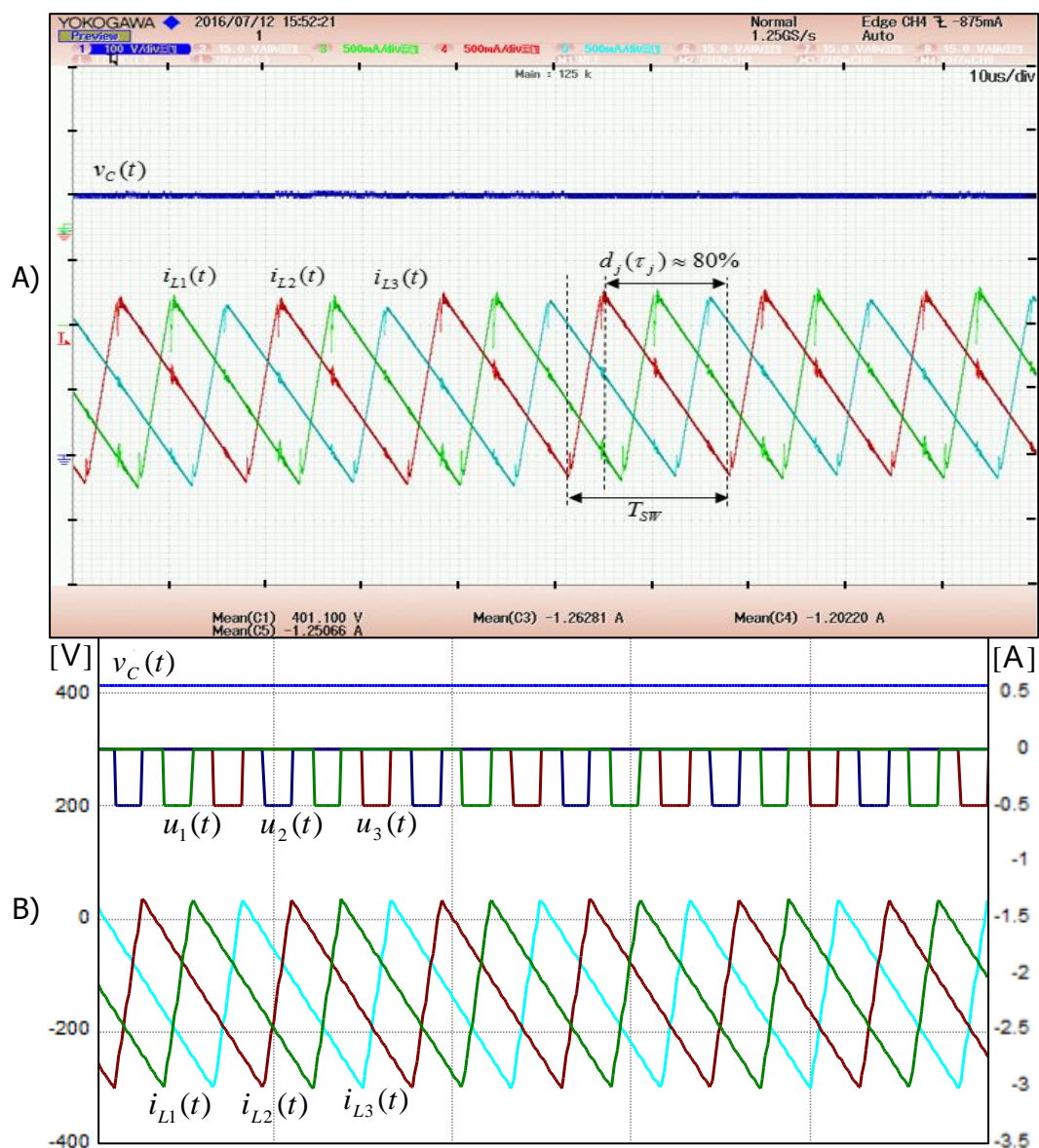


Figura 4.11. Senyals etapa PFC en mode B2G. A) Resultats Experimentals 10 μ s/div. CH1: $v_C(t)$ (100 V/div). CH3: $i_{L1}(t)$ (500 mA/div). CH4: $i_{L2}(t)$ (500 mA/div). CH5: $i_{L3}(t)$ (500 mA/div). B) Simulació.

A la Figura 4.11 tenim representats els senyals que descriuen el funcionament de l'etapa PFC en mode B2G. La tensió $v_C(t)$ segueix estant regulada a aproximadament

400 V. Els senyals triangulars $i_{L_j}(t)$ en aquest mode són negatius demostrant que el corrent circula en direcció contrari al mode G2B. Veiem a més que els senyals $u_j(t)$ tenen un cicle de treball d'aproximadament el 80 % complint amb la teoria explicada per al convertidor Buck ja que el flux de potència va de la bateria a la xarxa i, en aquest cas, l'etapa PFC es comporta com una topologia reductora.

B2G - BCM

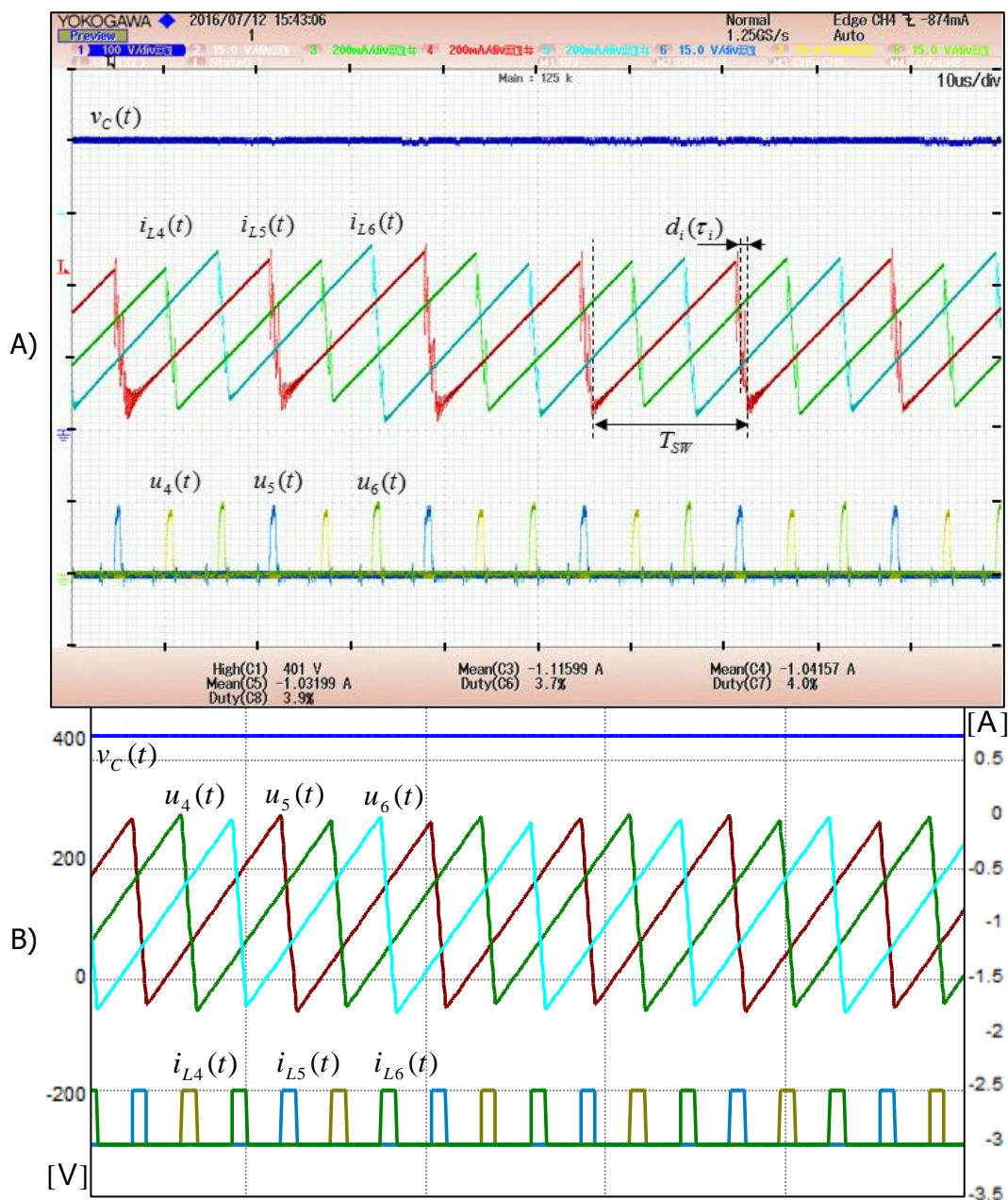


Figura 4.12. Senyals etapa BCM en mode B2G. A) Resultats Experimentals 10 µs/div. CH1: $v_C(t)$ (100 V/div). CH3: $i_{L4}(t)$ (500 mA/div). CH4: $i_{L5}(t)$ (500 mA/div). CH5: $i_{L6}(t)$ (500 mA/div). CH6: $u_4(t)$ (15 V/div). CH7: $u_5(t)$ (15 V/div). CH8: $u_6(t)$ (15 V/div). B) Simulació.

En aquest darrer cas, l'etapa BCM treballa com a Boost amb un cicle de treball aproximat del 5 %. Els corrents triangulars dels inductors són negatius i la seva suma correspon amb la consigna introduïda pel supervisor d'extreure 3 A de la bateria.

4.3 Gestió rectificador síncron

Una vegada les etapes de convertidors poden treballar de forma bidireccional és moment de dissenyar la gestió del pont rectificador síncron per habilitar la injecció de corrent a la xarxa. Abans, primer, explicarem perquè és necessari el pont rectificador síncron.

4.3.1 Pont de MOSFETS

En mode G2B el carregador no té problemes en obtenir la potència de la xarxa ja que el corrent és capaç de creuar el pont rectificador d'ona completa. Això és degut a que quant els díodes es polaritzen en directa segons la tensió de xarxa, el corrent circula d'ànode a càtode. En canvi, en mode B2G succeeix el contrari. Com que el corrent no s'absorbeix sinó que s'injecta a la xarxa, tenint per tant sentit contrari al cas anterior, no pot travessar els díodes que es troben polaritzats en directa per la tensió en alterna.

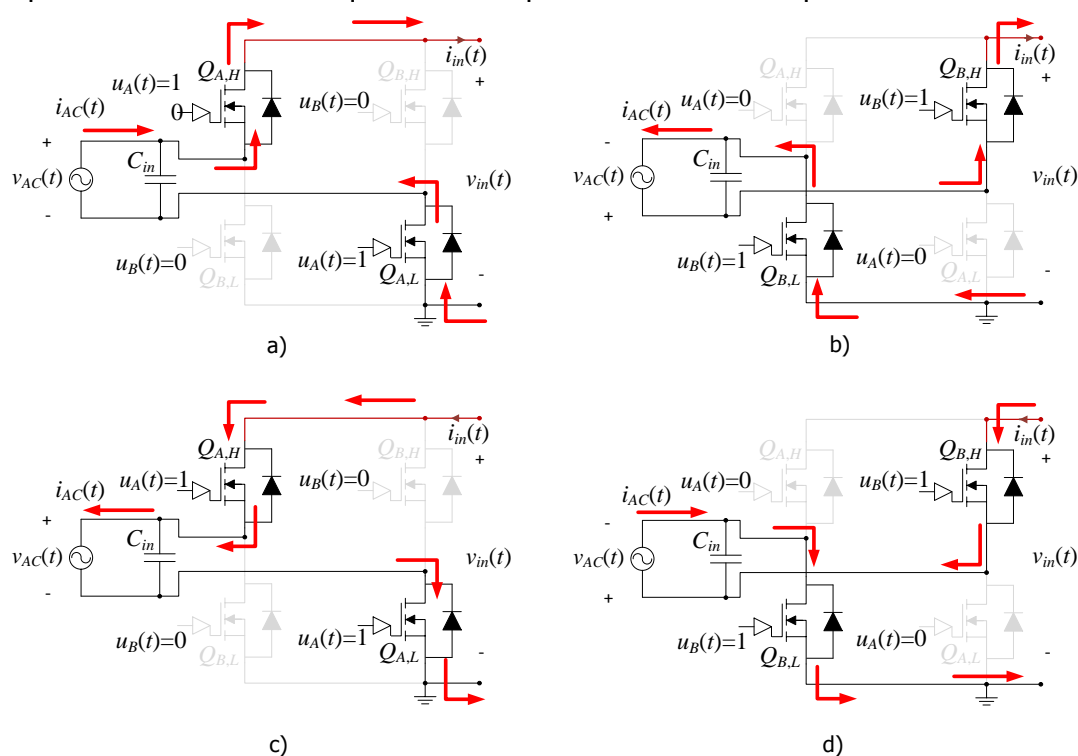


Figura 4.13. Principi de funcionament del pont rectificador síncron. A i B) Mode G2B. C i D) Mode B2G.

La Figura 4.13 recull els dos casos explicats anteriorment. Com es pot apreciar, en el mode G2B (imatge a i b) no és necessari commutar els MOSFETs ja que el corrent pot travessar el pont circulant a través dels díodes. Tot i que en mode G2B es podria treballar amb els MOSFETs per millorar l'eficiència del sistema, ja que els díodes tenen una caiguda de potencial d'aproximadament 0,7 V, s'ha optat per mantenir-los constantment a nivell baix (0 V) i treballar amb els díodes per motius de simplicitat.

En el cas B2G, la gestió del pont rectificador síncron es basa en generar adequadament els senyals $u_A(t)$ i $u_B(t)$ segons l'estat de la xarxa elèctrica, deixant un temps mort entre els estats descrits a la Figura 4.13 c i d per a evitar un curtcircuit a través de $Q_{A,H}(t)$ i $Q_{B,L}(t)$ o $Q_{B,H}(t)$ i $Q_{A,L}(t)$. A més a més, la gestió del pont haurà d'anar especialment sincronitzada amb l'etapa PFC per a realitzar les commutacions dels MOSFETs del pont quan la corrent i la tensió de $i_{in}(t)$ i $v_{in}(t)$ respectivament siguin iguals o molt properes a 0.

4.3.2 Sensat diferencial

Per a poder gestionar $u_A(t)$ i $u_B(t)$ segons l'estat de la xarxa elèctrica hem dissenyat un circuit analògic per a sensar la tensió $v_{AC}(t)$, filtrar-la i adaptar-la a les característiques d'entrada del convertidor analògic a digital del controlador digital de senyals. Addicionalment, el circuit genera dos avisos digitals quan el senyal $v_{AC}(t)$ es a prop del creuament per zero des del semicicle positiu o el negatiu anomenats $v_{AC,pos}(t)$ i $v_{AC,neg}(t)$ respectivament. Aquests senyals els utilitzarà el DSC per a conèixer l'estat de la xarxa. A continuació presentem l'esquemàtic simplificat del circuit comentat anteriorment. L'esquemàtic complet es pot trobar a l'Annex A.

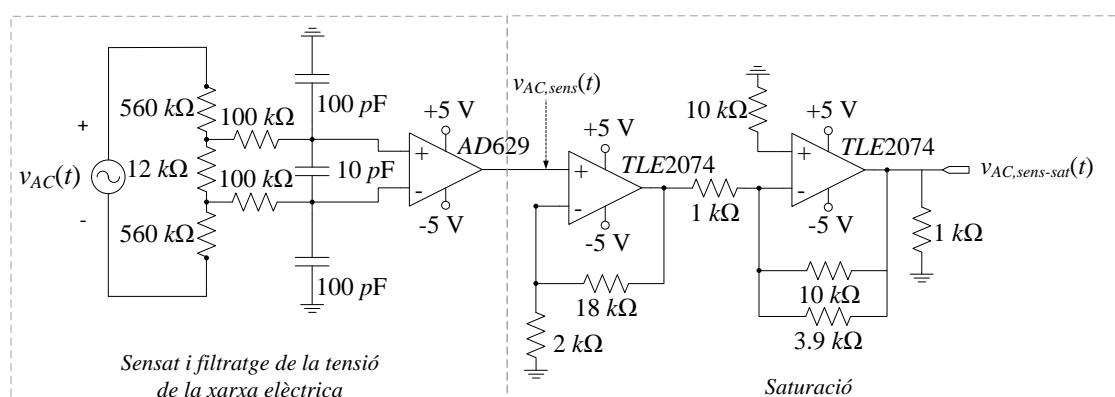


Figura 4.14. Sensat, filtratge i saturació senyal $v_{AC}(t)$.

A la Figura 4.14 es pot veure com la tensió de xarxa s'atenua per complir amb les especificacions tècniques del sensor de tensió AD629 i es filtra amb un filtre recomanat pel fabricant del mateix encapsulat. Posteriorment, el senyal s'amplifica amb un amplificador no inversor en cascada amb un d'inversor, quedant saturat a ± 5 V. Aquest senyal llavors s'envia a les entrades dels seguidors de tensió dels esquemes de les figures 4.15 i 4.17.

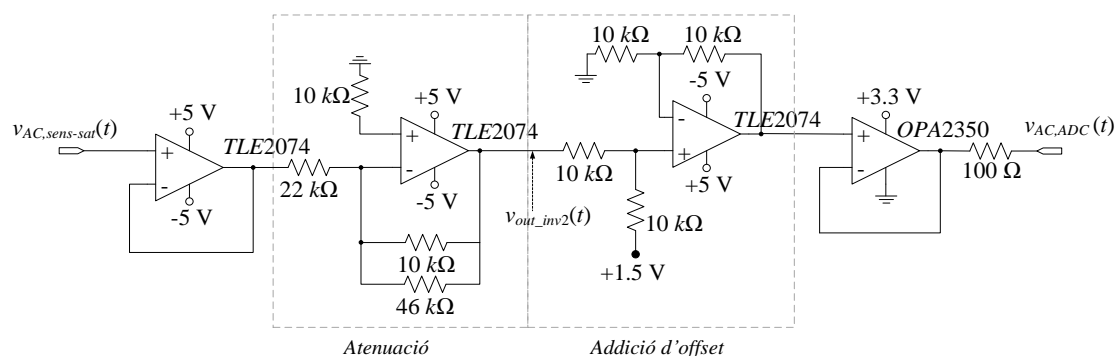


Figura 4.15. Condicionament del senyal $v_{AC}(t)$ per l'ADC.

A la Figura 4.15 es pot veure que el senyal anteriorment comentat després de passar per un seguidor de tensió per a immunitzar-se de possibles pertorbacions de càrrega s'atenua a l'amplificador inversor, anul·lant l'anterior negació. Posteriorment, tenint en compte que les entrades de l'ADC han de trobar-se dins el rang $[0, 3,3]$, al senyal se l'afegeix un offset d'1,5 V i, finalment, es satura a 3,3 V i 0 V a través dels seguidors de tensió. Mitjançant aquest condicionament aconseguim utilitzar tot el fons d'escala de l'ADC per al sensat de $v_{AC}(t)$.

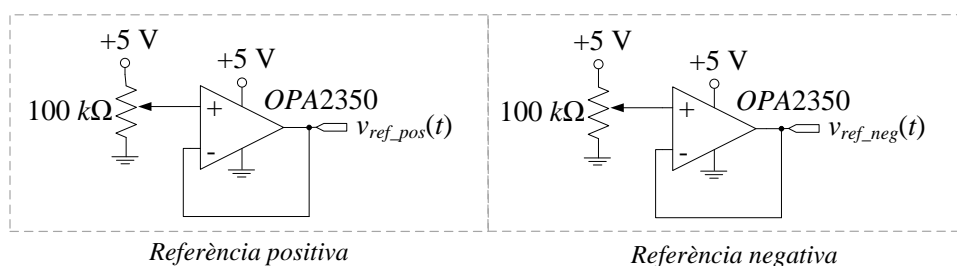
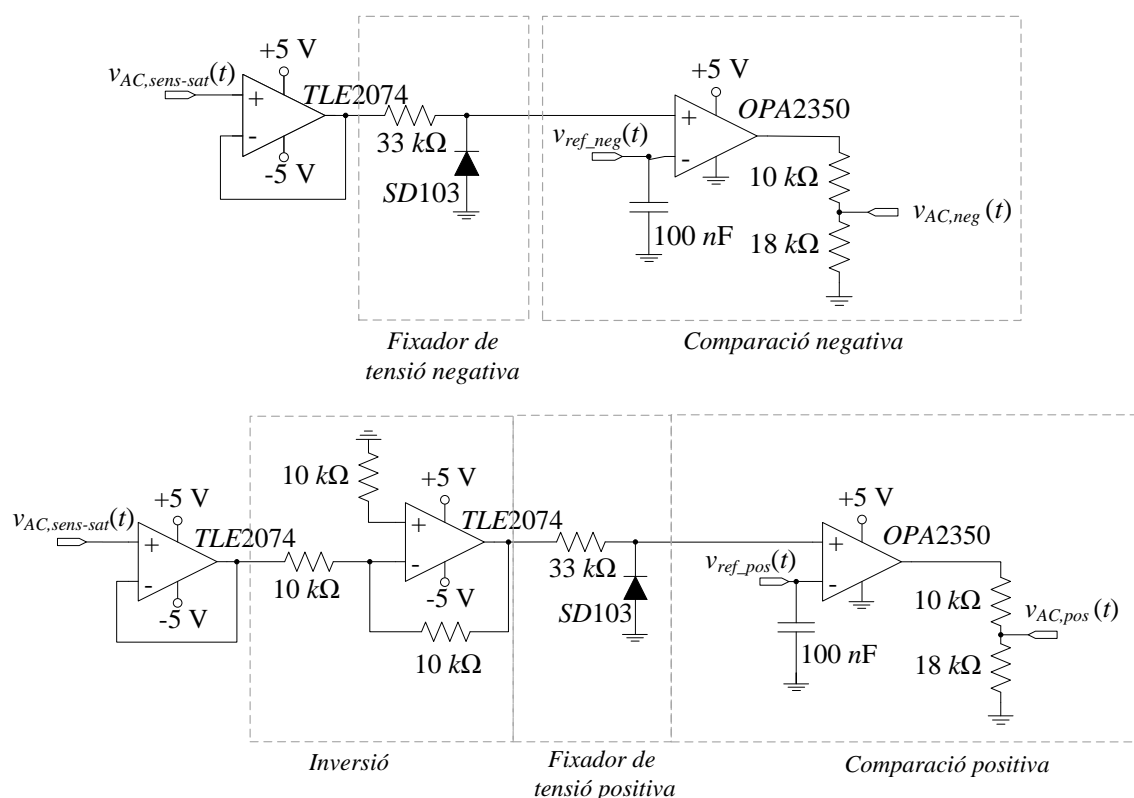


Figura 4.16. Referència positiva i negativa ajustable mitjançant un potenciòmetre.

Per altre costat, el senyal $v_{AC,sens-sat}(t)$ passa per seguidor de tensió, se li retalla la part positiva del senyal mitjançant un fixador de tensió negativa i es compara amb una referència ajustable (Figura 4.16). Quan el senyal de la tensió de xarxa sigui menor a la referència negativa, la sortida del comparador $v_{AC,neg}(t)$ assolirà un valor digital alt de 5 V i 0 V quan no. Tot i que el DSC treballa amb 3,3 V pot rebre entrades als GPIOs de 5 V, per tant no cremarem els ports d'entrada per incompatibilitats de tensió.

Anàlogament, es genera el valor de $v_{AC,pos}(t)$. La única diferència però es que el senyal es nega de nou amb l'amplificador inversor de la Figura 4.17 ja que $v_{AC,sens-sat}(t)$ ja venia negat inicialment respecte el valor original de $v_{AC}(t)$.


 Figura 4.17. Generació senyals d'avís de proximitat al creuament per zero des de semicicle positiu $v_{AC,pos}(t)$ i negatiu $v_{AC,neg}(t)$.

4.3.3 Generació senyals de gate del rectificador síncron

En aquest subapartat es descriu la gestió del pont rectificador síncron realitzat amb MOSFETs d'enriquiment de canal N.

Bàsicament la gestió, que només es realitza en mode B2G ja que cal recordar que en G2B només es fan servir els díodes en paral·lel, la realitza la funció anomenada "void f_estat_VAC(void)" implementada per codi al programa del controlador digital de senyals. Aquesta funció utilitza els senyals procedents de l'etapa de sensat diferencial descrits al subapartat immediatament anterior per a conèixer l'estat de la tensió de la xarxa i actuar en conseqüència sobre els senyals de dispar enviats a les portes dels MOSFETs que formen el pont rectificador. La finalitat és permetre la injecció de corrent a la xarxa deixant temps un mort entre la commutació d'una rama i l'altre del rectificador. A més a més, la funció f_estat_VAC sincronitza la gestió del pont síncron amb la de l'etapa PFC.

Deguda la pròpia naturalesa dels inductors, com es pot extreure de la seva expressió característica,

$$v_L(t) = L \cdot \frac{di_L(t)}{dt} \quad (27)$$

si es produeix una discontinuïtat a $i_L(t)$ tallant el camí de corrent, teòricament augmenta la tensió fins l'infinit. A la realitat, no s'assoleix una tensió infinita degudes les no idealitats dels elements del sistema, però sí es produeix un augment descontrolat de la tensió. Observant el circuit de potència del sistema presentat a la Figura 3.16, es comprova que el corrent $i_{in}(t)$ no té camí per a seguir circulant si té un valor negatiu i de sobte els transistors es deixen en circuit obert. A la Figura 4.18 i Figura 4.19 es pot veure les conseqüències de realitzar les commutacions en aquest cas. En canvi si $i_{in}(t)$ és major a zero, el corrent podrà seguir circulant a través dels díodes en paral·lel ja que circula d'ànode a càtode i el díode està polaritzat en directa. Per aquesta raó és necessari sincronitzar l'etapa PFC i el pont en mode B2G però no en G2B. Per a evitar la discontinuïtat, la solució és esperar a commutar quan el corrent ha arribat a zero.

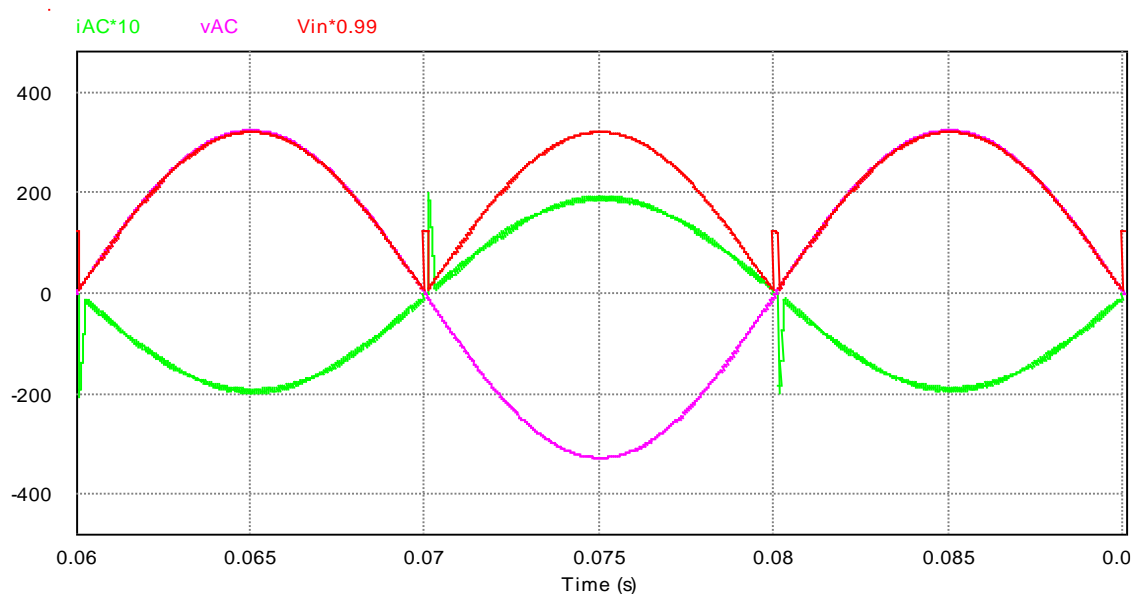


Figura 4.18. Corrent i tensió d'entrada al carregador si les commutacions del pont rectificador síncron es realitzen quan $i_{in}(t) \neq 0$.

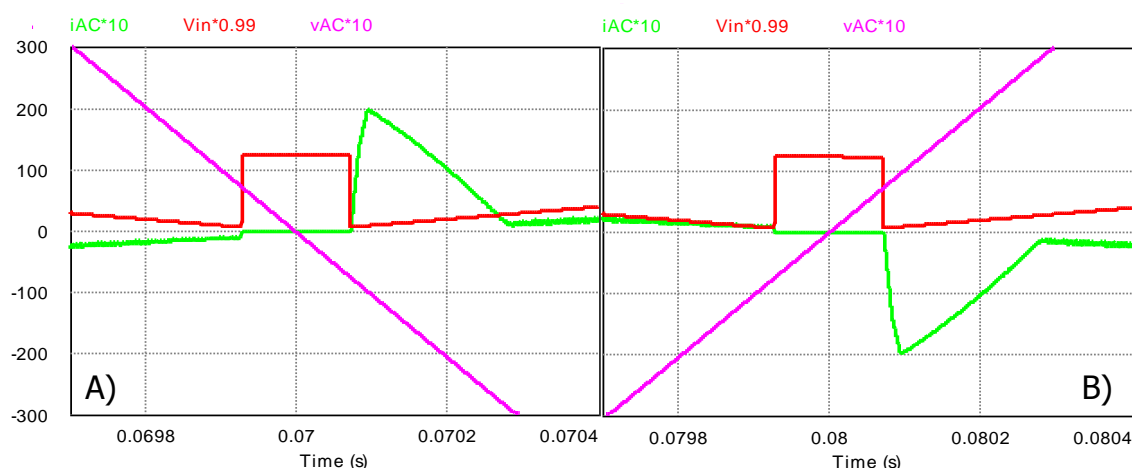


Figura 4.19. Zoom-in dels creuaments per 0 de la tensió de xarxa quan $i_{in}(t) \neq 0$.

A més del pic de tensió en borns a la bobina deguda a la discontinuïtat de corrent, podem veure a les imatges anteriors que el corrent, que encara no ha arribat a zero, carrega els condensadors paràsits dels MOSFETs que al ser de capacitat molt petita pugen abruptament la tensió $v_{in}(t)$. Posteriorment, quan es torna a commutar el pont de MOSFETs després del temps most, com la tensió $v_{in}(t)$ no té un valor coherent amb la tensió d'entrada, el control de l'etapa PFC no treballa correctament i commuta el transistor de costat alt amb un cicle de treball erroni elevant el corrent fins a 20 A aproximadament a la simulació. Aquests pics a més de generar emissions electromagnètiques (EMIs) i empitjorar el funcionament del sistema, poden excedir el valor màxim dels components. Per exemple els díodes de potència que utilitzem (model IDH12SG60C) suporten un màxim de 12 A.

Per a evitar això, doncs, hem de deshabilitar l'etapa PFC, esperar a que els corrents dels inductors es facin zero i després commutar. Per a implementar aquesta solució al codi hem utilitzat els estats que es troben descrits a continuació:

- 1 INICIAL:** Estat que només es pot donar a l'inici del sistema. És un estat d'espera que permet gestionar l'entrada d'un semicicle positiu o un negatiu.
- 2 POS:** El circuit analògic de sensat diferencial informa que la tensió de xarxa es troba en el semicicle positiu i lluny del creuament per zero. La sortida $u_a(t)$ es troba a nivell alt i $u_b(t)$ a nivell baix.
- 3 NEG:** En aquest cas, la xarxa es troba en el semicicle negatiu i lluny del creuament per zero. La sortida $u_b(t)$ es troba a nivell alt i $u_a(t)$ a nivell baix.
- 4 D_TIME_B:** Temps mort de baixada en el que la tensió de xarxa canvia de positiu a negatiu. Les sortides $u_a(t)$ i $u_b(t)$ es posen a nivell baix.
- 5 D_TIME_P:** Temps mort de pujada en el que la tensió de xarxa canvia de negatiu a positiu. Les sortides $u_a(t)$ i $u_b(t)$ es posen a nivell baix.
- 6 ESPERA_B:** Estat en el que després de deshabilitar l'etapa PFC, esperem l'avís que indica que el corrent $i_{in}(t)$ ha assolit un valor molt proper a 0. La sortida $u_a(t)$ es troba a nivell alt i $u_b(t)$ a baix.
- 7 ESPERA_P:** Estat en el que després de deshabilitar l'etapa PFC, esperem l'avís que indica que el corrent $i_{in}(t)$ ha assolit un valor molt proper a 0. La sortida $u_b(t)$ es troba a nivell alt i $u_a(t)$ a baix.

A la Figura 4.20 es veuen representats els diferents estats descrits anteriorment:

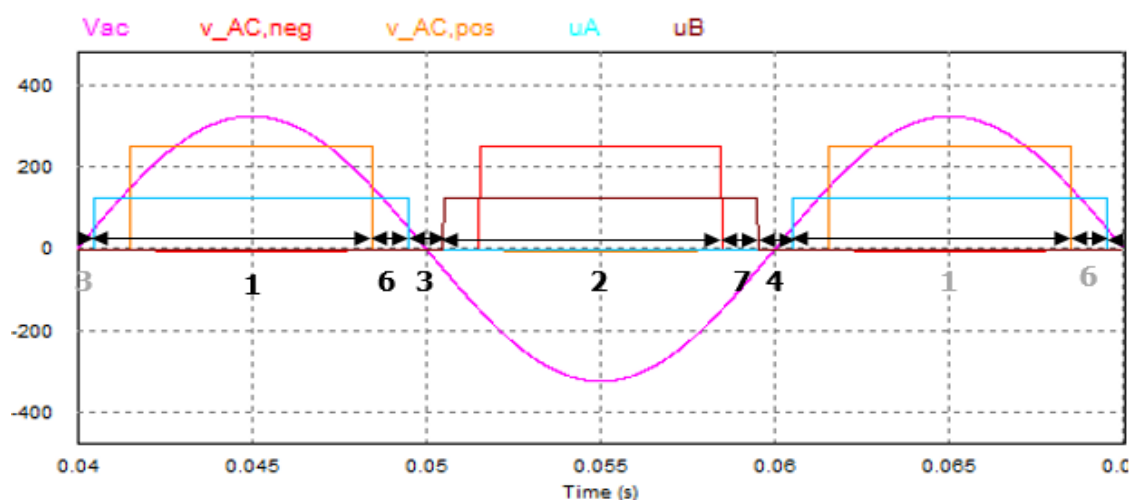


Figura 4.20. Estats que utilitza el DSC en la gestió del pont rectificador síncron.

La gestió de l'algorisme i les transicions entre estats s'ha realitzat essencialment com es recull gràficament la Figura 4.21. Partint d'un estat inicial, si ens trobem lluny del creuament per zero des del semicicle positiu ($v_{AC,pos}(t)=1$) o des del semicicle negatiu ($v_{AC,neg}(t)=1$), es realitza la transició a l'estat POS o a NEG, respectivament. En aquests estats la etapa PFC es troba habilitada mitjançant el senyal $en_{PFC}(t)$. Posteriorment, les transicions només es poden realitzar en sentit horari al diagrama. Des de POS, passem a ESPERA_B quan estem propers al creuament ($v_{AC,pos}(t)=0$) on es deshabilita l'etapa PFC mitjançant $en_{PFC}(t)=0$. Posteriorment, quan l'etapa PFC indica que el corrent dels inductors és aproximadament igual a zero, passem a l'estat D_TIME_B on es força u_A a zero, començant el temps mort. En aquesta situació, s'ha utilitzat un comptador que s'incrementa fins que $v_{AC}(t)$ és igual a 0 i posteriorment es decrementa permetent realitzar un temps mort simètric respecte el creuament per zero amb les commutacions d' u_A i u_B . Del procediment explicat anteriorment s'extrapola a les transicions entre els estats NEG, ESPERA_P i D_TIME_P.

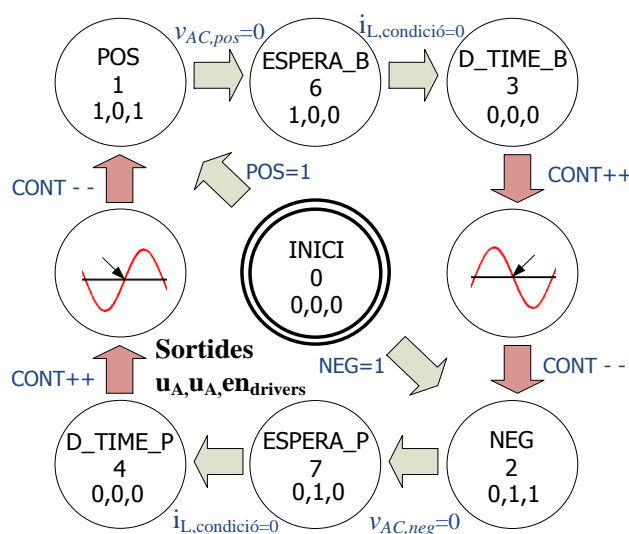


Figura 4.21. Diagrama de transició d'estats per a la gestió del rectificador síncron.

(Entrades: $v_{AC,pos}$, $v_{AC,neg}$ i $i_{L,condició}$. Sortides: u_A , u_B i $en_{drivers}$).

4.3.4 Resultats

A continuació es presenta els resultats obtinguts per simulació PSIM del carregador en mode B2G a partir dels esquemàtics de l'Annex B necessaris per comprovar la viabilitat del disseny descrit en aquest apartat.

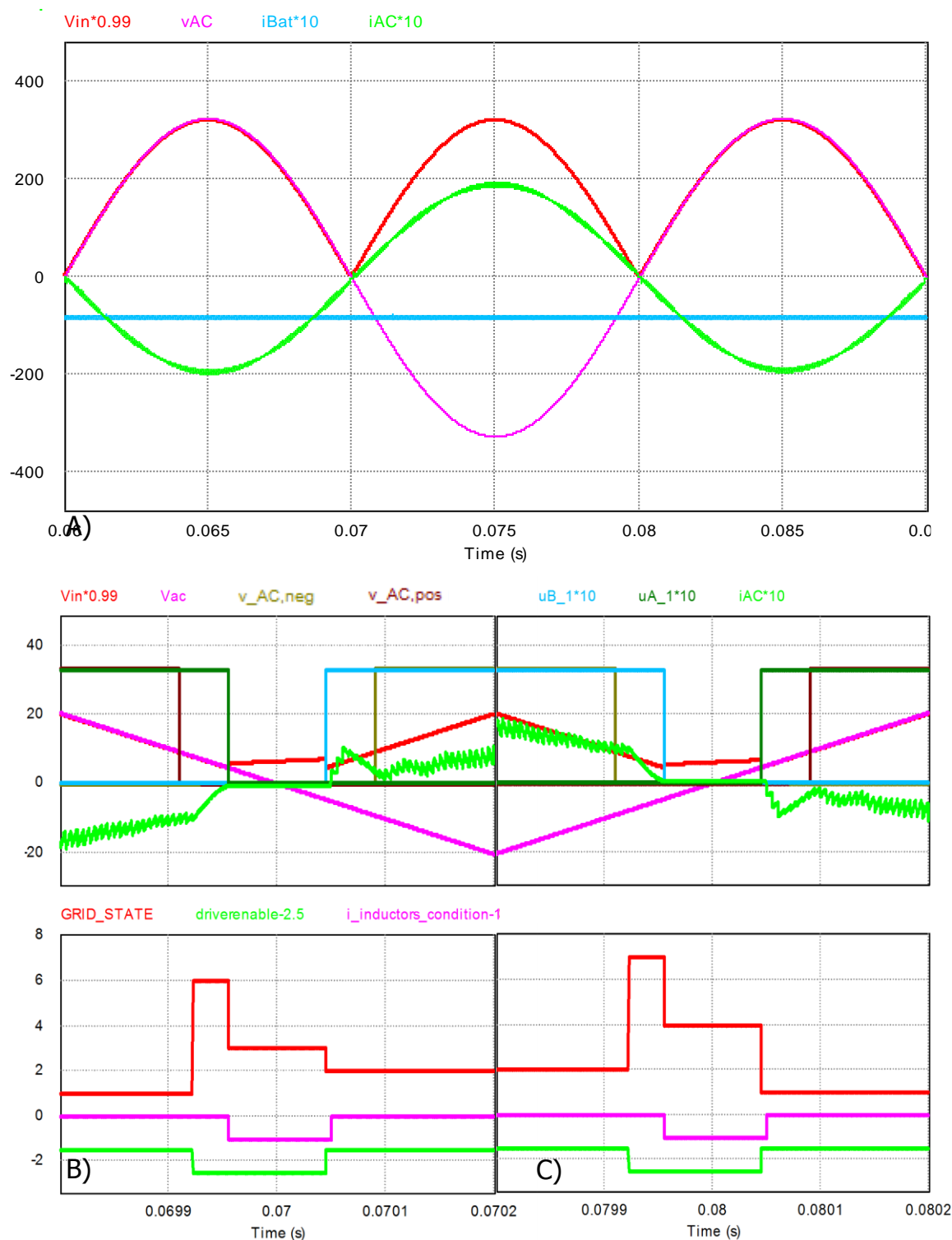


Figura 4.22. Simulacions PSIM del carregador en mode B2G. A) Vista general. B) Zoom-in creuant per 0 de semicicle positiu a negatiu. C) Zoom-in creuant per 0 de semicicle negatiu a positiu.

Com es pot veure, a més de rectificar adequadament la tensió d'entrada, el corrent sinusoidal $i_{AC}(t)$ està desfasat 180° demostrant que la potència és absorbida per la xarxa des de la bateria i, per tant, el disseny proposat en aquest apartat és viable.

A la Figura 4.22 B i C, veiem que els corrents són quasi bé zero a les commutacions d' $u_A(t)$ i $u_B(t)$ fent que la tensió $v_{in}(t)$ no pugui en excés. Per tant, quan finalitza el temps mort, el control no té valors erronis per a produir el pic de corrent quan veiem anteriorment. En aquest cas el pic només arriba a 1 A aproximadament. A més a més, podem veure la gestió dels estats representat per la variable GRID_STATE realitza les accions de control sobre els senyals de sortida $u_A(t)$, $u_B(t)$ i $en_{drivers}$ explicades anteriorment en funció de $v_{AC,pos}$, $v_{AC,neg}$ i $i_{L,condició}$.

A la Figura 4.23, es mostra la captura de la pantalla de l'oscil·loscopi de la planta prototip funcionant en mode G2B. Es demostra la correcta gestió del pont rectificador amb els senyals $u_A(t)$ i $u_B(t)$ ja que les commutacions per a establir el temps mort es realitzen quan el corrent $i_{L1}(t)$ és aproximadament igual a zero.

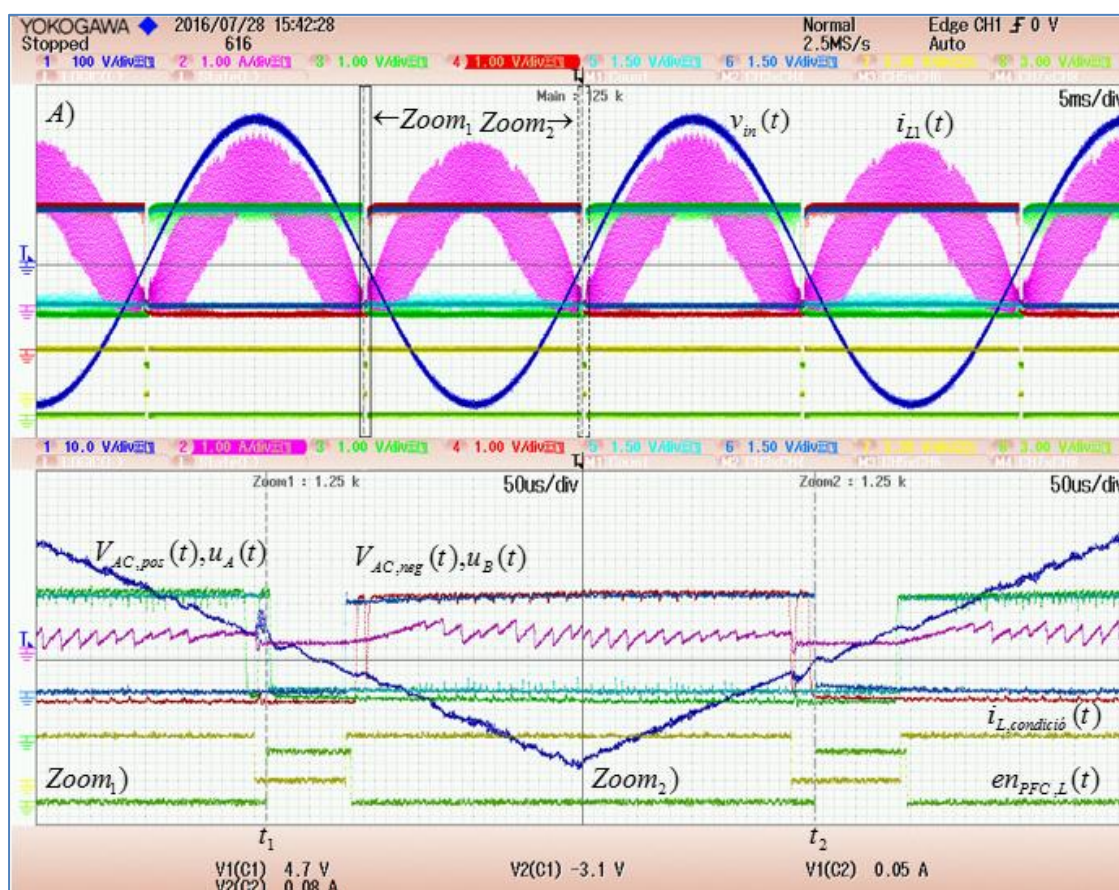


Figura 4.23. Gestió del pont de MOSFETs. A) 5 ms/div. CH1: $v_{AC}(t)$ (100 V/div). CH2: $i_{L1}(t)$ (1 A/div). CH3: $V_{AC,pos}(t)$ (1 V/div). CH4: $V_{AC,neg}(t)$ (1 V/div). CH5: $u_A(t)$ (1,5 V/div). CH6: $u_B(t)$ (1,5 V/div). CH7: $i_{L,condició}(t)$ (3 V/div). CH8: $en_{PFC,L}(t)$ (3 V/div). $Zoom_1$) 50 μ s/div i $Zoom_2$) 50 μ s/div. CH1: $v_{AC}(t)$ (10 V/div).

Finalment, tot i haver demostrat la bidireccionalitat de les etapes de convertidors i que estem gestionant el pont rectificador com havíem dissenyat, no hem pogut injectar energia cap a la xarxa. Per aquesta raó la captura anterior s'ha realitzat quan el sistema treballa en mode G2B, ja que els díodes en paral·lel permeten no fer malbé el sistema, i no en B2G que es precisament quan volem gestionar el pont de MOSFETs. Actualment el projecte encara es troba en fase de desenvolupament i estem treballant per a finalment aconseguir la bidireccionalitat total del carregador i la injecció adequada d'energia a la xarxa.

La causa més probable és una sincronització errònia entre l'etapa PFC i el pont. El corrent tot i tenir un valor petit encara no ha deixat de fluir totalment per l'inductor quan s'obren els MOSFETs del pont. Per tant és possible que tinguem el mateix problema que el descrit a la Figura 4.18 i 4.19. Això és així perquè l'avis de que el corrent s'apropa a zero es genera quan el valor és menor a un valor de referència molt petit. No es genera exactament quan el corrent és zero ja que al tractar-se d'un valor recuperat a partir del convertidor analògic a digital, els valors que pot adquirir són discrets. S'ha intentat buscar solució a aquest problema, posant en paral·lel al pont una capacitat de 10 nF per augmentar la capacitat paràsita dels MOSFETs del pont rectificador síncron. Com es dedueix de l'expressió següent

$$v_c(t) = \frac{Q(t)}{C} \quad (28)$$

un augment de la capacitat provocaria que per la mateixa quantitat de càrrega introduïda per l'inductor, la tensió $v_{in}(t)$ no augmentaria tant. D'aquesta manera els problemes explicat a la Figura 4.18 i 4.19 es veurien mitigats. De moment, aquesta solució no ha donat resultats favorables tot i donar resultats coherents a la simulació.

Una altra possible font d'error és la possibilitat de que la impedància als borns d'entrada al sistema introdueixi un desfasament entre tensió i corrent. Per tant, el creuament per zero del corrent no es realitzaria a la mateixa vegada que el creuament per zero de la tensió. Això comportaria que el sistema es podria estar esperant indefinidament a la condició de l'inductor i no commutar les rames del pont realitzant un curtcircuit al pont síncron. No obstant, aquesta font d'error és menys probable ja que precisament la funció de l'etapa PFC és realitzar la correcció del factor de potència, per tant, idealment no existeix desfasament entre tensió i corrent.

4.4 Xarxa Compensadora

A la Figura 4.24 A tenim modelat el carregador treballant en mode B2G com una resistència ja que la correcció del factor de potència fa que als borns d'entrada el carregador es vegi com un resistor pur. El valor negatiu de la resistència representa que la potència no es dissipa al resistor sinó que l'energia s'envia cap a la xarxa. S'ha tingut en compte la impedància inductiva de la xarxa i s'ha modelat amb el valor típic en sèrie $L_{AC}=800 \mu\text{H}$ [9]. El condensador C_{in} és el condensador d'abans del pont rectificador síncron de 680 nF .

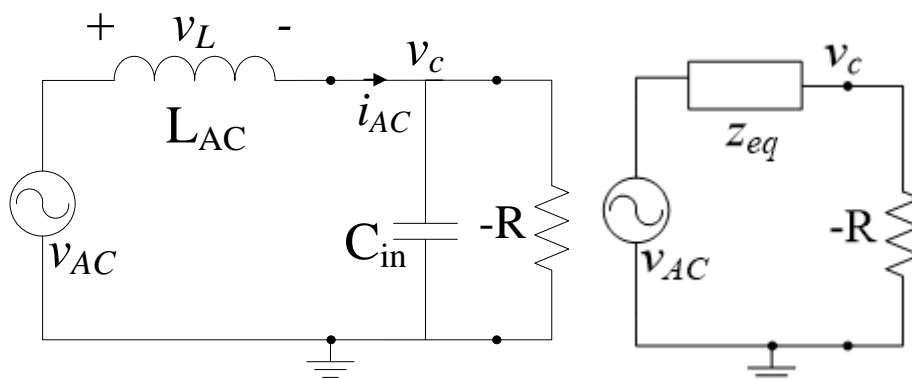


Figura 4.24. A) Circuit model del carregador. B) Circuit equivalent Thevenin.

Si realitzem l'equivalent Thevenin, obtenim el circuit equivalent de la Figura 4.24 B, obtenim la següent funció de transferència:

$$\frac{V_C(s)}{V_{in}(s)} = \frac{R}{Z_{eq}(s) - R} \quad (29)$$

De l'expressió anterior es pot extreure que si $Z_{eq}(s) = R$, el denominador s'anul·la i obtenim un guany infinit. Per tant voldrem evitar la igualtat anterior per a no tenir tensions en borns del condensador massa elevats que podrien fer mal bé els components. A la Figura 4.25 es pot veure el diagrama de Bode de la impedància equivalent de sortida del sistema ($sL || 1/(sC)$) i es pot veure com a la freqüència de ressonància el sistema pot sobrepassar la condició d'estabilitat anteriorment comentada.

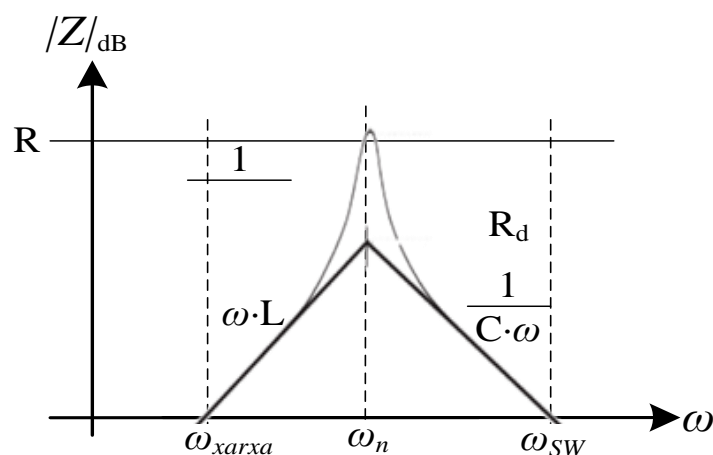


Figura 4.25. Diagrama de Bode de la impedància de sortida equivalent del model

Una possible solució per a no sobrepassar la condició d'inestabilitat anterior és la plantejada a la Figura 4.26 on s'utilitza la xarxa de d'atenuació en paral·lel.

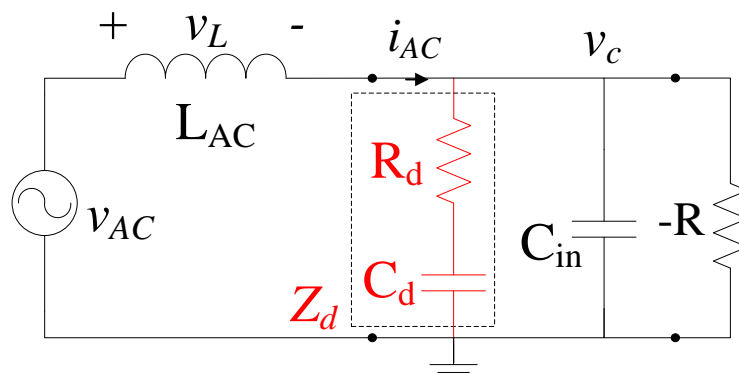


Figura 4.26. Esquemàtic del model del carregador amb circuit RC compensador.

A la xarxa compensadora anterior, el condensador C_d bloca la component DC i s'escolliria de tal manera que la impedància a la freqüència de ressonància és suficientment més petita que R_d fent que circuli corrent a aquesta freqüència i la resposta s'esmoreixi. Al quedar la impedància acotada no supera la condició d'estabilitat ($Z_{eq}(s) = R$). A la Figura 4.27 es representa aproximadament com resulta la impedància de sortida després d'esser amortitzada.

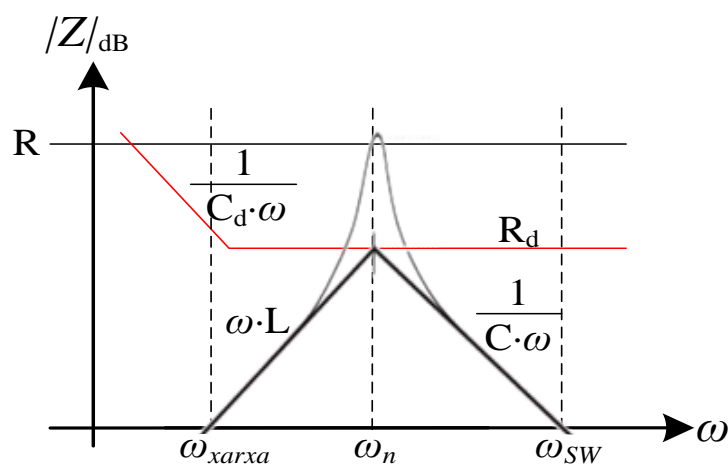


Figura 4.27. Representació gràfica aproximada de l'esmortiment de la resposta del sistema.

No obstant, mentre que la freqüència d'oscil·lació original del sistema succeeix a

$$f_n = \frac{1}{2 \cdot \pi \cdot \sqrt{L_{AC} C_{in}}} \approx 20 \text{ kHz} \quad (30)$$

el punt de treball induït per la freqüència de commutació (60 kHz) i la freqüència de la xarxa elèctrica (50 Hz) es troba prou lluny com per a superar la condició d'estabilitat. Per aquesta raó hem decidit no utilitzar cap xarxa compensadora.

4.5 Reestructuració de la seqüència d'execució de l'algoritme de control

Un dels majors problemes amb el que hem hagut de tractar al llarg del projecte per implementar les propostes que habiliten el funcionament diferencial és la manca de poder de computació del controlador digital de senyals. Tot i que clarament la solució immediata és escollir un controlador més potent capaç de realitzar més operacions en el mateix temps, s'ha decidit seguir amb el mateix i optimitzar el codi per a poder realitzar les mateixes operacions que realitzava l'algoritme inicial. En aquest apartat es presenta la seqüència d'execució inicial i es compara amb l'actual per a entendre perquè ha estat necessària la reestructuració en l'ordre d'execució del codi.

4.5.1 Algoritme de control del carregador de bateries bidireccional

El diagrama de blocs actual de l'algoritme implementat al controlador digital es el de la Figura 4.28. Es interessant comparar-ho amb l'inicial presentat a la Figura 3.19. Com a diferències principals podem veure per un costat com s'han afegit els senyals $v_{AC,pos}(t)$ i $v_{AC,neg}(t)$ que s'introdueixen a través dels ports GPIO a la DSC. A demés, per altra costat, es pot apreciar com segons la direcció del flux d'energia expressat mitjançant la variable P_{dir} es pot escollir calcular la referència de corrent de la bateria mitjançant el llaç de control o utilitzar un valor prefixat per la variable $i_{Bat.ref,B2G}$. Finalment, la última diferència és la capacitat de gestionar el pont de MOSFETs i la capacitat d'habilitar o deshabilitar els drivers de les etapes de convertidors PFC i BCM a través dels ports GPIOs mitjançant les variables $u_A(t)$ i $u_B(t)$ i les variables $en_{PFC}(t)$ i $en_{BCM}(t)$ respectivament.

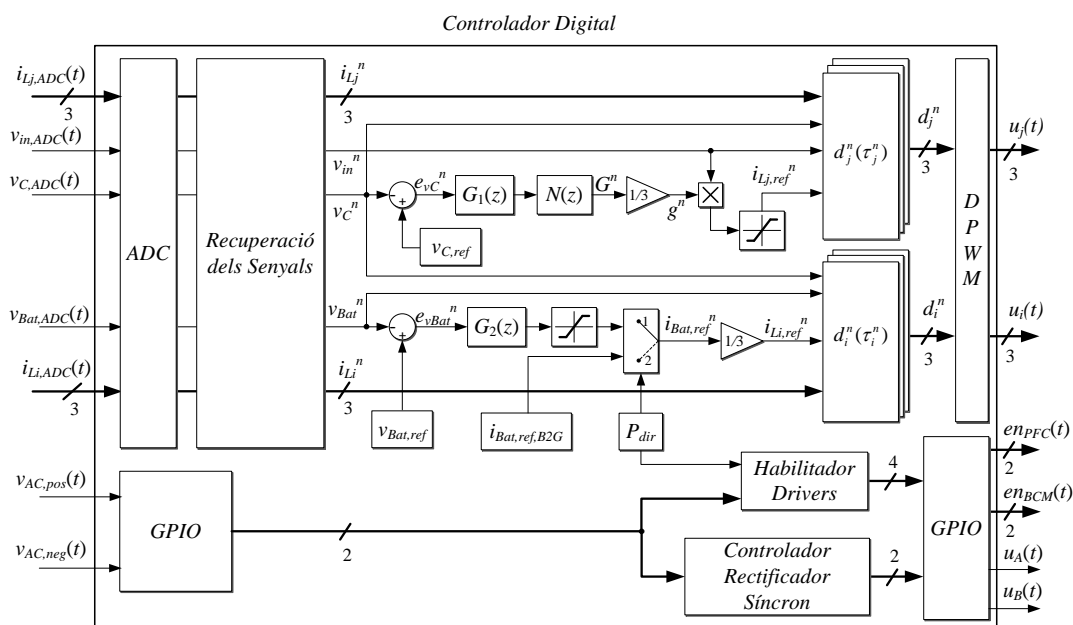


Figura 4.28. Diagrama de blocs de l'algoritme del controlador digital de senyals per al funcionament bidireccional del convertidor. Basat en [4].

4.5.2 Seqüència d'execució anterior

A continuació es detalla la seqüència de control [4] que seguia el codi programa per a realitzar l'algorisme de control abans de les contribucions descrites en aquest document i el temps d'execució de cada operació (funció $c(t)$ a la Figura 4.28).

$[t_a^n, t_b^n]$:

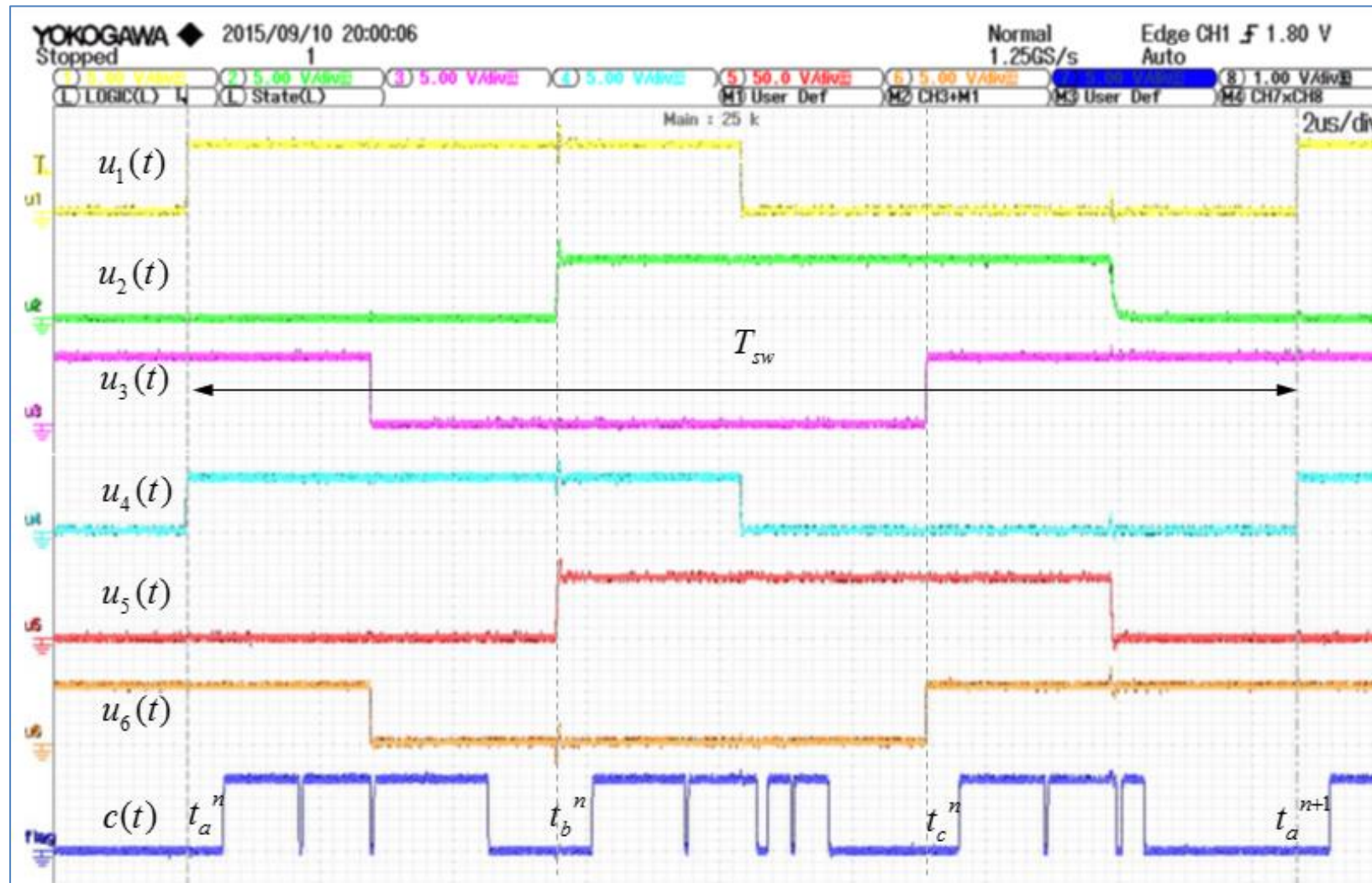
1. Es mostregen seqüencialment els senyals $i_{L1,ADC}(t)$, $i_{L6,ADC}(t)$ i $v_{C,ADC}(t)$.
2. Es reconstrueix i_{L1}^n , es calcula $d_1^n(\tau_1^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_1(t)$.
3. Es reconstrueix i_{L6}^n , es calcula $d_6^n(\tau_6^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_6(t)$.
4. Es reconstrueix v_C^n , i es calcula la divisió $1/v_C^n$ per als controladors de corrents.
5. Esperar fins t_b^n .

$[t_b^n, t_c^n]$:

6. Es mostregen seqüencialment els senyals $i_{L2,ADC}(t)$, $i_{L4,ADC}(t)$ i $v_{in,ADC}(t)$.
7. Es reconstrueix i_{L2}^n i v_{in}^n , es calcula la referència $i_{Lj,ref}^n = g^n \cdot v_{in}^n$ i es calcula $d_2^n(\tau_2^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_2(t)$.
8. Es reconstrueix i_{L4}^n , es calcula $d_4^n(\tau_4^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_4(t)$.
9. Si es tracta de la sisena vegada que es realitza l'algorisme, s'executa:
 - a. El controlador de tensió del condensador de DC-link $G_1(z)$.
 - b. El filtre Notch $N(z)$.
10. Esperar fins t_c^n .

$[t_c^n, t_a^{n+1}]$:

11. Es mostregen seqüencialment els senyals $i_{L3,ADC}(t)$, $i_{L5,ADC}(t)$ i $v_{Bat,ADC}(t)$.
12. Es reconstrueix i_{L3}^n , es calcula $d_3^n(\tau_3^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_3(t)$.
13. Es reconstrueix i_{L5}^n i v_{Bat}^n , es calcula $d_5^n(\tau_5^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_6(t)$.
14. Si es tracta de la sisena vegada que es realitza l'algorisme, s'executa el controlador $G_2(z)$ per a recalcular $i_{Li,ref}^n$.
15. Esperar fins t_a^{n+1} .



1	2	3	4	5	6	7	8	9 a,b	10	11	12	13	14	15
---	---	---	---	---	---	---	---	-------	----	----	----	----	----	----

Figura 4.29. Seqüència i temps d'execució de l'algoritme anterior en mode xarxa elèctrica-bateria [4].

4.5.3 Seqüència d'execució actual

A continuació es detalla la seqüència actual d'execució en mode G2B i en mode B2G (Figura 4.31). Posteriorment explicarem el perquè dels canvis duts a terme.

$[t_a^n, t_b^n]$:

1. Es mostregen seqüencialment els senyals $i_{L1,ADC}(t)$, $i_{L6,ADC}(t)$ i $v_{C,ADC}(t)$.
2. Es reconstrueix i_{L1}^n , es calcula $d_1^n(\tau_1^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_1(t)$.
3. Es reconstrueix i_{L6}^n , es calcula $d_6^n(\tau_6^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_6(t)$.
4. Es calcula la referència $i_{Lj,ref}^n = g^n \cdot v_{in}^n$.
5. Es reconstrueix v_C^n , i es calcula la divisió $1/v_C^n$ per als controladors de corrents.
6. Si B2G, comprovar si $i_{Lj}^n = 0$, i esperar fins t_b^n .

$[t_b^n, t_c^n]$:

7. Es mostregen seqüencialment els senyals $i_{L2,ADC}(t)$, $i_{L4,ADC}(t)$ i $v_{in,ADC}(t)$.
8. Es reconstrueix i_{L2}^n i v_{in}^n , i es calcula $d_2^n(\tau_2^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_2(t)$.
9. Es reconstrueix i_{L4}^n , es calcula $d_4^n(\tau_4^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_4(t)$.
10. Si B2G, comprovar si $i_{Lj}^n = 0$ i gestió de l'estat de la xarxa i dels senyals del pont síncron $u_A(t)$ i $u_B(t)$.
11. En funció del número de cicle d'execució, s'executa:
 - 4a execució: El filtre Notch $N(z)$.
 - 5a execució: El controlador de tensió del condensador de DC-link $G_1(z)$.
 - 6a execució: El controlador de la bateria $G_2(z)$ per a recalculer $i_{Li,ref}^n$.
12. Esperar fins t_c^n .

$[t_c^n, t_a^{n+1}]$:

13. Es mostregen seqüencialment els senyals $i_{L3,ADC}(t)$, $i_{L5,ADC}(t)$ i $v_{Bat,ADC}(t)$.
14. Es reconstrueix i_{L3}^n , es calcula $d_3^n(\tau_3^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_3(t)$.
15. Es reconstrueix i_{L5}^n i v_{Bat}^n , es calcula $d_5^n(\tau_5^n)$ a partir del control de corrent i es carrega al mòdul DPWM per generar $u_5(t)$.

16. Comprovacions de la interfície d'usuari, accions de precàrrega i proteccions del sistema.
17. Si B2G, comprovar si $i_{Lj}^n = 0$ i gestió de l'estat de la xarxa i dels senyals del pont síncron $u_A(t)$ i $u_B(t)$.
18. Esperar fins t_a^{n+1} .

El fet d'haver d'afegir la gestió del pont rectificador, l'execució de la qual dura aproximament $1,2 \mu s$ cada vegada que s'executa al llarg del codi, ha forçat la modificació de la seqüència d'execució de l'algorisme de control. En concret realitzem la gestió del pont dues vegades al codi, una a l'interval $[t_b^n, t_c^n]$ i l'altre al $[t_c^n, t_a^{n+1}]$, ja que una sola execució provoca que el codi no sigui suficientment ràpid al apropar-nos al creuament per zero.

Per a tenir temps d'execució lliure, doncs, hem hagut de reestructurar el codi aprofitant que els llaços lents de control de la tensió del condensador de DC-link $G_1(z)$, el controlador de la bateria $G_2(z)$ i el filtre Notch $N(z)$ s'executen a 10 kHz, és a dir, una de cada sis vegades que s'executa tot el codi de programa. Per tant, hem decidit realitzar cada part en un cicle diferent tal i com es mostra a la Figura 4.30. Periòdicament, al quart cicle s'executa el filtre Notch $N(z)$, al cinquè, la tensió del condensador de DC-link $G_1(z)$ i al sisè, el controlador de la bateria $G_2(z)$. D'aquesta manera, podem realitzar totes les operacions sense necessitar més temps de còmput.

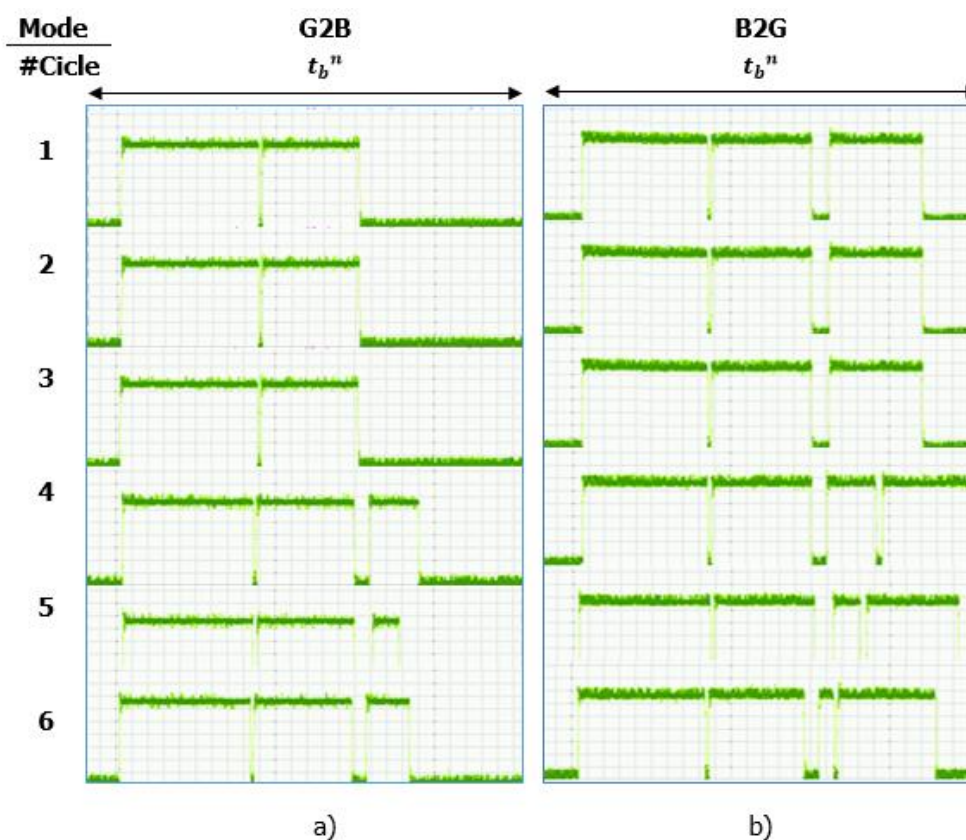
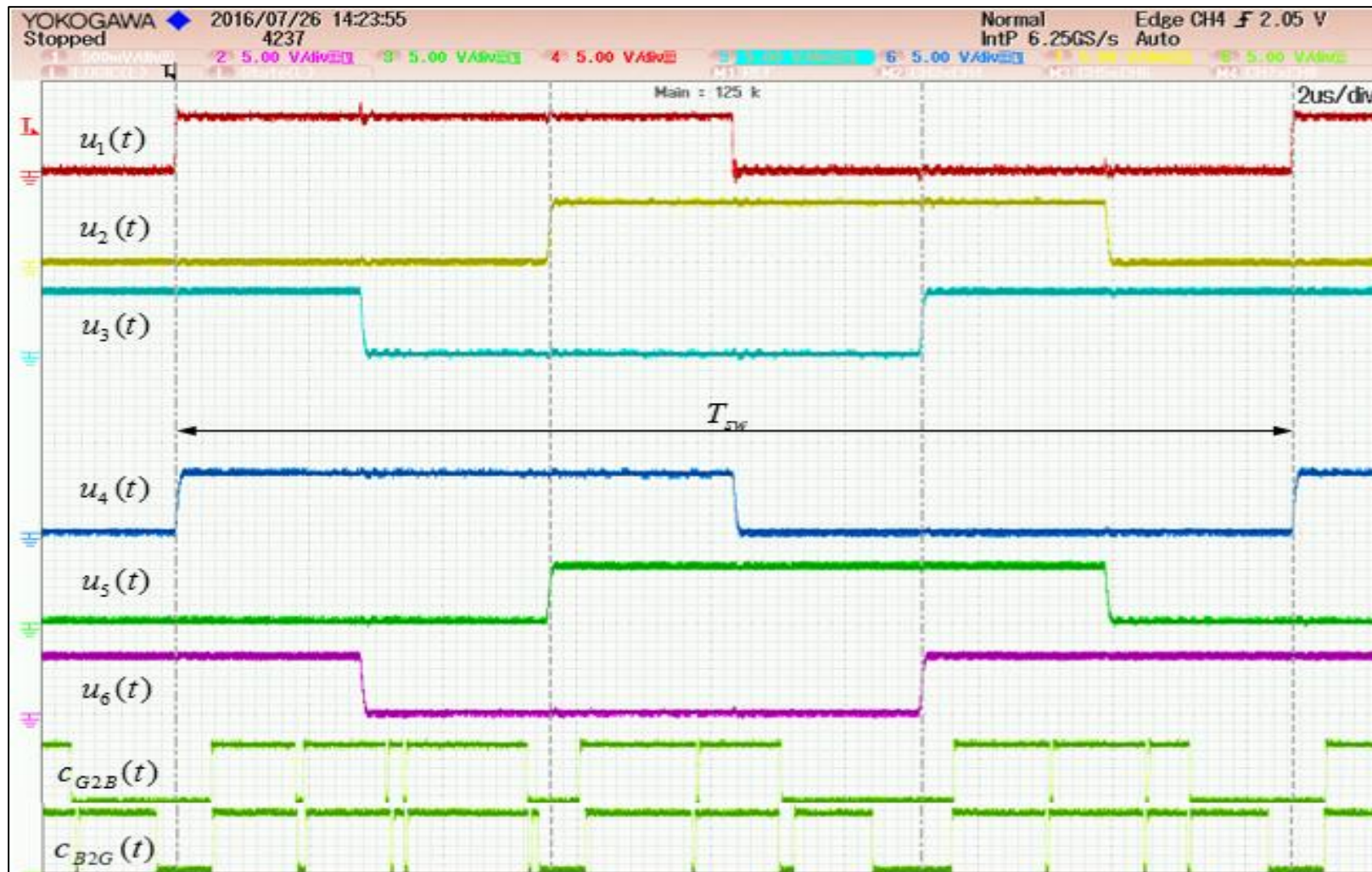


Figura 4.30. Sis repeticions consecutives de l'algorisme a l'interval $[t_a^n, t_b^n]$ per a realitzar totes les parts del control. a) Mode xarxa a vehicle. b) Mode vehicle a xarxa.



1	2	3	4	5	6	7	8	9	10	11 12	13	14	15	16	17	18
---	---	---	---	---	---	---	---	---	----	----------	----	----	----	----	----	----

Figura 4.31. Seqüència i temps d'execució de l'algoritme actual en mode G2B i B2G.

4.6 Propostes de millora

En aquest subapartat explicarem les diferents propostes plantejades per a millorar el funcionament general del sistema i presentarem els resultats obtinguts després de la seva implementació.

4.6.1 Precàrrega

Un dels principals problemes que teníem durant l'arrencada del sistema era que sovint els sobrepics produïts durant el transitori d'arrencada eren massa elevats per a les característiques dels components que formen la circuiteria i per tant alguns components, sobretot els díodes i transistors de les etapes de convertidors PFC i BCM, es cremaven o es feien malbé. La fallada d'aquests elements normalment es propagava per l'etapa de control empitjorant la situació.

Inicialment, existien proteccions per a protegir la tensió del condensador de DC-link i la tensió de la bateria. No obstant aquestes proteccions estaven implementades per software i, per tant, el sensat amb l'ADC i l'algoritme de la DSP feien que el sistema fos massa lent a vegades per a reaccionar adequadament als transitoris. Tot i que la solució immediata és gestionar les proteccions per hardware, es va decidir gestionar de forma òptima la precàrrega de les etapes PFC i BCM. Per precàrrega s'entén la sèrie de passos que es segueixen des de que la planta es troba en repòs fins que s'assoleixen condicions nominals. Al llarg d'aquest subapartat es presenten els mètodes de precàrrega de les etapes PFC i BCM implementades en els dos modes de funcionament del carregador. Per a obtenir els resultats, s'ha utilitzat la mateixa configuració descrita al subapartat 4.2.

S'han definit tant per a la precàrrega en G2B com per a la de B2G dues variables anomenades *pf_start* i *bcm_start*. Aquestes variables comprendran els valors lògics verdader o fals. I donaran informació sobre si l'etapa PFC o BCM respectivament s'ha inicialitzat.

Mode GTB

Per al mode de funcionament del carregador de xarxa a bateria s'han descrit les tres fases de precàrrega que es recullen a la Taula 4.

Taula 4. Descripció de les fases de precàrrega.

	<i>pf_start</i>	<i>bcm_start</i>	Descripció
1a Fase	0	0	Etapas no funcionant. Estat d'espera.
2a Fase	1	0	Inici etapa PFC.
3a Fase	1	1	Etapa PFC funcionant. Inici etapa BCM.

La primera fase de precàrrega s'inicia quan la càrrega electrònica i les fonts d'entrada i sortida s'han encès i s'ha activat l'interruptor d'encesa del sistema. Si ens fixem en el circuit de potència entendrem que en aquest moment, el condensador de DC-link es troba carregat a 380 V deguda la tensió de la bateria. Aquesta etapa s'ha anomenat etapa d'espera perquè precisament espera a que les variables de control tinguin un valor coherent abans de generar els senyals de sortida ePWM. D'una altra manera, si els convertidors comencessin a commutar des de bon principi és possible que es donessin consignes errònies que portessin el convertidor a un estat transitori de treball no desitjat. Aquesta etapa es troba representada a la Figura 4.32 quan $t < t_1$.

Posteriorment, quan les variables ja s'han calculat correctament, el sistema entra en la segona fase de precàrrega. En aquest estat, s'inicien només els senyals de sortida ePWM de l'etapa PFC fent que els seus convertidors comencin a funcionar. L'etapa BCM en canvi es manté en repòs. En aquesta fase, representada a la Figura 4.32 a l'interval $[t_1, t_2]$, l'etapa PFC que treballa com a topologia elevadora Boost comença a elevar la tensió $v_C(t)$ ja que no té cap càrrega connectada a la sortida. Per a evitar que la tensió pugui de forma massa abrupta, el corrent de referència de l'etapa PFC d'entrada al llaç de corrent s'ha limitat a 0,5 A.

Quan el voltatge $v_C(t)$ que inicialment es troba carregat a 380 V i va augmentant constantment assoleix la tensió nominal de 400 V, la precàrrega entra a la seva tercera fase. En aquest darrera fase, l'etapa BCM comença a treballar i després d'un transitori de càrrega permet assolir les condicions nominals al carregador.

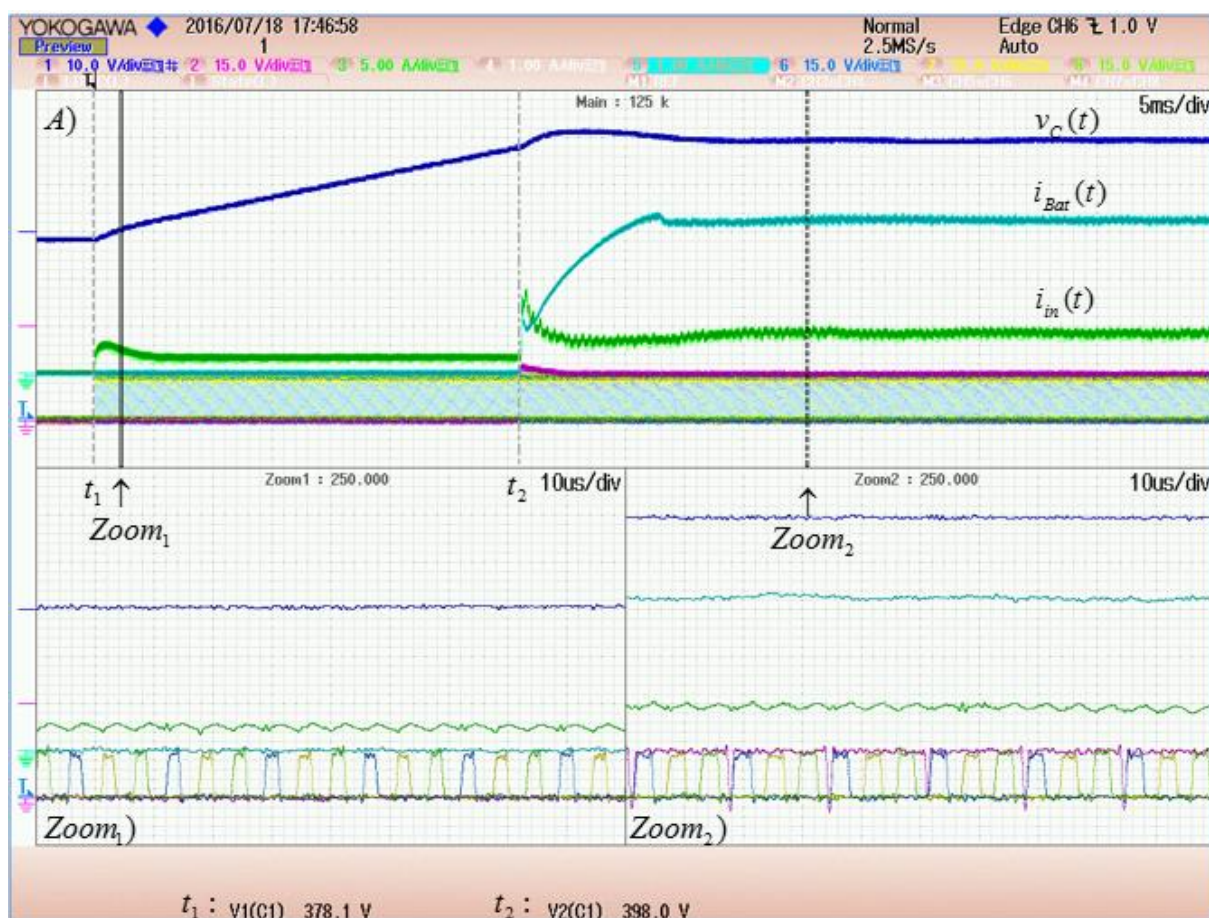


Figura 4.32. Precàrrega en mode G2B. A) 5 ms/div. $Zoom_1$) 10 μ s/div. $Zoom_2$) 10 μ s/div. CH1: $v_C(t)$ (10 V/div, 380 V_{offset}). CH2: $u_4(t)$ (15 V/div). CH3: $i_{in}(t)$ (5 A/div). CH5: $i_{Bat}(t)$ (1 A/div). CH6: $u_4(t)$ (15 V/div). CH7: $u_5(t)$ (15 V/div). CH8: $u_6(t)$ (15 V/div).

Mode BTG

Anàlogament al que hem fet en mode G2B, a la Taula 5 podem veure recollides les diferents etapes de precàrrega per a la posada en marxa de sistema quan el model de funcionament és de xarxa a bateria.

Taula 5. Descripció de les fases de precàrrega.

	pfc_start	bcm_start	Descripció
1a Fase	0	0	Etapes no funcionant. Estat d'espera.
2a Fase	0	1	Inici etapa BCM.
3a Fase	1	1	Etapa BCM funcionant. Inici etapa PFC.

La primera fase, interval $[t_0, t_1]$ a la Figura 4.33, torna a utilitzar-se per a donar temps al sistema per a obtenir valors coherents de les variables de sensat i les de control. Les diferències respecte a la precàrrega en mode G2B es troben a la fase 2 i 3. Com que el sentit de la potència i com a conseqüència el del corrent són contraris als del mode de funcionament anterior, en aquest mode s'ha d'iniciar primer l'etapa BCM a la fase 2 i no la PFC quan els paràmetres de control ja tenen senyals coherents. Posteriorment, al assolir la tensió nominal $v_C(t) = 400$ V, la precàrrega entra en la tercera fase iniciant l'etapa PFC i després d'un curt transitori, s'assoleix el règim permanent. En aquest cas, el corrent de referència de la bateria ja es troba limitada a la corrent que indica el supervisor i l'únic que hem decidit ha estat suprimir el sobrepic que es produeix al iniciar la fase 2. El mètode utilitzat ha estat deshabilitar el senyal $en_{B2G,BCM}(t)$ quan es supera un màxim configurable en funció del corrent a extreure de la bateria.

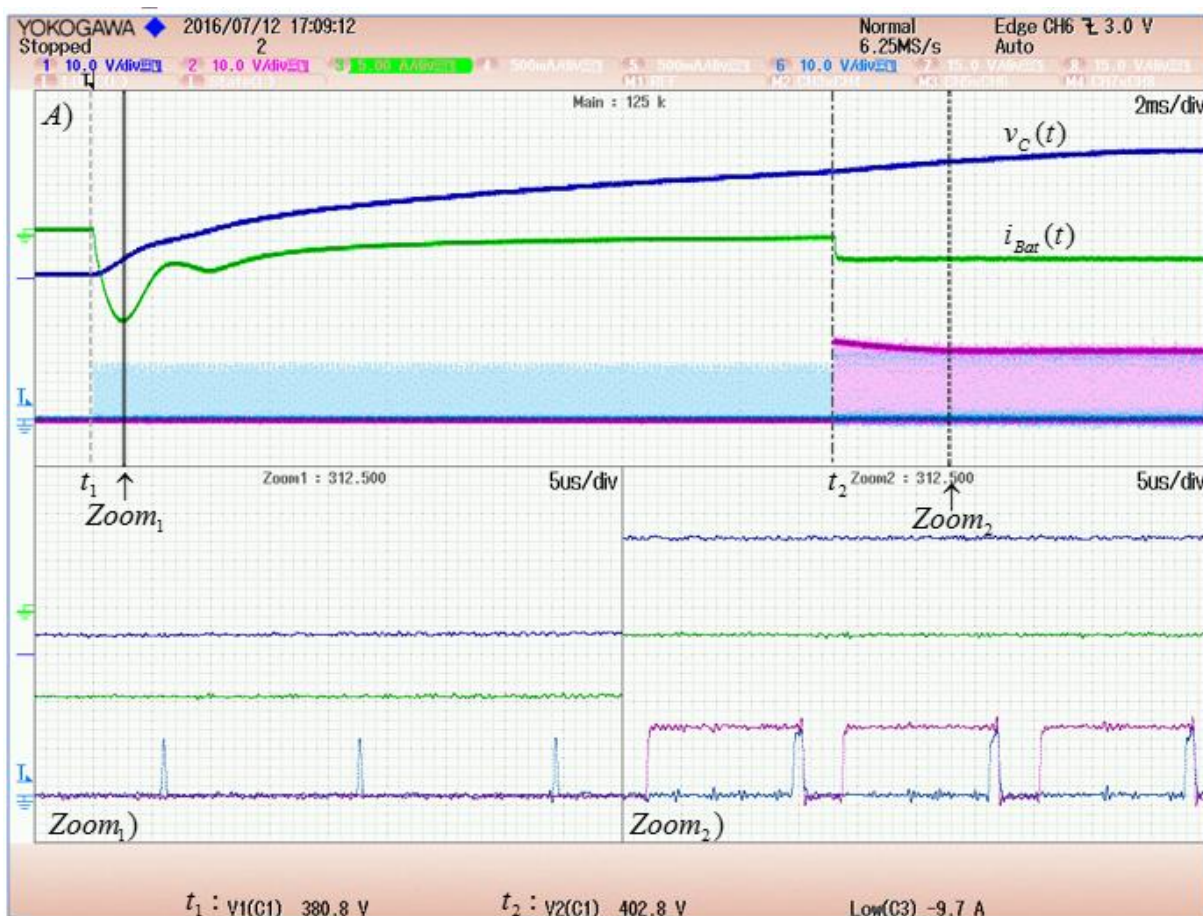


Figura 4.33. Precàrrega en mode G2B sense limitar sobrepic de corrent. A) 2 ms/div. $Zoom_1$) 5 μ s/div. $Zoom_2$) 5 μ s/div. CH1: $v_C(t)$ (10 V/div, 380 V_{offset}). CH2: $u_1(t)$ (10 V/div). CH3: $i_{Bat}(t)$ (5 A/div). CH6: $u_4(t)$ (10 V/div).

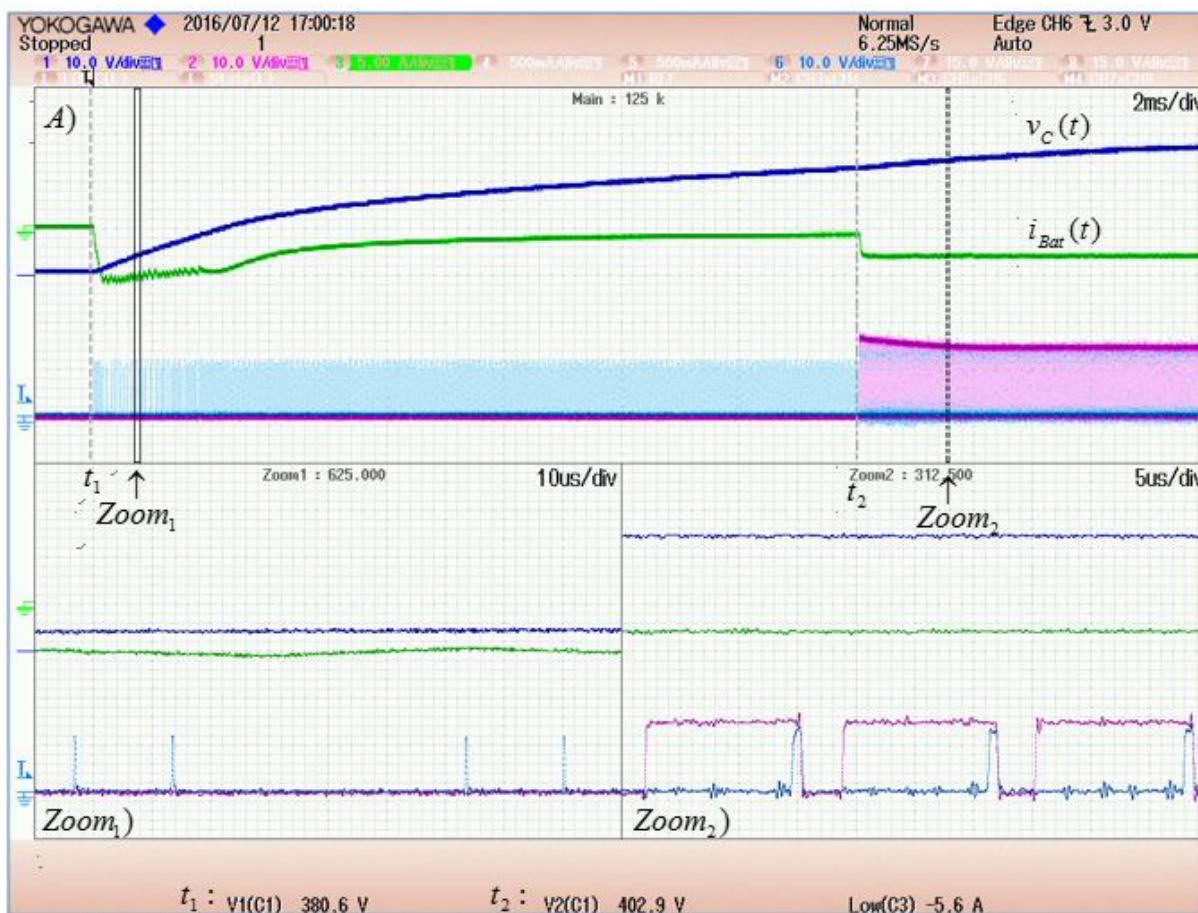


Figura 4.34. Precàrrega en mode G2B limitant sobrepic de corrent. A) 2 ms/div. $Zoom_1$) 5 µs/div. $Zoom_2$) 5 µs/div. CH1: $v_C(t)$ (10 V/div, 380 V_{offset}). CH2: $u_1(t)$ (10 V/div). CH3: $i_{Bat}(t)$ (5 A/div). CH6: $u_4(t)$ (10 V/div).

Comparant les imatges de la Figura 4.33 i de la Figura 4.34 es pot veure que el sobrepic del corrent de la bateria a la fase 2 ha estat correctament suprimit segons el mètode explicat anteriorment. Aquest sobrepic pot malmetre els components de l'etapa de potència si fos de prou durada i magnitud.

4.6.2 Modularització codi per tests.

Tenint en compte que el sistema està compost per diverses etapes, encendre tot el sistema complet quan només es vol provar una part de la planta resulta innecessari i perillós a la vegada. Si per alguna raó la prova no funciona de la forma esperada, és possible que resulti en una averia i el problema es propagui per les demés parts. Per aquesta raó, sovint es recomana aïllar aquella part de la resta de la planta, fer els tests que es desitgin i quan estem segurs de que està funcionant correctament unir-la a la resta.

Inicialment aquest procés d'aïllar una part es feia modificant el codi cada vegada per inhabilitar les demés parts, fer que la part a estudiar pogués funcionar sense les demés i finalment separant les diferents parts físicament si era possible. Això per un costat, era un procés llarg, no sistemàtic i propens a errors ja que, sovint, al intentar desfer tots els canvis per a utilitzar el conjunt complet una altra vegada, s'oblidaven línies de codi que impedièen el correcte funcionament del sistema, sovint resultant en averia.

Per a evitar aquesta situació, hem modularitzat el codi mitjançant l'ús de macros condicionals. Aquest tipus de macros permeten compilar unes línies de codi o unes altres depenent de si es compleixen o no les seves condicions. En el cas del fragment de Codi 2, on es mostra un exemple de macro condicional, si la *condició_1* és verdadera, es compilaran les línies de codi 1; si en canvi és falsa, però *condició_2* és verdadera, es compilaran les línies de codi 2. Finalment, si les dues condicions són falses, les línies de codi que es compilaran per a generar el fitxer binari de sortida seran les terceres.

Codi 2. Estructura macro condicional utilitzada per a modularitzar el codi per a tests.

```
#if(condició_1)
    //Línies de codi 1
#elif(condició_2)
    //Línies de codi 2
#else
    //Línies de codi 3
#endif
```

D'aquesta manera, podem controlar l'algorisme de control a seguir depenent de les condicions preestablertes per l'usuari abans de compilar el codi. És important adonar-se'n que aquesta tècnica és útil en fase experimental però no té sentit controlar l'algorisme d'aquesta manera si el carregador es tractés d'un producte final. En el nostre cas, però, al tractar-se d'un prototip i al trobar-nos encara ens fase de desenvolupament ens ha simplificat enormement la tasca de comprovar el correcte funcionament de les diferents parts del sistema.

Concretament, a partir del Codi 3 podem escollir entre fer funcionar el carregador en mode de test o no a través de la variable *TEST*. Si s'escull el mode de test, a més, podem escollir entre 9 diferents tipus de test:

- ***DRIVERS_CONVERTIDORS***: permet comprovar que els senyals ePWM es generen correctament segons el cicle de treball i el mode de funcionament que escollim.
- ***GPIOs***: Força nivell alt i nivell baix cíclicament a tots els GPIOs de sortida per a demostrar que tots funcionen correctament i arriben als punts del circuit desitjats.
- ***ETAPA_PFC/ETAPA_PFC***: permet fer treballar l'etapa PFC o la BCM en llaç obert amb un cicle de treball predeterminat o en llaç tancat.
- ***SENSORS_CORRENTS/ SENSORS_TENSIO***: establint un corrent o una tensió externa de control als sensors, permet comprovar que el valor recuperat sigui l'esperat.
- ***PONT_MOSFETS_SOL/PONT_MOSFETS_AMB_PFC/PONT_MOSFETS***: Permet la gestió del pont rectificador síncron de forma independent, amb l'etapa PFC o amb tot el carregador en mode G2B respectivament.

Codi 3. Constants que permeten modularitzar el codi per a testear de forma aïllada les diferents parts del sistema. Fragment del codi complet adjuntat a l'Annex C.

```

//Constants per tests
#define NO_TEST 0 // Funcionament nominal
//Drivers convertidors
#define DRIVERS_CONVERTIDORS 1 // Comprovar cicles de treball
    #define D_PFC_TEST 0.5
    #define D_BCM_TEST 0.5
//Final drivers convertidors
//GPIOs
#define GPIOs 2 // Repàs GPIOs per veure que funcionen
    #define SI 1
    #define NO 0
    #define TEST_INPUTS SI
    #define TEST_OUTPUTS SI
    #define TEST_SENYALS_ADC NO
//Final GPIOs
//Etapas PFC //d_Boost=1-(Vin/Vout)
#define ETAPA_PFC 3 //Boost en mode G2B, Buck en mode B2G
    #define CLOSED_LOOP_PFC SI //NO: llaç obert //SI: llaç tancat
    #define D_PFC_TEST2 0.2 //En mode B2G el duty cycle=1-
D_PFC_TEST2
    #define VC_REF_TEST 250.0//Si llaç tancat, tensió de referència
//Final etapa PFC
//Etapas BCM //d_Buck=Vout/Vin
#define ETAPA_BCM 4 //Buck en mode G2B, Boost en mode B2G
    #define CLOSED_LOOP_BCM SI //NO: llaç obert //SI: llaç tancat
    #define D_BCM_TEST2 0.90 //En mode B2G el duty cycle=-D_BCM_TEST2
    #define REF_POT SI //Si: ref potència NO: Per corrent
    #define PBAT_REF_TEST_BCM 250 //Referència pot entregar/extreure bat
    #define IBAT_REF_TEST_BCM 1.0 //Referència corrent per a
//entregar/extreure a la bat

//Final etapa BCM
//Sensors de corrent
#define SENSORS_CORRENTS 5 // Atenció no posar els dos en SI
    #define SENSORS_PFC NO // M_G2B i alimentació entrada PFC
    #define SENSORS_BCM SI // M_B2G i alimentació sortida BCM
#define MODE_TEST_SENS_CORRENT M_B2G // M_B2G o M_G2B : per provar que
//llegeix valors positius i negatius.

//Final sensors de corrent
//Pont MOSFETs
#define PONT_MOSFETS_SOL 6 // Només pont MOSFETs
#define PONT_MOSFETS_AMB_PFC 7 // Sense BCM.
#define PONT_MOSFETS 8 // Amb carregador prova en mode G2B.
//Final pont MOSFETs
//Sensor Tensió
#define SENSORS_TENSIO 9 // Comprovar lectura correcta sensors de tensió

//
#define TEST PONT_MOSFETS
//Final constants per tests

```


5 Fitxer de simulació en PSIM

En aquest apartat es descriuen les modificacions realitzades a l'arxiu de simulació PSIM (adjuntat a l'Annex B) necessàries per a comprovar la viabilitat de les propostes descrites anteriorment per permetre al carregador treballar bidireccionalment. El resultat és un fitxer capaç de simular el comportament bidireccional del nostre carregador a partir d'unes consignes introduïdes per l'usuari que indiquen al sistema el mode de funcionament i, en el cas de treballar en mode B2G, la càrrega a extreure de la bateria.

5.1 Supervisor

Com es pot veure a la Figura 5.1, s'ha introduït un fitxer de paràmetres per emular el comportament del supervisor. L'usuari, que en una implementació real seria un entitat de nivell d'abstracció superior, introdueix el mode de funcionament a través de la constant $Pdir$. A més quan el sistema treballa en mode B2G, la informació sobre el corrent a extreure de la bateria la conté la constant $i_L_Buck_ref_supervisor$. El fitxer de paràmetres és una eina molt útil en l'entorn PSIM. El programa substituirà el nom de la constant quan aparegui en alguna part del fitxer de simulació pel valor que li haguem associat.

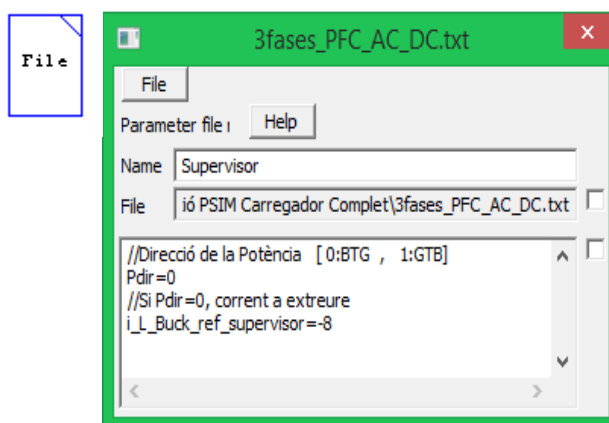


Figura 5.1. Fitxer que emula el comportament del supervisor a la simulació PSIM.

5.2 Referència de corrent etapa BCM

Com es pot veure a la Figura 5.2, s'ha utilitat un multiplexor per a escollir com es calcula la referència per al controlador de corrent de l'etapa BCM $iLBuck_ref_n$. En concret, si $Pdir$ (mode B2G) és igual a 0, la variable $iLBuck_ref_n$ equival a un terç del valor de la constant establerta pel supervisor $i_L_Buck_ref_supervisor$. Si en canvi $Pdir$ és igual a 1 (mode G2B), la variable $iLBuck_ref_n$ es calcula a través del control de càrrega de la bateria, explicat en profunditat a [4], per general el perfil CC-CV.

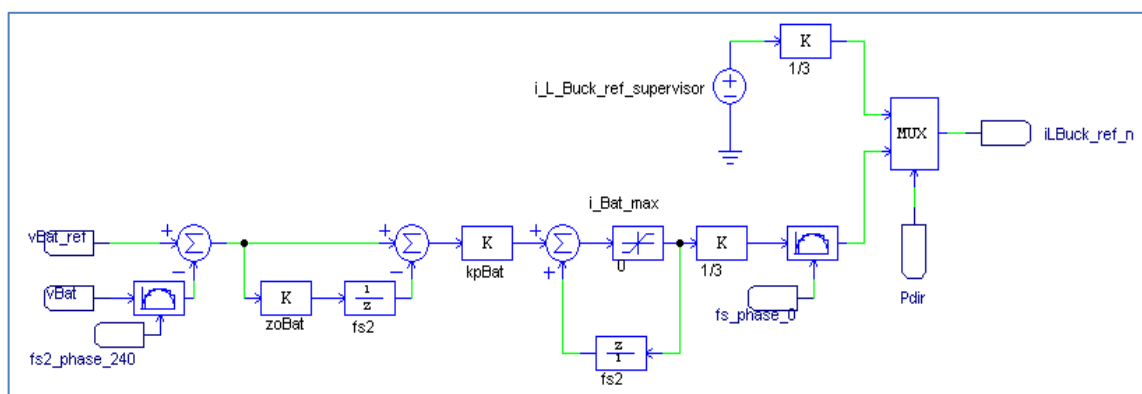


Figura 5.2. Diagrama de blocs PSIM per calcular la referència $iLBuck_ref_n$. Basat en [4].

5.3 Generació senyals PWM complementaris

Per a generar els senyals PWM complementaris, s'ha utilitzat bàsicament el mateix principi que en el subapartat anterior, però en aquest cas s'utilitzen dos multiplexors. Aprofitant que teníem el digrama de blocs necessari per a generar uH i uL quan el mode de treball és de xarxa elèctrica a bateria, amb la configuració següent el que aconseguim és enviar els senyals negats a les portes dels transistors contraris si el mode de treball marcat per la variable $Pdir$ indica el mode B2G.

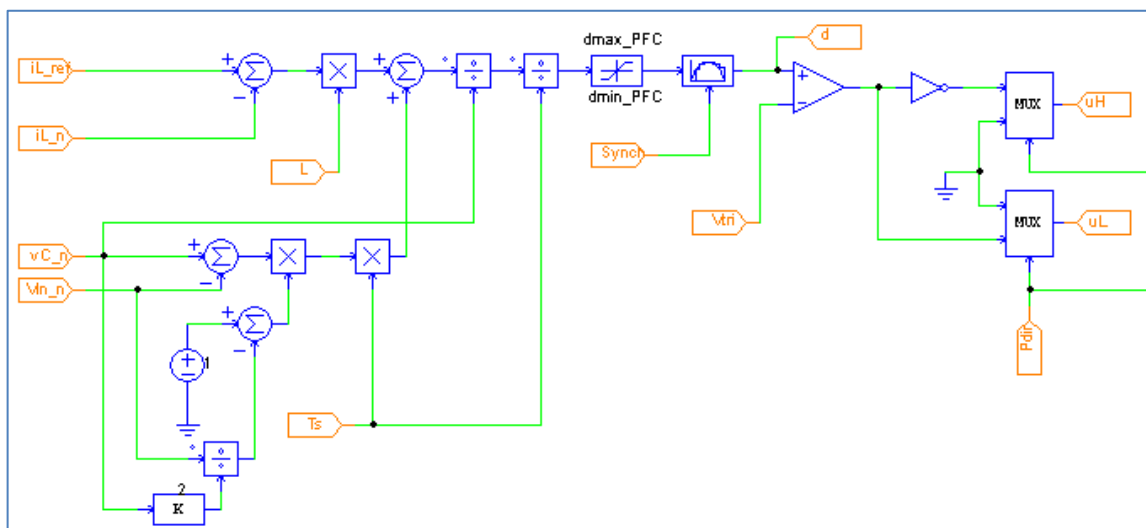


Figura 5.3. Diagrama de blocs en PSIM del controlador de l'etapa PFC. Basat en [4].

5.4 Gestió pont síncron

Per a la gestió del pont de MOSFETs s'ha utilitzat l'esquema de la Figura 5.4. Com es pot veure, un bloc inicial anomenat "Dif Sens", l'esquemàtic del qual es pot veure a l'Annex B, sense i adapta la tensió de la xarxa i genera els senyals d'avís de proximitat al creuament per 0 des del semicicle positiu i negatiu. Tots tres senyals són discretitzats mitjançant blocs Sample-and-hold i introduïts a un bloc en C que emula el controlador digital de senyals. A més dels senyals anteriors, al DSC també s'introdueixen els sensats de corrent dels inductors de l'etapa PFC discretitzats i tres senyals de rellotge a 60 kHz desfasats 120° entre ells.

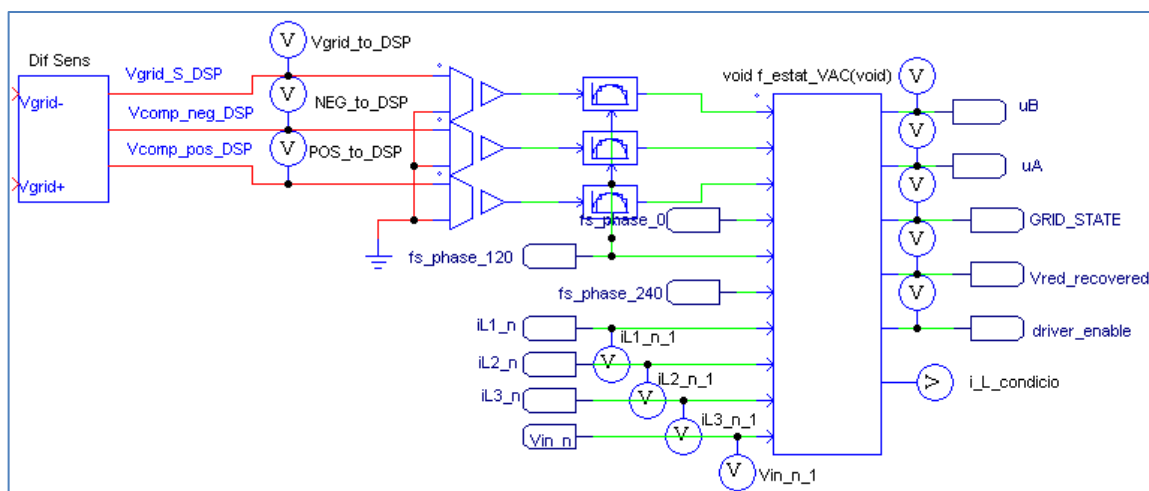


Figura 5.4. Gestió del pont rectificador síncron en funció de l'estat de la xarxa elèctrica i l'etapa PFC.

El bloc C anomenat "void f_estat_VAC(void)" permet simular el comportament de la funció amb el mateix nom implementada en llenguatge C al codi programa carregat al DSC que es pot trobar adjunt en aquest document a l'Annex C i que s'ha explicat en detall a l'apartat 4.3.3. D'aquesta manera, amb una lleus variacions respecte el codi original, amb aquest bloc podem validar el correcte funcionament del nostre codi sense necessitat d'utilitzar la planta real disminuint el risc durant el desenvolupament del prototip. A la Figura 5.5 podem veure la interfície PSIM per a escriure el codi a simular.

Els senyals rellevants de sortida generats són els senyals de dispar dels transistors del pont síncron "uA" i "uB" i l'habilitador dels drivers "driver_enable" per a la sincronització amb l'etapa PFC. Les variables "GRID_STATE" i "Vred_recovered" permeten extreure informació sobre l'estat de la xarxa elèctrica i el valor recuperat representatiu de la tensió sinusoidal d'entrada del sistema.

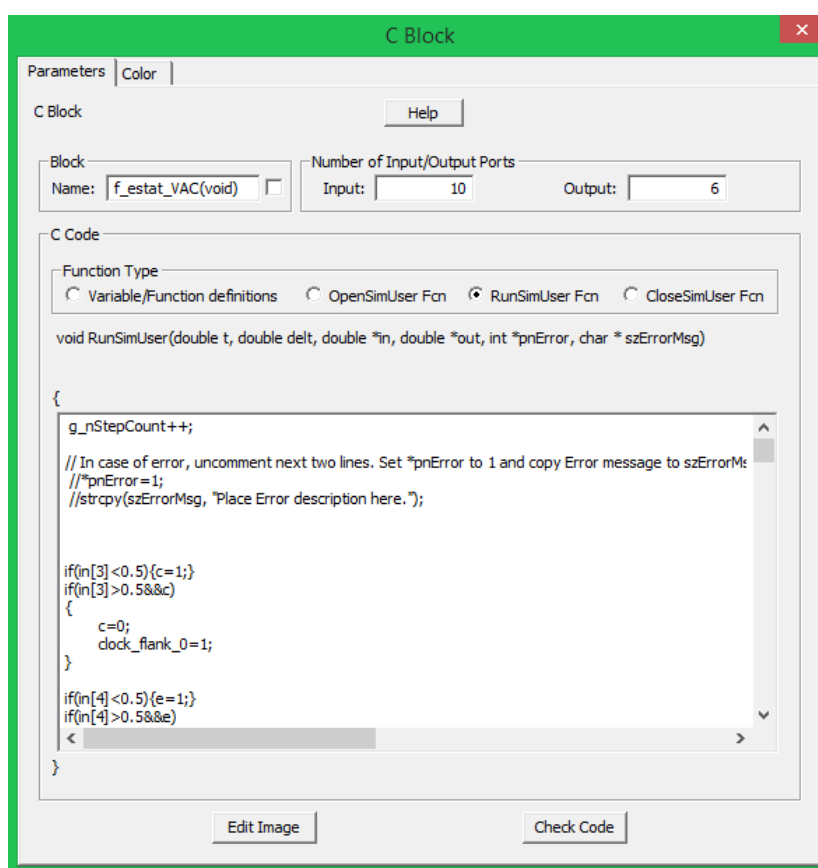


Figura 5.5. Bloc C del fitxer de simulació PSIM per a emular la gestió del pont rectificador síncron.

6 Planta experimental

En aquest apartat es descriuen les diferents parts reals que formen el carregador i la instrumentació utilitzada per a monitoritzar la planta i extreure la informació presentada en els darrers apartats.

6.1 Prototip del carregador

La implementació física del prototip experimental que s'ha utilitzat per a realitzar les diferents proves descrites als apartats anteriors és la que es pot veure a la Figura 6.1. Tot i haver d'entendre les diferents parts que formen el sistema, la meua participació al projecte s'ha realitzat essencialment al sensat diferencial, la gestió del pont rectificador i l'algorisme de control del controlador digital de senyals.

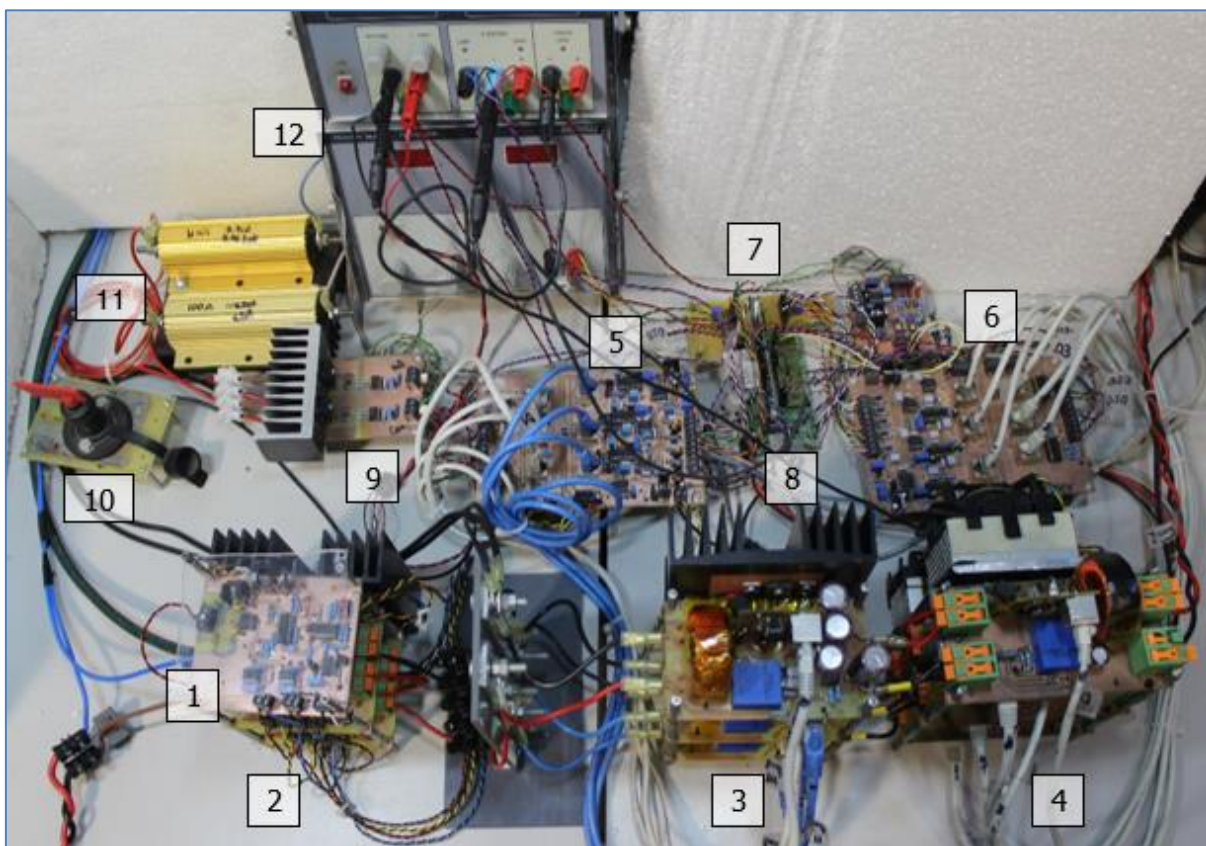


Figura 6.1. Planta del prototip experimental.

Com es pot veure, deixant de costat les fonts i càrregues d'entrada i sortida, la planta està formada per les 12 parts següents.

- 8** Sensat diferencial i gestió d'avísos creuant per zero.
- 9** Pont rectificador síncron.
- 10** Etapa de convertidors PFC.
- 11** Etapa de convertidors BCM.
- 12** Interfície d'adaptació senyals de l'etapa PFC.

- 13** Interfície d'adaptació senyals de l'etapa BCM.
- 14** Interfície d'usuari.
- 15** Controlador digital de senyals.
- 16** Circuit de proteccions contra sobretensions de $v_C(t)$ i $v_{Bat}(t)$.
- 17** Maneta de descarrega del DC-link.
- 18** Resistències de protecció de $100\ \Omega$.
- 19** Font d'alimentació del circuit de control i dels drivers.

A més de les parts ja descrites al llarg de la memòria, trobem la interfície d'usuari que permet activar o desactivar el control de la tensió de DC-link i el filtre notch, i encendre o apagar el sistema. Per altra costat, el prototip disposa de proteccions de sobretensió d' $v_C(t)$ i $v_{Bat}(t)$. En concret, si els valors recuperats pel DSC excedeixen uns màxims configurables per codi, s'activen dos MOSFETs a la placa de proteccions que connecten en paral·lel dos resistors en paral·lel de $100\ \Omega$ al condensador de DC-link i a la bateria. Finalment, la maneta ens permet descarregar manualment el condensador de DC-link quan s'atura el sistema per raons de seguretat.

6.2 Instrumentació i equipament addicional

Per a poder treballar i estudiar el prototip anterior hem utilitzat els instruments, sondes, fonts i càrregues electròniques que es presenten a continuació:

1. Oscil·loscopi YOKOGAWA DLM4038.
2. Analitzador de potència WT3000.
3. Multímetre ISO-TECH IDM 205RMS.
4. Generador de funcions ISO-TECH GFG 2004.
5. Sondes de corrent Tektronix TCP2020.
6. Sondes de tensió TESTEC TT-SI 9010.
7. Font d'alimentació PROMAX FAC-363B.
8. Càrrega resistiva AVTRON LPH40 D41449.
9. Font de potència AC PACIFIC SmartSource 360AMXT-UPC32/MST.
10. Càrrega electrònica ELEKTRO-AUTOMATIK EA-EL 9750-75 HP.
11. Font de potència AMREL SPS800x13-K02D.

7 Pressupost

Al començament d'aquesta secció, es presenta el pressupost del que costaria construir una unitat del carregador bidireccional de bateries per a vehicles elèctrics que s'ha descrit al llarg d'aquest document. En aquest pressupost s'indica especificat per a cada component el codi del fabricant, el codi dels distribuïdors, una breu descripció proporcionada pel fabricant, la quantitat de cada component necessària i el preu del component subministrat per la companyia *RS Components* (web [10]).

La informació referent al pressupost adjunta en aquest apartat pretén donar una idea orientativa del preu del carregador, ja que és important aclarir que el projecte es troba en fase de desenvolupament. Per aquesta raó el prototip es troba subjecte a canvis i es podria decidir afegir components addicionals o bé treure'n.

Per altra costat, al tractar-se d'un projecte d'investigació, la finalitat del prototip és demostrar la viabilitat del disseny i no construir un producte destinat a un possible client potencial. Per tant, el preu del producte final podria variar més encara per aquest motiu. A més la informació referent a altres costos que s'afegirien en un pressupost per a un producte a la indústria com la logística, màrqueting, etc. s'ha omès.

7.1 Pressupost unitari del carregador bidireccional

A continuació s'adjunta el pressupost del que costarien a data de 02 d'Agost del 2016 els materials necessaris per a construir les diferents parts que formen el carregador presentat al llarg del projecte, els esquemàtics de les quals es poden trobar adjunts a l'Annex A.

Taula 6. Pressupost del carregador bidireccional de bateries per a vehicles elèctrics.

Codi RS	Descripció del proveïdor	Denominació	Quantitat	P. Unitari
Sensat Diferencial				
538-1146	Condensador cerámico multicapa, Kemet, 10pF, $\pm 5\%$, 200 V dc	C2	1	0,29 €
538-1152	Condensador cerámico multicapa, Kemet, 100pF, $\pm 5\%$, 200 V dc, COG dieléctrico, Carcasa Radial	C3,C4	2	0,274 €
648-0711	Condensador cerámico multicapa, Kemet, 330nF, $\pm 10\%$, 50 V dc, X7R dieléctrico, Carcasa 1210	C15,C16,C18, C20,C22,C24, C26,C28,C30, C32,C34,C36, C57	11	0,212 €
434-8110	Condensador cerámico multicapa, Kemet, 1 μ F, $\pm 10\%$, 25 V dc SMD, X7R dieléctrico, Carcasa 1.206	C17,C19,C21, C23,C25,C27, C29,C31,C33	11	0,069 €
698-3421	Condensador cerámico multicapa, AVX, 330nF, $\pm 10\%$, 50 V dc SMD, X7R dieléctrico, Carcasa 0805	C35	1	0,035 €
264-4179	Condensador cerámico multicapa, Kemet, 0,1 μ F, $\pm 10\%$, 50V dc SMD, X7R dieléctrico, Carcasa 1.206	C37	1	0,036 €
873-1052	Diodo, SD103A-TR, 200mA, 10ns, DO-35, 2-Pines	D1,D2	2	0,081 €
846-7363	Condensador cerámico multicapa, Murata, 100 μ F, $\pm 20\%$, 6,3 V dc SMD, X7U dieléctrico, Carcasa 1210	C38	1	0,758 €

691-1199	Condensador cerámico multicapa, Kemet, 10 μ F, \pm 10%, 25 V dc SMD, X5R dieléctrico, Carcasa 1.206	C39	1	0,153 €
820-2863	Condensador cerámico multicapa, Murata, 2,2 μ F, \pm 10%, 100 V SMD, X7R dieléctrico, Carcasa 1206	C56	1	0,319 €
425-8736	Terminal para PCB negro 3 vías,5.08mm	J16,J17,J18, V_grid	4	0,454 €
506-5658	Resistencia de película gruesa, Vishay, 560k Ω , \pm 1%, 0,6W, Axial, Serie MBB0207	R1,R3,R17, R21	4	0,016 €
148-758	Resistencia de película de metal, TE Connectivity, 12k Ω , \pm 1%, 0,6W, Axial, Serie LR1F	R2,R22	2	0,023 €
683-2923	Resistencia de película gruesa, Vishay, 100k Ω , \pm 1%, 0,6W, Axial, Serie MRS25	R4,R5,R52, R56,R57	5	0,07 €
707-7745	Resistencia de película de carbono, RS Pro, 10k Ω , \pm 5%, 0,25W, Axial, Serie RS	R8,R9,R10,R1 5,R16,R33,R35 ,R40,R41,R48, R49, R50,R51	13	0,015 €
386-632	Resistencia de película de carbono, Arcol, 33k Ω , \pm 5%, 0,25W, Axial, Serie RCC	R11,R31	2	0,182 €
148-792	Resistencia de película de metal, TE Connectivity, 18k Ω , \pm 1%, 0,6W, Axial, Serie LR1F	R13,R34,R36	3	0,041 €
522-0136	Resistencia variable Bourns serie 3296Y, 2k Ω máximo, \pm 10%, \pm 100ppm/ $^{\circ}$ C, 1/2W, vueltas: 25, Montaje en orificio pasante	R14	1	1,54 €
385-922	Resistencia de película de carbono, Arcol, 1k Ω , \pm 5%, 0,25W, Axial, Serie RCC	R32,R46	2	0,172 €
386-492	Resistencia de película de carbono, Arcol, 3,9k Ω , \pm 5%, 0,25W, Axial, Serie RCC	R38	1	0,172 €
386-650	Resistencia de película de carbono, Arcol, 22k Ω , \pm 5%, 0,25W, Axial, Serie RCC	R42	1	0,184 €
386-929	Resistencia de película de carbono, Arcol, 47k Ω , \pm 5%, 0,25W, Axial, Serie RCC	R44	1	0,138 €
148-269	Resistencia de película de metal, TE Connectivity, 100 Ω , \pm 1%, 0,6W, Axial, Serie LR1F	R45	1	0,045 €
834-162	Amplificador operacional TLE2074CN 9.4MHz PDIP, 14 pines	U1,U2	2	4,98 €
709-6061	Amplificador de diferencial AD629ANZ PDIP, 8-Pines	U3	1	6,45 €
661-0763	Amplificador operacional OPA2350PA, 3 V, 5 V 38MHz CMOS,	U4,U5,U6	3	5,49 €
298-8615	Regulador de tensión lineal, L7905CV, 1.5A -5 V TO-220 3 pines Negativo	U22	1	0,55 €
298-8508	Regulador de tensión lineal, L7805ACV, 1A 5 V TO-220 3 pines	U24	1	0,50 €
686-9767	Regulador de tensión LDO, LD1117V33C, 1.3A 3,3 V, TO-220 3 pines \pm 1%	U25	1	0,443 €
767-3573	Referencia de tensión ISL21010CFH330Z-TK, 25mA SOT-23 3 pines \pm 0.2%	U26	1	1,38 €
Preu				25,07 €

Rectificador Síncron				
753-3059	Transistor MOSFET, IPW60R041C6, N-Canal, 77 A, 650 V, 3-Pin, TO-247	BOOSTMOSFE TBOOSTMOFE T1	2	10,34 €
687-0846	Diodo, STTH6004W, Conmutación, 60A, 400V, 90ns, DO-247, 2-Pines, Conexión de silicio	D10,D12	2	4,78 €
467-0293	Borne de potencia, Orificio Pasante, 2 vías, Terminación soldada, 13,5A	J1,J2,J3,J8	4	0,988 €
792-3408	Spring PCB terminal block 2 way 76A	J4,J5,J7	3	6,074 €
488-1724	Conector hembra para PCB RS Pro Recto 36 pines 1 fila paso 2.54mm Montaje Orificio Pasante	J15	1	3,10 €
Preu				25,28 €
Drivers Rectificador				
264-4179	Condensador cerámico multicapa, Kemet, 0,1µF, ±10%, 50V dc SMD, X7R dieléctrico, Carcasa 1.206	C1	1	0,036 €
434-8110	Condensador cerámico multicapa, Kemet, 1µF, ±10%, 25 V dc SMD, X7R dieléctrico, Carcasa 1.206	C2,C4	2	0,069 €
691-1199	Condensador cerámico multicapa, Kemet, 10µF, ±10%, 25 V dc SMD, X5R dieléctrico, Carcasa 1.206	C3	1	0,153 €
544-3531	NXP BZX79-C3V3,113 1 Diodo zener, Simple, 3.3V 5% 0,5 W Montaje en orificio pasante 2-Pin DO-35	D1,D2	2	0,096 €
803-1756	Diodo, 1N5397, 1.5A, 600V, DO-15, 2-Pines, Conexión de silicio	D3,D4	2	0,05 €
547-3166	Conector macho para PCB RS Pro Recto 36 pines 1 fila paso 2.54mm, Terminación Soldada	J15	1	0,70 €
214-0885	Resistencia de película de metal, TE Connectivity, 12Ω, ±5%, 1W, Axial, Serie ROX1S	R1,R3,R5,R6	4	0,113 €
707-7745	Resistencia de película de carbono, RS Pro, 10kΩ, ±5%, 0,25W, Axial, Serie RS	R2,R4	2	0,015 €
541-2751	Driver MOSFET de potencia IR2110PBF, Dual No Inversión 2.5A PDIP, 14 pines, alimentación 10→ 20 V	U1	1	3,04 €
706-5063	Convertidor dc - dc aislado, Salida 15V dc, 65mA, ±10%, ±1.2%	U2	1	3,82 €
Preu				8,09 €
Etapas PFC				
488-1724	Conector hembra para PCB RS Pro Recto 36 pines 1 fila paso 2.54mm Montaje Orificio Pasante	Z1	1	3,10 €
1200812	EPCOS B32654A6155J000 Condensador de Película, Serie B32654, 1.5 µF, ± 5%, PP (Polipropileno), 630 V	C8	1	2,65 €
264-4179	Condensador cerámico multicapa, Kemet, 0,1µF, ±10%, 50V dc SMD, X7R dieléctrico, Carcasa 1.206	Cd1,Cd3	2	0,036 €

434-8110	Condensador cerámico multicapa, Kemet, 1 μ F, \pm 10%, 25 V dc SMD, X7R dieléctric, Carcasa 1.206	Cd2,Cd4	2	0,069 €
756-7686	Condensador electrolítico de aluminio Nippon Chemi-Con EKXJ451ELL101MMP1S, 100 μ F, \pm 20%, 450 V dc, MP1, Serie KXJ	C5,C6,C7	3	5,01 €
753-2973	Diodo, IDH12SG60C, 12A, 600V, TO-220, 2-Pines	DLO1,DHO1, DLO,DHO	4	5,94 €
792-3408	Spring PCB terminal block 2 way 76A	VOUT_OUT_F ASE1,VIN_IN_F ASE1,GND_Y _FASE1, GND_X_F ASE1	4	6,074 €
897-7172	Transistor MOSFET, IPW60R160C6, N-Canal, 24 A, 650 V, 3-Pin, TO-247	MLO,MHO	2	4,255 €
625-6710	Conector RJ45 Hirose TM21R-5C-88(50), Vías: 8P8C, Cat5e, STP, Ángulo de 90°, Orificio Pasante, Hembra	RJ3	1	1,916 €
506-5658	Resistencia de película gruesa, Vishay, 560k Ω , \pm 1%, 0,6W, Axial, Serie MBB0207	Ri1,Ro4	2	0,016 €
386-919P	Resistencia de película de carbono, Arcol, 4,7k Ω , \pm 5%, 0,25W, Axial, Serie RC	Ri2	1	0,17 €
386-688P	Resistencia de película de carbono, Arcol, 3,3k Ω , \pm 5%, 0,25W, Axial, Serie RCC	Ro3	1	0,178 €
286-311	Transductor de corriente, Lazo Cerrado Efecto Hall, 0 \rightarrow 36 A, 15 ac	U3	1	19,21 €
221-184	Separador roscado, RS Pro, Hexagonal, Macho/Hembra, 40mm, M3 x M	-	12	0,804 €
557-032	Latiguillo de Ethernet Cat5e RS Pro, 1m, U/UTP, PVC, Gris	-	6	1,70 €
490-7090	Disipador AAVID THERMALLOY MD/B/100, 100 x 120 x 37mm	-	2	25,47 €
Preu			76,60 €	
Etapa BCM				
488-1724	Conector hembra para PCB RS Pro Recto 36 pines 1 fila paso 2.54mm Montaje Orificio Pasante	Z1	1	3,10 €
792-3408	Spring PCB terminal block 2 way 76A	CP1, CP2, CP3, CP4	4	6,074 €
312-1683	Condensador de película de poliéster Kemet, 10nF, \pm 5%, 200 V ac, 400 V dc, Orificio Pasante	Cd1,Cd3	2	0,16 €
434-8110	Condensador cerámico multicapa, Kemet, 1 μ F, \pm 10%, 25 V dc SMD, X7R dieléctric, Carcasa 1.206	Cd2,Cd4	2	0,069 €
224-4325	Condensador electrolítico de aluminio Rubycon 50YXF10M5X11, 10 μ F, \pm 20%, 50 V dc, Serie YXF	C1	1	0,274 €
753-2973	Diodo, IDH12SG60C, 12A, 600V, TO-220, 2-Pines	DLO,DHO	2	5,94 €
897-7172	Transistor MOSFET, IPW60R160C6, N-Canal, 24 A, 650 V, 3-Pin, TO-247	MLO,MHO	2	4,255 €
625-6710	Conector RJ45 Hirose TM21R-5C-88(50), Vías: 8P8C, Cat5e, STP, Ángulo de 90°, Orificio Pasante, Hembra	RJ1	1	1,916 €

286-311	Transductor de corriente, Lazo Cerrado Efecto Hall, 0 → 36 A, 15 ac	U3	1	19,21 €
211-9314	Ventilador Axial AC, 119 x 119 x 38mm, 160m ³ /h, 19W, 230 V ac, Serie 4000N	-		34,30 €
221-184	Separador roscado, RS Pro, Hexagonal, Macho/Hembra, 40mm, M3 x M	-	12	0,804 €
557-032	Latiguillo de Ethernet Cat5e RS Pro, 1m, U/UTP, PVC, Gris	-	6	1,70 €
490-7090	Disipador AAVID THERMALLOY MD/B/100, 100 x 120 x 37mm	-	2	25,47 €
Preu				103,27 €
Interfície PFC				
425-8720	Terminal para PCB negro 2 vías,5.08mm	J4,J6,J9,J10,J14,J15,J16,J17,J18,J19,J20,J23,J24,J25,Vcc_amplis_ext,JumperGND,DRIVERS,ConVCC,Control Drivers	18	0,198 €
425-8736	Terminal para PCB negro 3 vías,5.08mm	Con Vcc Sensors Corrent	1	0,454 €
896-1203	Condensador de película de poliéster Epcos, 10µF, ±10%, 63 V dc	C1,C2,C3,C40,C41	5	2,84 €
312-1469	Condensador de película de poliéster Kemet, 0,1µF, ±5%, 40 V ac, 63 V dc, Orificio Pasante	C19,C21,C22,C24,C27,C28,C29,C99,C102,C103,C104,C106,C108	20	0,119 €
712-3719	Condensador de película de poliéster Epcos, 1µF, ±10%, 40 V ac, 63 V dc, Orificio Pasante	C6,C7,C12,C16,C17,C20,C23,C25,C26,C30,C105,C100,C107,C109	13	0,494 €
712-3670	Condensador de película de poliéster Epcos, 1nF, ±10%, 40 V ac, 63 V dc, Orificio Pasante	C31,C32	2	0,194 €
544-3480	Diodo de conmutación, 1N4148,113, 200mA, 100V, SOD-27, 2-Pines, Máximo de 1	D2,D3	2	0,063 €
764-4770	Conector RJ Hirose TM11R-3C-88(50), Vías: 8P8C, Cat3, STP, Recto, Orificio Pasante, Hembra	RJ1,RJ-driver1,RJ2,RJ-driver2,RJ3,RJdriver3	6	5,00 €
151-397P	Resistencia de película gruesa, Vishay, 120Ω, ±1%, 0,4W, Axial, Serie MBA0204	Ri_sens1,Ri_sens2, Ri_sens3	3	0,056 €
148-269	Resistencia de película de metal, TE Connectivity, 100Ω, ±1%, 0,6W, Axial, Serie LR1F	Ro_isens1,Ro_isens2,Ro_isens3,Ro_Voutsens, Ro_Vinsens	5	0,045 €
691-7654	Potenciómetro Cemet Bourns 3386V-1-102LF, 1kΩ, ±10%, 0,5W, ±100ppm/°C, Lineal, Orificio Pasante, Serie 3386V	R1,R13,R24	3	0,93 €
386-650	Resistencia de película de carbono, Arcol, 22kΩ, ±5%, 0,25W, Axial, Serie RCC	R2,R4,R15,R19,R26,R30	6	0,184 €
707-7745	Resistencia de película de carbono, RS Pro, 10kΩ, ±5%, 0,25W, Axial, Serie RS	R3,R5,R6,R7,R8,R10,R12,R16	23	0,015 €

		,R17,R18,R20, R21,R23,R27, R28,R29,R31, R32,R45,R46, R47,R48,R50		
148-792	Resistència de pel·lícula de metal, TE Connectivity, 18k Ω , \pm 1%, 0,6W, Axial, Serie LR1F	R9,R11,R14, R22,R25,R33	6	0,041 €
849-9007	Resistència de pel·lícula de metal, Vishay, 5k Ω , \pm 0.1%, 0.125W, Axial, Serie PTF56	R51,R55	2	0,79 €
707-7669	Resistència de pel·lícula de carbon, RS Pro, 820 Ω , \pm 5%, 0,25W, Axial, Serie RS	R52	1	0,126 €
386-941	Resistència de pel·lícula de carbon, Arcol, 1,5k Ω , \pm 5%, 0,25W, Axial, Serie RCC	R53	1	0,172 €
385-922	Resistència de pel·lícula de carbon, Arcol, 1k Ω , \pm 5%, 0,25W, Axial, Serie RCC	R54	1	0,172 €
535-9335	Referència de tensió LM336BZ-2.5/NOPB, 10mA TO-92 3 pins 2% 2,44 \rightarrow 2,54 V	U1	1	1,07 €
516-6240	Regulador de tensió lineal, LM317TG, Ajustable 1.5A 1,2 \rightarrow 37 V TO-220 3 pins	U2	1	0,49 €
686-9767	Regulador de tensió LDO, LD1117V33C, 1.3A 3,3 V, TO-220 3 pins \pm 1%	U8	1	0,443 €
661-0763	Amplificador operacional OPA2350PA, 3 V, 5 V 38MHz CMOS,	U11,U13,U16, U19	4	5,49 €
533-9195	Amplificador operacional LF347N/NOPB 4MHz MDIP, 14 pins	U12,U15,U18	3	1,70 €
217-5566	Puerta lògica: Puerta lògica, SN74HC08N, HC, Quad 5.2mA PDIP 14 pins, alimentació 2 \rightarrow 6 V	U23,U24	2	0,48 €
813-115	Zócalo DIL Winslow, 2.54mm, anch. 7.62mm, 8 contactos, Orificio Pasante, Pin de Torneado, 5A, Vertical	-	20	0,568 €
813-121	Zócalo DIL Winslow, 2.54mm, anch. 7.62mm, 14 contactos, Orificio Pasante, Pin de Torneado, 5A, Vertical	-	20	0,874 €
197-2669	Zócalo DIL Winslow, 2.54mm, anch. 7.62mm, 16 contactos, Orificio Pasante, Pin de Torneado, 5A, Vertical	-	25	0,521 €
Preu			23,53 €	
Interfície BCM				
425-8720	Terminal para PCB negro 2 vías,5.08mm	J4,J6,J9,J10, J14,J15,J16, J17,Vcc_ampli s_ext,DRIVER S,Con VCC , Control Drivers	11	0,198 €
425-8736	Terminal para PCB negro 3 vías,5.08mm	Con Vcc Sensors Corrent	1	0,454 €
896-1203	Condensador de pel·lícula de poliéster Epcos, 10 μ F, \pm 10%, 63 V dc	C1,C2,C3,C40, C41	5	2,84 €
312-1469	Condensador de pel·lícula de poliéster Kemet, 0,1 μ F, \pm 5%, 40 V ac, 63 V dc, Orificio Pasante	C5,C8,C9,C10, C11,C15,C18, C19,C21,C22, C24,C27,C28,	17	0,119 €

		C29,C99,C102, C103		
712-3719	Condensador de pel·lícula de polièster Epcos, 1µF, ±10%, 40 V ac, 63 V dc, Orificio Pasante	C6,C7,C12,C16 ,C17,C20,C23, C25,C26,C30, C100	10	0,494 €
544-3480	Diodo de conmutación, 1N4148,113, 200mA, 100V, SOD-27, 2-Pines, Máximo de 1	D2,D3	2	0,063 €
764-4770	Conector RJ Hirose TM11R-3C-88(50), Vías: 8P8C, Cat3, STP, Recto, Orificio Pasante, Hembra	RJ1,RJdriver1, RJ2,RJ- driver2, RJ3,RJ-driver3	6	5,00 €
707-7666	Resistencia de pel·lícula de carbono, RS Pro, 1kΩ, ±5%, 0,25W, Axial, Serie RS	Ri_sens1,Ri_se ns2, Ri_sens3	3	0,021 €
148-269	Resistencia de pel·lícula de metal, TE Connectivity, 100Ω, ±1%, 0,6W, Axial, Serie LR1F	Ro_isens1,Ro_ise ns2,Ro_isen s3,Ro_Voutsen s,Ro_Vinsens	5	0,045 €
691-7654	Potenciòmetro Cemet Bourns 3386V-1-102LF, 1kΩ, ±10%, 0,5W, ±100ppm/°C, Lineal, Orificio Pasante, Serie 3386V	R1,R13,R24	3	0,93 €
386-650	Resistencia de pel·lícula de carbono, Arcol, 22kΩ, ±5%, 0,25W, Axial, Serie RCC	R2,R4,R15, R19,R26,R30	6	0,184 €
707-7745	Resistencia de pel·lícula de carbono, RS Pro, 10kΩ, ±5%, 0,25W, Axial, Serie RS	R3,R5,R6,R7,R 8,R10,R12,R16 ,R17,R18,R20, R21,R23,R27, R28,R29,R31, R32,R45,R46, R47,R48,R50	23	0,015 €
148-792	Resistencia de pel·lícula de metal, TE Connectivity, 18kΩ, ±1%, 0,6W, Axial, Serie LR1F	R9,R11,R14, R22,R25,R33	6	0,041 €
849-9007	Resistencia de pel·lícula de metal, Vishay, 5kΩ, ±0.1%, 0.125W, Axial, Serie PTF56	R51,R55	2	0,79 €
707-7669	Resistencia de pel·lícula de carbono, RS Pro, 820Ω, ±5%, 0,25W, Axial, Serie RS	R52	1	0,126 €
386-941	Resistencia de pel·lícula de carbono, Arcol, 1,5kΩ, ±5%, 0,25W, Axial, Serie RCC	R53	1	0,172 €
385-922	Resistencia de pel·lícula de carbono, Arcol, 1kΩ, ±5%, 0,25W, Axial, Serie RCC	R54	1	0,172 €
535-9335	Referencia de tensió LM336BZ-2.5/NOPB, 10mA TO-92 3 pines 2% 2,44 → 2,54 V	U1	1	1,07 €
516-6240	Regulador de tensió lineal, LM317TG, Ajustable 1.5A 1,2 → 37 V TO-220 3 pines	U2	1	0,49 €
686-9767	Regulador de tensió LDO, LD1117V33C, 1.3A 3,3 V, TO-220 3 pines ±1%	U8	1	0,443 €
661-0763	Amplificador operacional OPA2350PA, 3 V, 5 V 38MHz CMOS,	U11,U13,U16, U19	4	5,49 €
533-9195	Amplificador operacional LF347N/NOPB 4MHz MDIP, 14 pines	U12,U15,U18	3	1,70 €
217-5566	Puerta lógica: Puerta lógica, SN74HC08N, HC, Quad 5.2mA PDIP 14 pines, alimentación 2 → 6 V	U23,U24	2	0,48 €
Preu				21,34 €

Drivers PFC i BCM				
712-3719	Condensador de pel·lícula de polièster Epcos, 1 μ F, \pm 10%, 40 V ac, 63 V dc, Orificio Pasante	C13	1	0,494 €
896-1203	Condensador de pel·lícula de polièster Epcos, 10 μ F, \pm 10%, 63 V dc	C14,C18,C20	3	2,84 €
312-1469	Condensador de pel·lícula de polièster Kemet, 0,1 μ F, \pm 5%, 40 V ac, 63 V dc, Orificio Pasante	C15,C19,C21	3	0,119 €
312-1683	Condensador de pel·lícula de polièster Kemet, 10nF, \pm 5%, 200 V ac, 400 V dc, Orificio Pasante	C16	1	0,16 €
312-1447	Condensador de pel·lícula de polièster Kemet, 22nF, \pm 5%, 100 V dc, 63 V ac, Orificio Pasante	C691,C692	2	0,129 €
687-5462	Taiwan Semiconductor 1N4746A 1 Diodo zener, Simple, 18V 5% 1 W Montaje en orificio pasante 2-Pin DO-41	D5,D12,D14, D15	4	0,057 €
806-2012	Diodo, SB580, 5A, 80V, DO-201AD, 2-Pines	D6,D11	2	0,435 €
700-3964	Diodo, BYV26C-TAP, Conmutación, 1A, 600V, 30ns, SOD-57, 2-Pines, Conexión de silicio	D7	1	0,408 €
805-0081	Fairchild Semiconductor 1N4745ATR 1 Diodo zener, Simple, 16V 5% 1 W Montaje en orificio pasante 2-Pin DO-41	D8,D13	2	0,053 €
547-3166	Conector macho para PCB RS Pro Recto 36 pines 1 fila paso 2.54mm, Terminación Soldada	J2	1	0,70 €
625-6710	Conector RJ45 Hirose TM21R-5C-88(50), Vías: 8P8C, Cat5e, STP, Ángulo de 90°, Orificio Pasante, Hembra	RJ1	1	1,916 €
214-2409	Resistencia de pel·lícula de metal, TE Connectivity, 2,2 Ω , \pm 5%, 3W, Axial, Serie ROX3S	R6,R14	2	0,157 €
385-922	Resistencia de pel·lícula de carbon, Arcol, 1k Ω , \pm 5%, 0,25W, Axial, Serie RCC	R7,R13	2	0,172 €
541-2751	Driver MOSFET de potencia IR2110PBF, Dual No Inversión 2.5A PDIP, 14 pines, alimentación 10 \rightarrow 20 V	U1	1	3,04 €
Preu				10,68 €
Eines de desenvolupament - DSP				
709-4355	TMS320F28335 Control Card	-	1	78,95 €
663-3139	TMS320F28335 Experimenter Kit	-	1	113,28 €
Preu				192,23 €

7.2 Resum del pressupost

A la Taula 7 es recull la informació més rellevant del subapartat anterior i es presenta el preu final del que costarien els materials per a construir el carregador complet, tenint en compte que en alguns casos més d'una placa de circuit imprès és necessària.

Taula 7. Resum pressupost del carregador bidireccional de bateries per a vehicles elèctrics.

Concepte	P. Unitari	Quantitat	Preu
Sensat Diferencial	25,07	1	25,07 €
Rectificador Síncron	25,28	2	50,56 €
Drivers Rectificador	8,09	2	16,18 €
Etapa PFC	76,60	3	229,80 €
Etapa BCM	103,27	1	103,27 €
Interfície PFC	23,53	1	23,53 €
Interfície BCM	21,34	1	21,34 €
Drivers PFC i BCM	10,68	6	64,08 €
Eines de desenvolupament - DSP	192,23	1	192,23 €
Total			726,06 €

Com es pot veure, el preu final dels materials per a construir el prototip del carregador bidireccional de bateries per a vehicles elèctrics és de 726,06 € utilitzant l'empresa RS Components com a proveïdor a data 02 d'Agost del 2016. El preu estimat és orientatiu i intenta donar un ordre de magnitud del que val cada etapa. S'ha de recordar que es tracta d'un prototip per a validar el disseny i no un producte final, a més de que al trobar-se encara en fase de desenvolupament es troba subjecte a canvis. A més a més, s'han omès altres costos que s'haurien d'afegir al preu d'un producte final com publicitat, empaquetament, logística i sobretot mà d'obra (ja que han estat treballant un estudiant de doctorat durant quatre anys i un tècnic durant any i mig).

La diferència important de preu entre l'etapa de potència PFC i la BCM que es pot apreciar a la Taula 7 és degut essencialment als diferents dissipadors utilitzats. Tot i que aquestes dues etapes són molt semblants i dissipen aproximadament la mateixa potència, es va optar per escollir dos diferents per a veure quin tipus treballava millor. Finalment el rendiment del més barat, el de l'etapa PFC, és tan bo com el de l'etapa BCM, per tant escollirem els dos dissipadors iguals a l'utilitzat a la BCM.

8 Conclusions i treball futur

En aquest document s'ha descrit l'estat inicial del projecte en el que el carregador era capaç de realitzar càrregues de fins a 3 kW a la bateria d'un vehicle elèctric endollable i s'ha descrit el marc teòric per a entendre el seu funcionament.

Posteriorment s'han dissenyat, simulat i implementat canvis al sistema per habilitar la bidireccionalitat del carregador. Concretament, l'objectiu final és permetre a una entitat d'abstracció superior anomenada supervisor induir el mode de funcionament al sistema. Si es desitja realitzar la càrrega de la bateria, per exemple mentre el vehicle es troba carregant al garatge durant la nit, el sistema es comportarà com un carregador i realitzarà el mètode de càrrega CC-CV en funció de la informació de l'estat de la bateria facilitada pel seu sistema de gestió de càrrega (*Battery Charge System*, BCS). Si en canvi, la bateria es troba carregada i es desitja sostreure-hi energia, el flux d'energia demandada pel supervisor haurà d'ésser injectada de nou a la xarxa elèctrica complint la corresponent normativa. Aquest mètode de funcionament es realitzaria quan la demanda energètica en algun moment del dia supera la producció i hi ha energia emmagatzemada disponible, per exemple, quan els vehicles elèctrics de treballadors es troben endollats a la xarxa elèctrica al pàrquing d'una empresa.

La topologia final només divergeix de la inicial en la necessitat d'utilitzar un rectificador síncron en comptes d'un rectificador d'ona completa. Això es degut a que per la pròpia naturalesa dels díodes del pont, al trobar-se polaritzats en directa, no permeten el flux de corrent de càtode a ànode. Després de la rectificació de la tensió de la xarxa, el sistema està format per dues etapes de convertidors treballant en cascada i commutant a 60 kHz. Cada etapa consta de tres fases de convertidors bidireccionals en corrent capaces de treballar com a topologia elevadora o reductor en funció del mode de funcionament. A més, les tres fases treballen en interleaving per a disminuir els rissats i com a conseqüència la dimensió dels elements de filtrat. Les dues etapes de convertidors es troben separades per un condensador de DC-link suficientment gran com per a independitzar les dues etapes.

Respecte al control, la primera etapa de convertidors controla el corrent dels inductors aplicant la teoria Sliding-Mode Control en temps discret per a realitzar la correcció del factor de potència i regular la tensió de DC-link a 400 V. Anàlogament la segona etapa de convertidors aplica el mateix tipus de control per a generar la càrrega CC-CV en mode G2B o extreure la potència indicada pel supervisor.

Els canvis proposats i descrits al llarg del document, han permès fer treballar les etapes PFC i BCM bidireccionalment i extreure la quantitat d'energia desitjada a la bateria. També s'ha demostrat la correcta gestió del pont rectificador síncron. Específicament els senyals que activen una rama o l'altre del pont introdueixen el temps mort suficient per a que no hi hagi un curtcircuit a la xarxa elèctrica i a demés es realitzen després de rebre un senyal que informa al sistema que el corrent que circula pels convertidors ha assolit un valor molt petit. No obstant això, el funcionament complet del sistema en B2G i la correcta injecció de corrent a la xarxa, no ha estat possible.

Actualment el projecte està en fase de desenvolupament i s'han proposat dues possibles explicacions al problema. Al estar les dues parts de la solució funcionant però no el sistema complet, la font d'error més probable és una mala sincronització entre l'etapa PFC i el pont de MOSFETs. Per aquesta raó, els esforços s'estan dedicant a evitar aquest problema, tot i que de moment no s'han obtingut resultats positius. L'altre possible causa d'error és que existeixi un desfasament entre tensió i corrent d'entrada, provocant la incorrecta gestió del pont i finalment un curtcircuit dels borns d'entrada. No obstant, és una explicació menys probable ja que la finalitat de l'etapa PFC és precisament anul·lar el desfasament per a que el sistema vist des de l'entrada es comporti com una resistència (factor de potència igual a 1).

Essent aquest l'estat present del projecte, el treball futur a realitzar és tractar de solucionar els problemes de sincronització i comprovar que no hi hagi desfasament entre tensió i corrent. D'aquesta manera, el sistema ja podrà injectar corrent a la xarxa i amb un cost aproximat de 726€ comportarà una aportació factible que ens acostarà un pas més a un nou paradigma energètic basat en energies renovables.

Referències

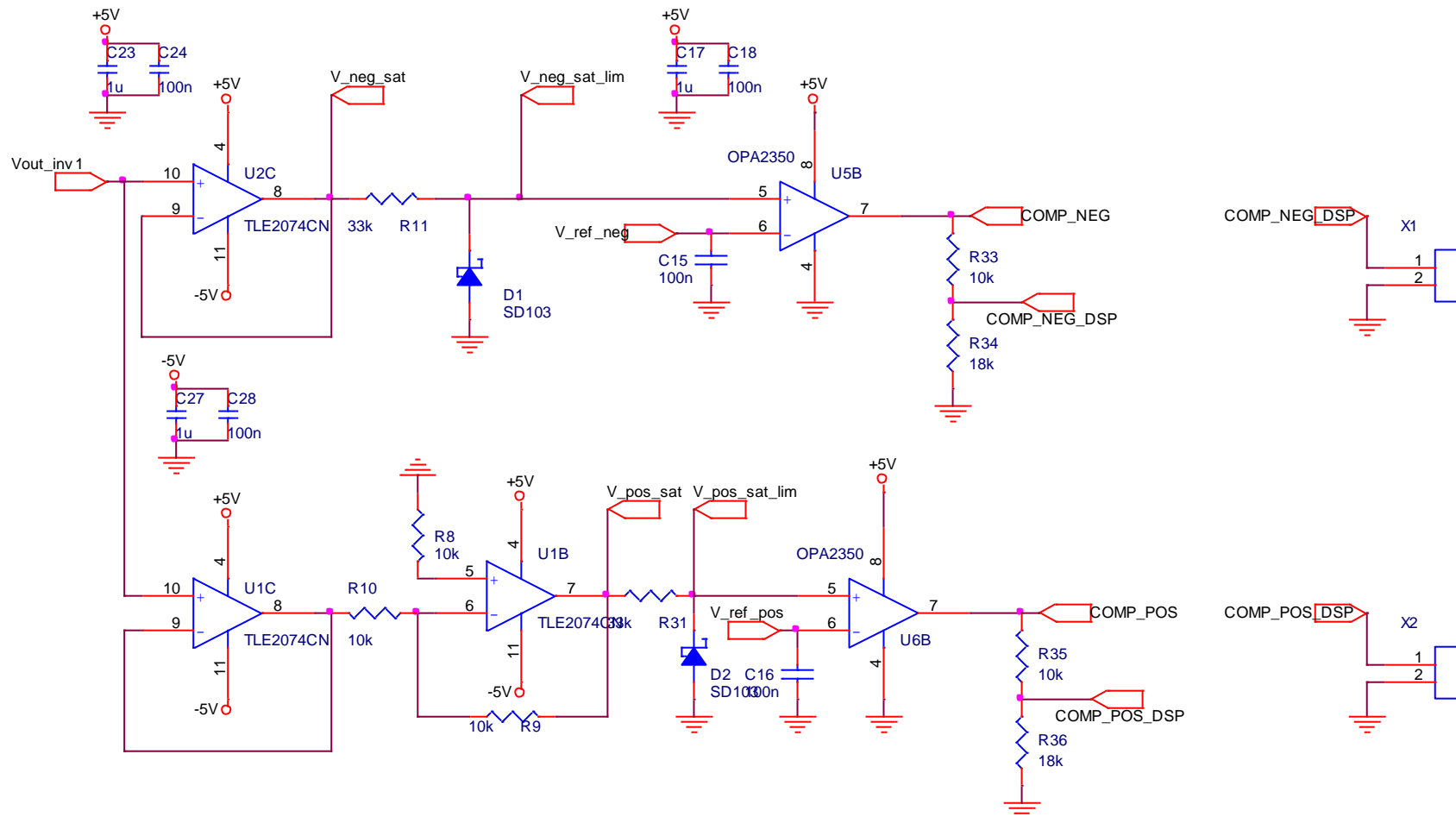
- [1] D. Hewes , R. Witzmann i P. Espinosa, «Influence of Energy Mix on the Future Grid Integration of PV and Wind in Europe,» de *Modern Electric Power Systems*, Wroclaw, Poland, Juliol 2015.
- [2] S. S. Williamson, A. K. Rathore i M. Fariborz, «Industrial Electronics for Electric Transportation: Current State-of-the-Art and Future Challenges,» *IEEE Transactions on Industrial Electronics*, vol. 62, núm. 5, p. 12, Maig 2015.
- [3] M. Yilmaz i P. T. Krein, «Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles,» *IEEE Transactions on Power Electronics*, vol. 28, núm. 5, p. 19, Maig 2013.
- [4] A. Marcos, *Design and Control of a Battery Charger for Electric Vehicles*, Tarragona, 2015.
- [5] S. Othman Yong i N. Abd. Rahim, «Development of On-Off Duty Cycle Control with,» de *IEEE Conference on Clean Energy and Technology (CEAT)*, 2013.
- [6] Texas Instruments Inc., «<http://www.ti.com/>,» Abril 2010. [En línia]. Available: <http://www.ti.com/lit/ug/spru716d/spru716d.pdf>. [Últim accés: 20 Gener 2016].
- [7] V. Utkin, J. Guldner i J. Shi, *Sliding Mode Control in Electro-Mechanical Systems*, 2nd ed., New York: CRC Press, 2009.
- [8] Texas Instruments Inc., «<http://www.ti.com/>,» Novembre 2004. [En línia]. Available: <http://www.ti.com/lit/ug/spru791f/spru791f.pdf>. [Últim accés: 04 Març 2016].
- [9] R. Redl, «Electromagnetic Environmental Impact of Power Electronics Equipment,» *Proceedings of the IEEE*, vol. 89, núm. 6, p. 13, Juny 2001.
- [10] «Rs Components,» [En línia]. Available: <http://es.rs-online.com/web/>. [Últim accés: 02 Agost 2016].
- [11] G. H. Fox, «Electric Vehicle Charging Stations,» *IEEE Industry Applications Magazine*, núm. 1077-2618, p. 7, Abril 2013.
- [12] American National Standards Institute, «Standardization Roadmap for Electric Vehicles,» ANSI, Washington, Abril 2012.
- [13] A. Khaligh i S. Dusmez, «Comprehensive Topological Analysis of Conductive and Inductive Charging Solutions for Plug-In Electric Vehicles,» *IEEE Transactions on Vehicular Technology*, vol. 61, núm. 8, p. 15, Octubre 2012.
- [14] AENOR, «UNE-EN 61851-21: Sistema Conductivo de Carga para Vehículos Eléctricos. Parte 21: Requisitos del Vehículo Eléctrico para Conexión Conductora a Red en C.A./C.C,» AENOR, Madrid, Desembre 2002.
- [15] AENOR, «UNE-EN 61851-22: Sistema Conductivo de Carga para Vehículos Eléctricos. Parte 22: Estación de Carga en C.A. para Vehículos Eléctricos,» AENOR, Madrid, Desembre 2002.

- [16] Texas Instruments Inc., «<http://www.ti.com/>,» Desembre 2006. [En línia]. Available: <http://www.ti.com/lit/an/spraai1/spraai1.pdf>. [Últim accés: 05 Març 2016].
- [17] C. C. Chan, «The State of the Art of Electric and Hybrid Vehicles,» *Proceedings of the IEEE*, vol. 95, núm. 704-718, p. 4, Abril 2007.
- [18] J. A. P. Lopes, F. J. Soares i P. M. R. Almeida, «Integration of Electric Vehicles in the Electric Power System,» *IEEE Trans. Power Systems*, vol. 99, núm. 168-183, p. 1, Gener 2011.
- [19] R. Redl, «Electromagnetic Environmental Impact of Power Electronics Equipment,» *Proceedings of the IEEE*, vol. 89, núm. 6, p. 13, Juny 2001.
- [20] E. Vidal-Idiarte, C. E. Carrejo, J. Calvente i L. Martínez-Salamero, «Two-Loop Digital Sliding Mode Control of DC-DC Power Converters Based on Predictive Interpolation,» *IEEE Transactions on Industrial Electronics*, vol. 58, núm. 6, p. 11, Juny 2011.
- [21] E. Vidal-Idiarte, A. Marcos-Pastor, G. García, A. Cid-Pastor i L. Martínez-Salamero, «Discrete-time sliding-mode-based digital pulse width modulation control of a boost converter,» *IET Power Electronics*, vol. 8, núm. 5, p. 7, 2015.
- [22] «Farnell Components SL,» [En línia]. Available: <http://es.farnell.com/>. [Últim accés: 02 Agost 2016].
- [23] R. Redl, «Electromagnetic Environmental Impact of Power Electronics Equipment,» *PROCEEDINGS OF THE IEEE*, vol. 89, núm. 6, p. 13, Juny 2001.
- [24] P. Eser, N. Chokani i R. S. Abhari, «Impacts of Battery Electric Vehicles on the Central European Power System in 2030,» de *IEEE Xplore*, June 2016.

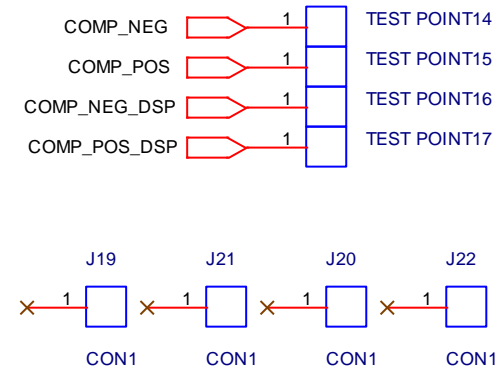
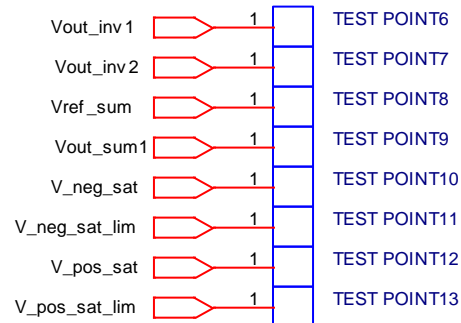
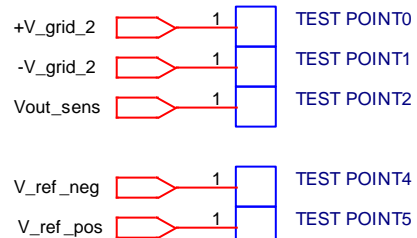
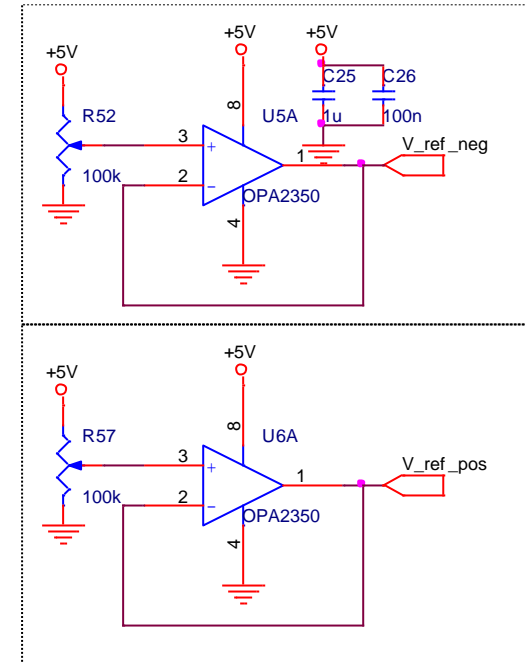
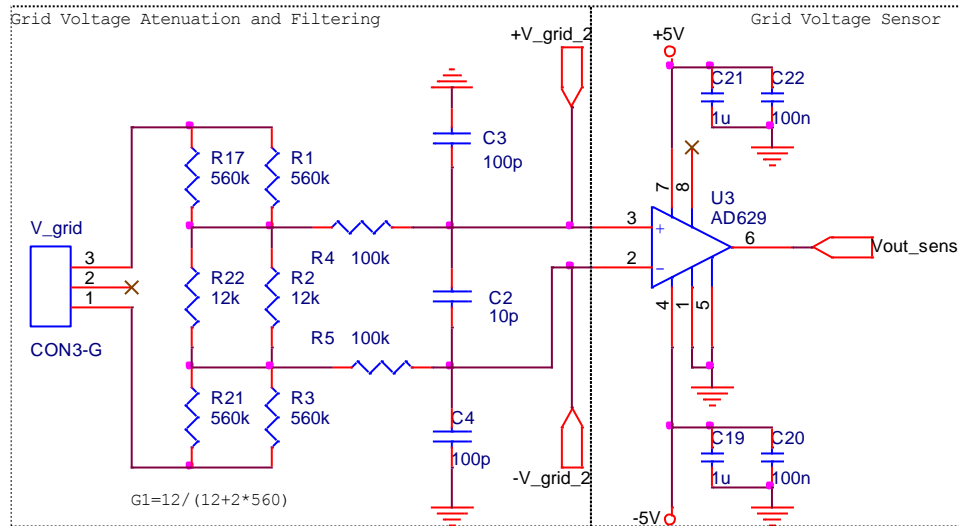
Annex A – Esquemàtics

Sensat Diferencial

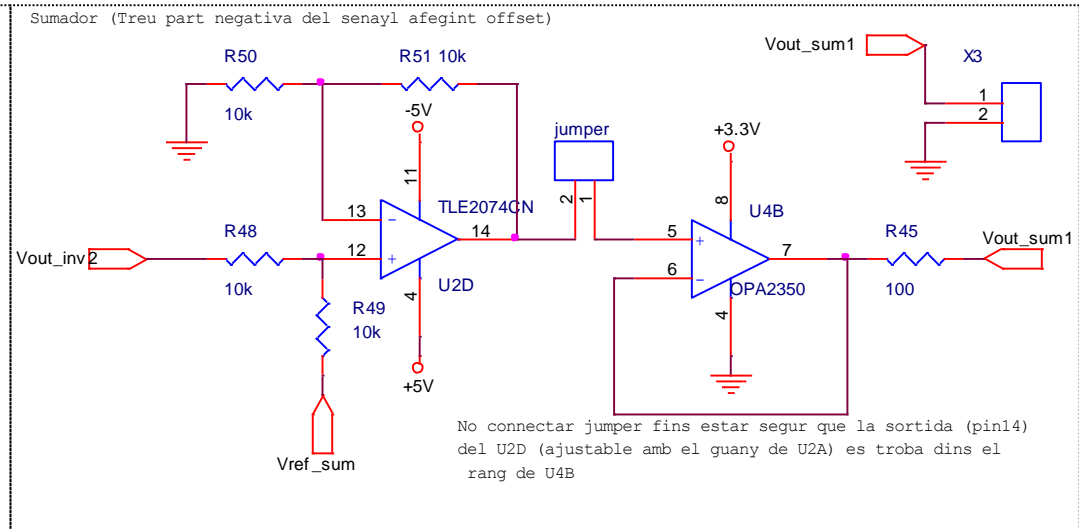
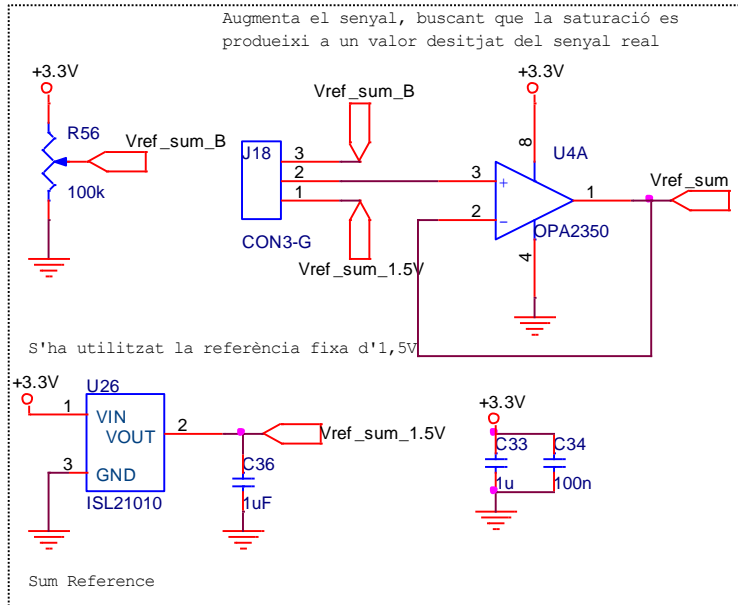
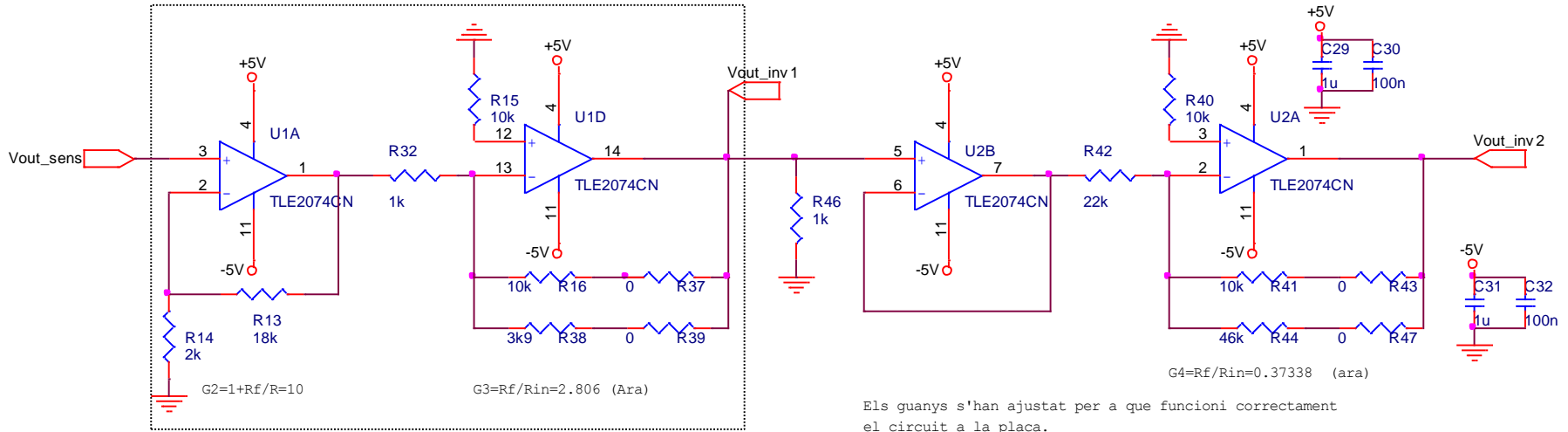
- Comparació positiva i negativa



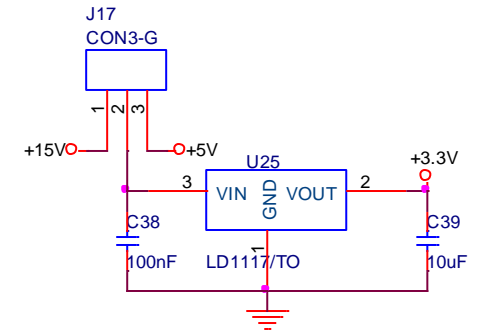
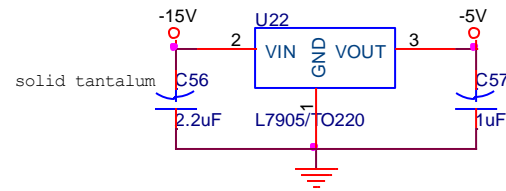
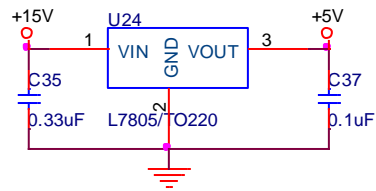
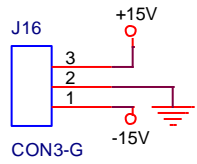
- **Sensat de la xarxa**



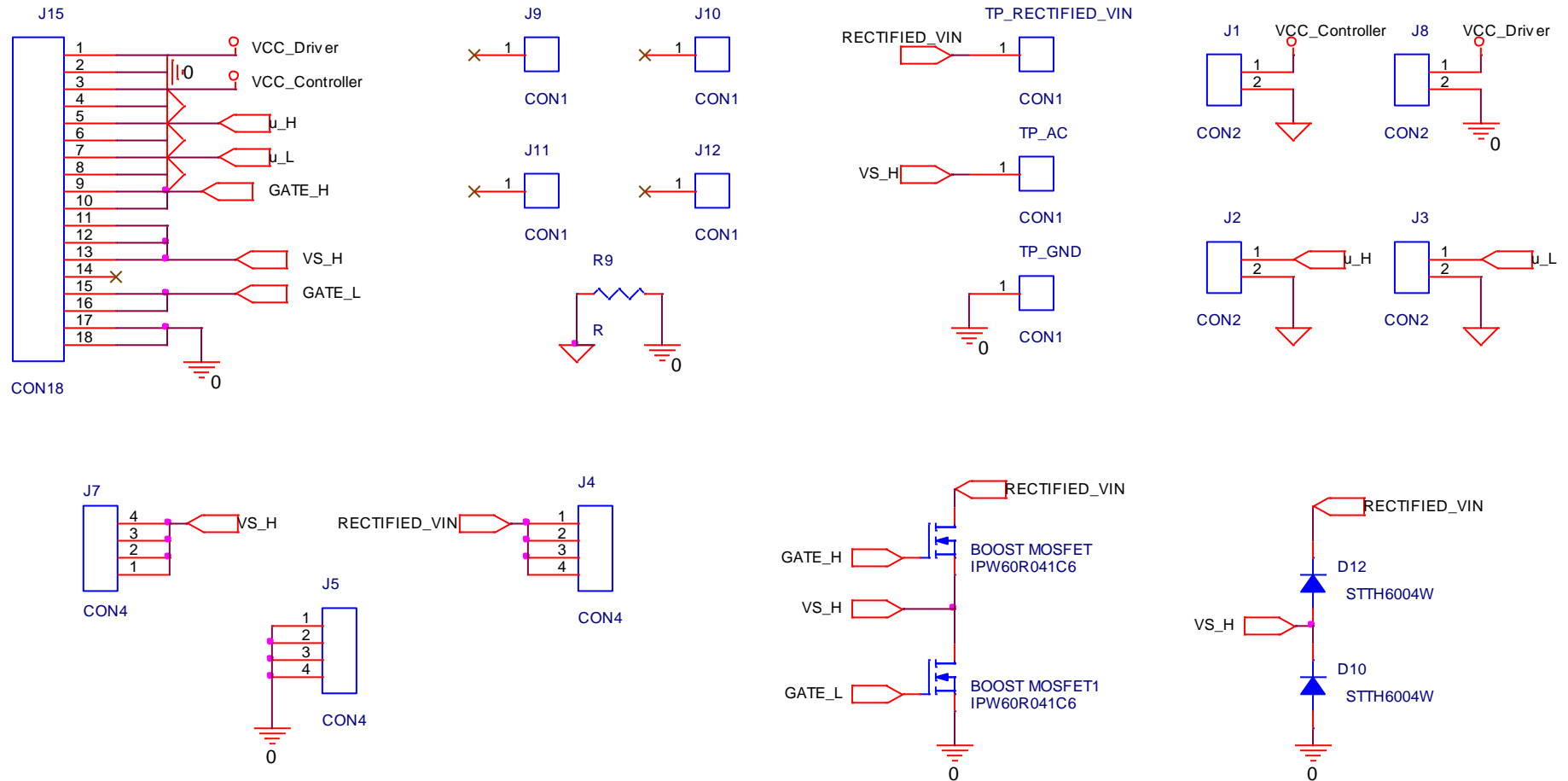
- **Adaptació senyals sensat per a DSP**



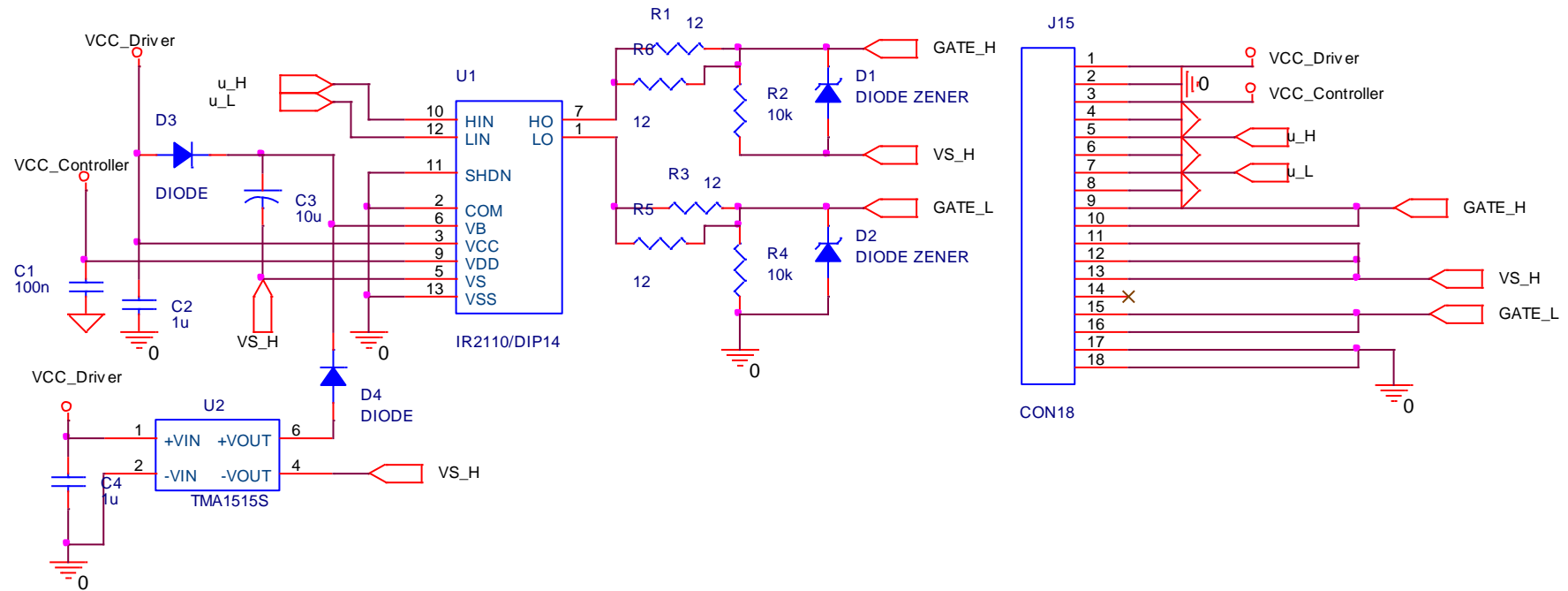
- Regulació tensions d'alimentació



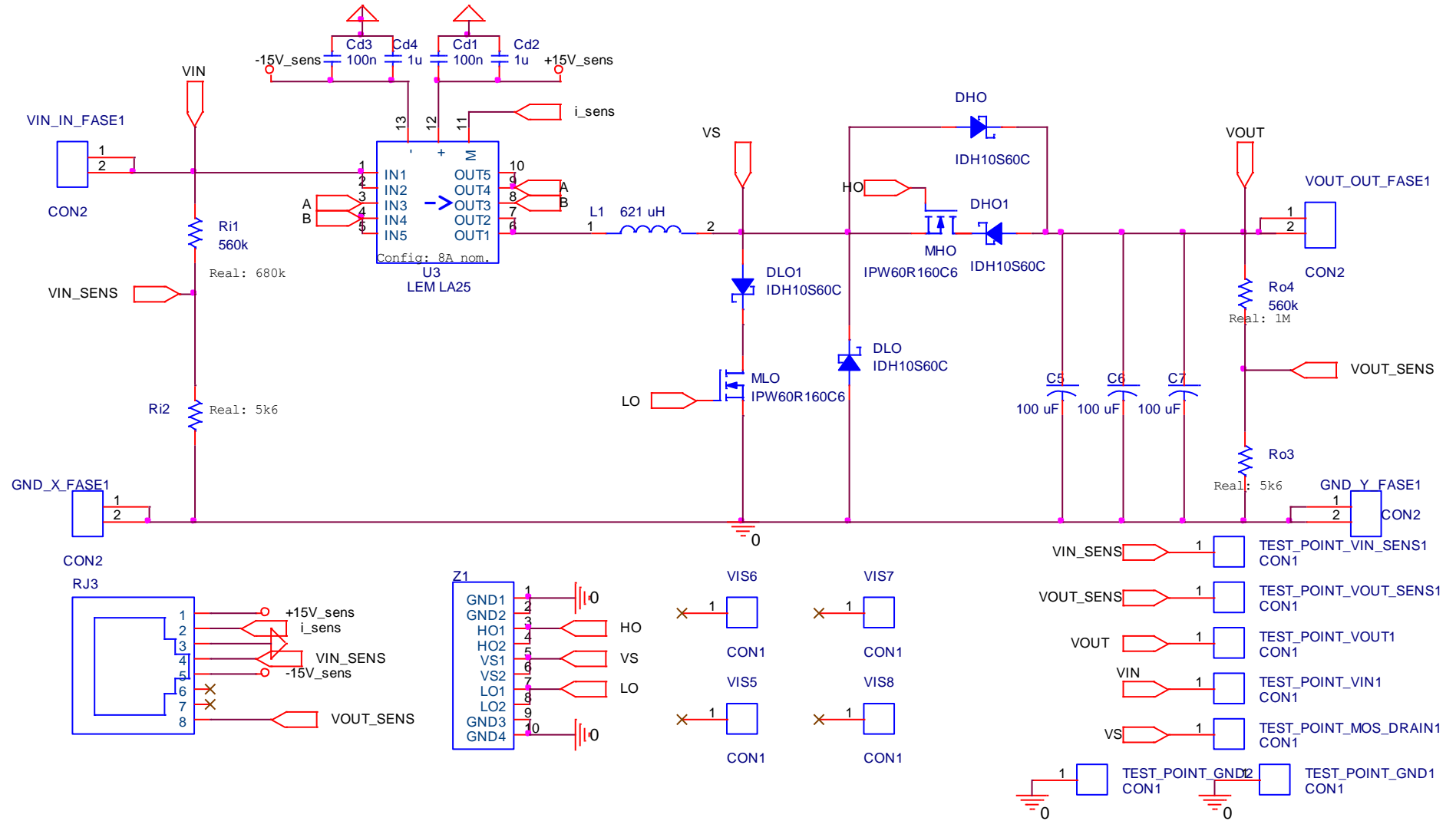
Rectificador Síncron (x2)



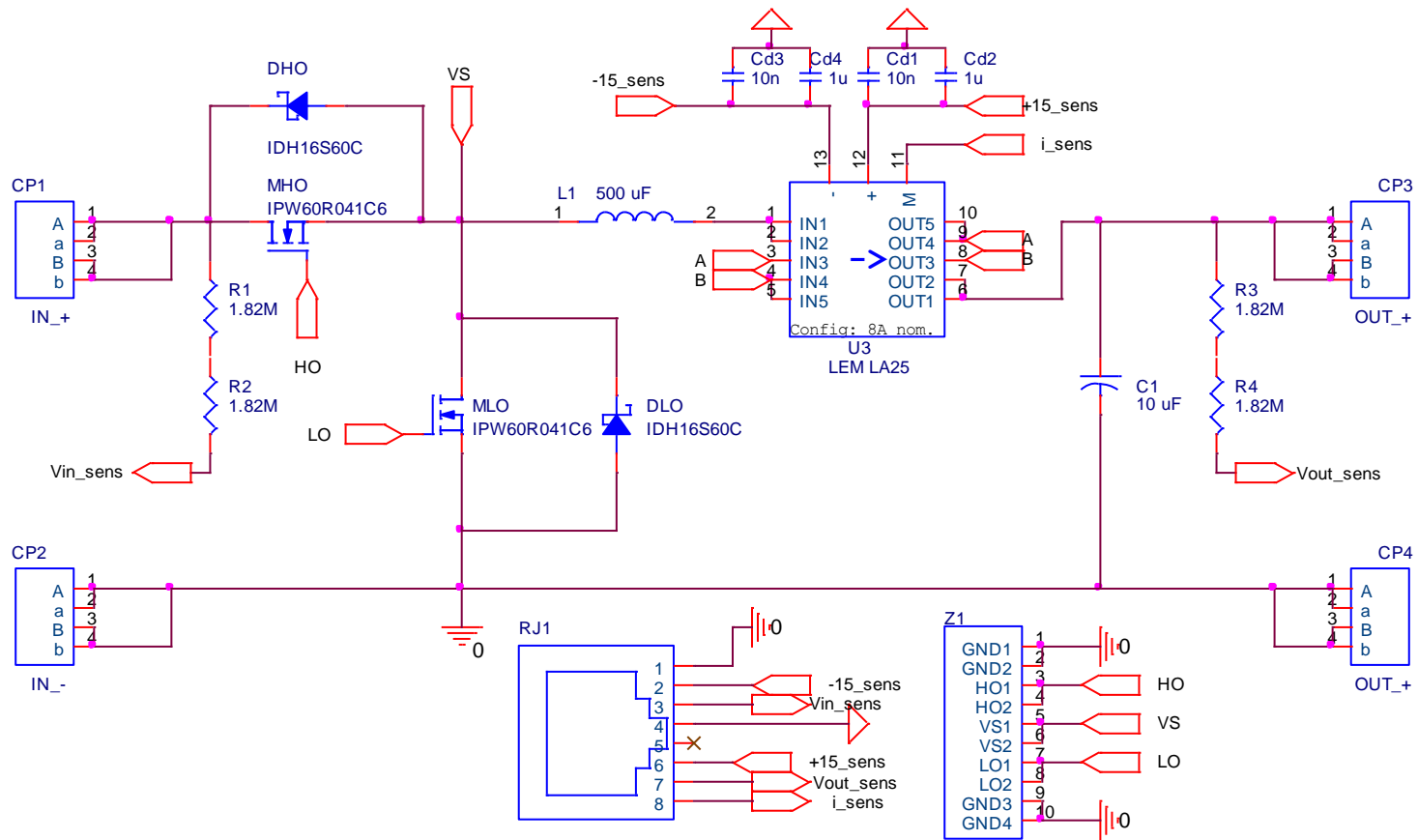
Drivers Rectificador (x2)



Etapa potència PFC (x3)

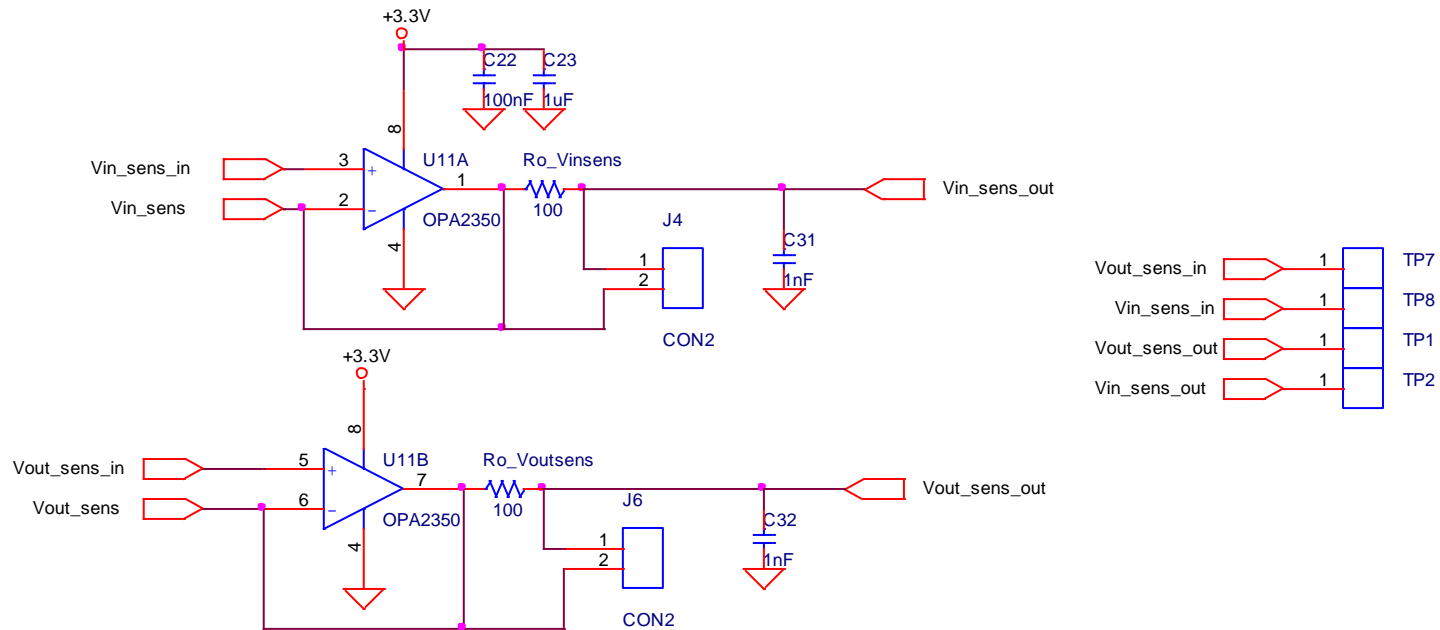


Etapa potència BCM (x3)

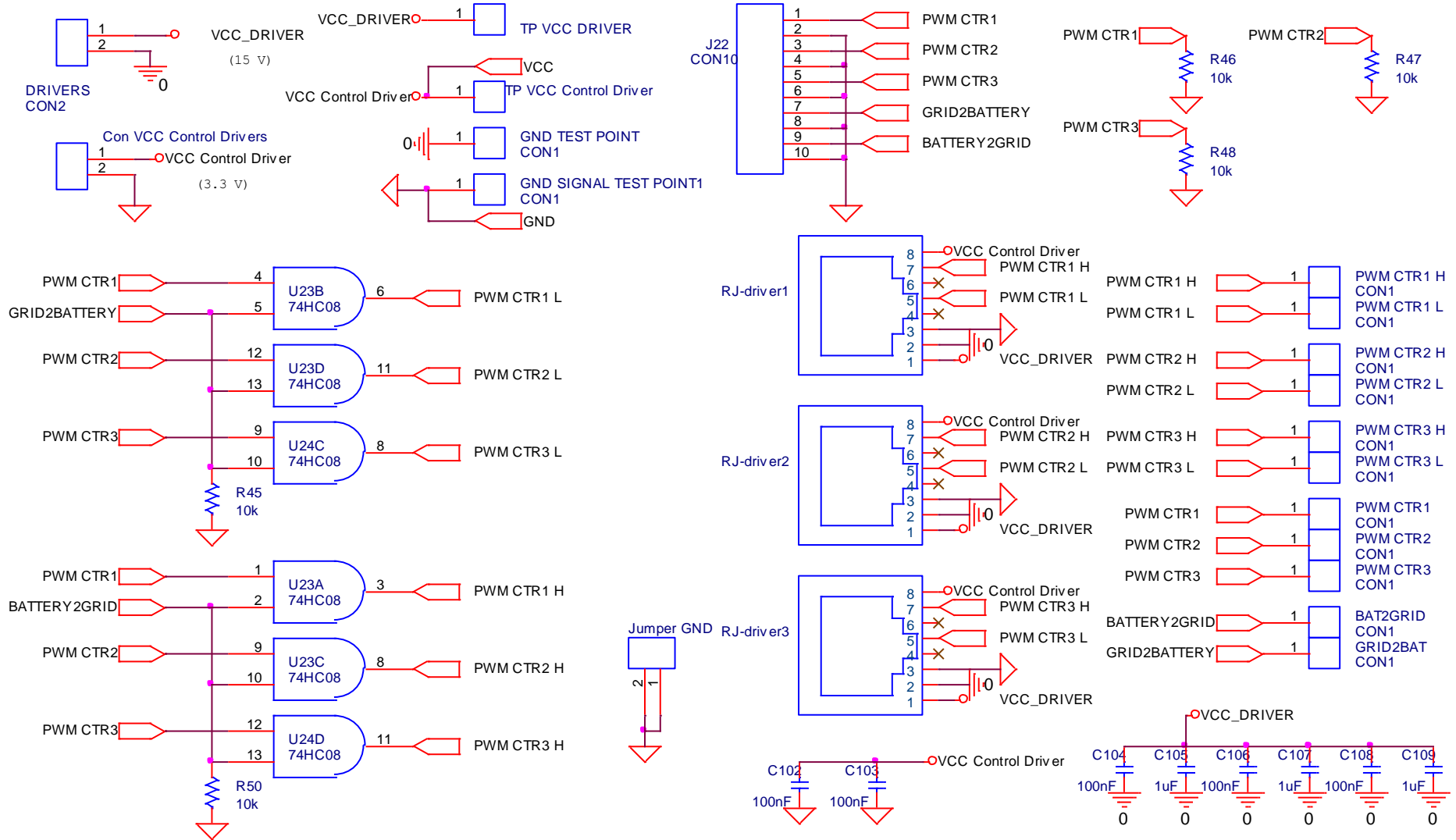


Interfície PFC

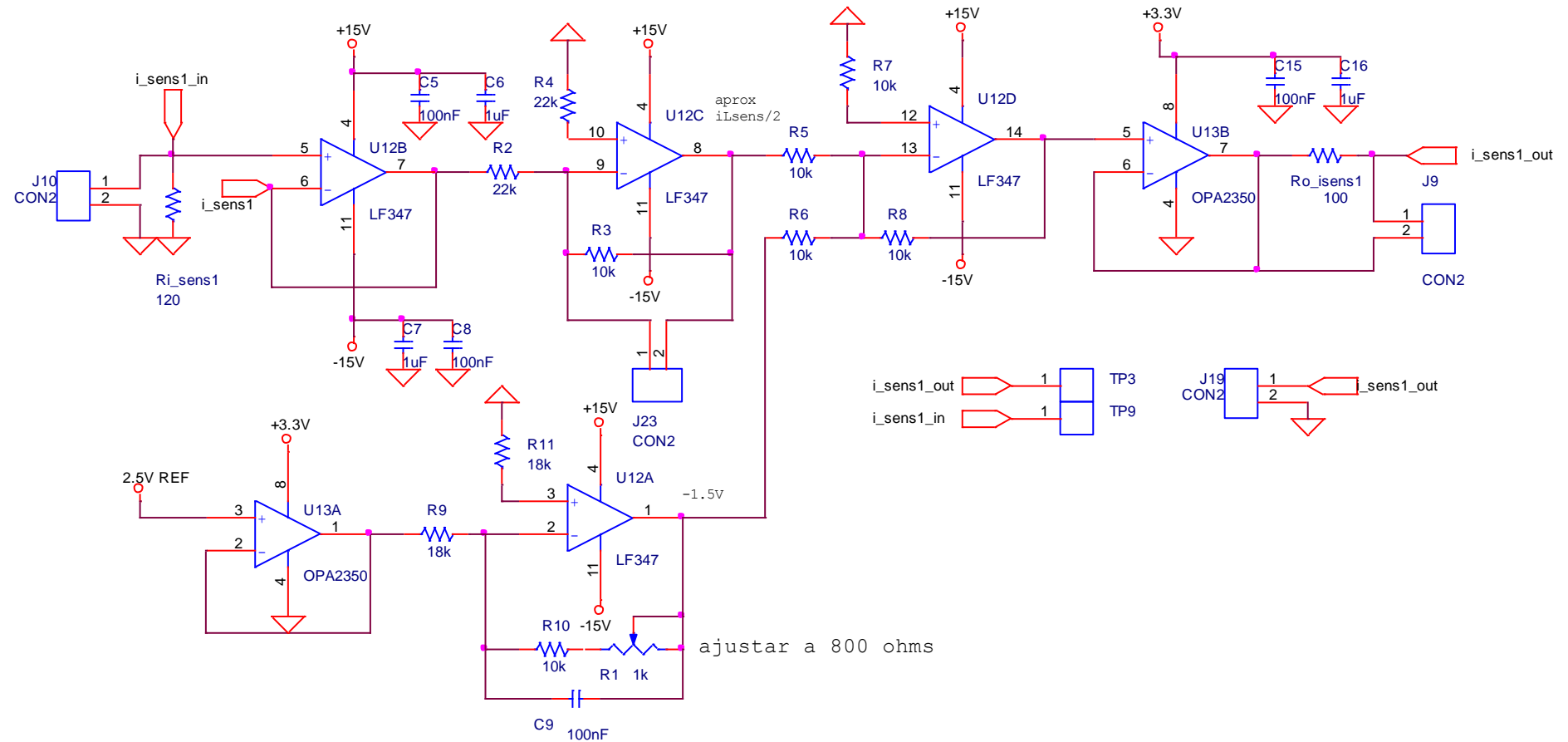
- Amplificador de Tensió



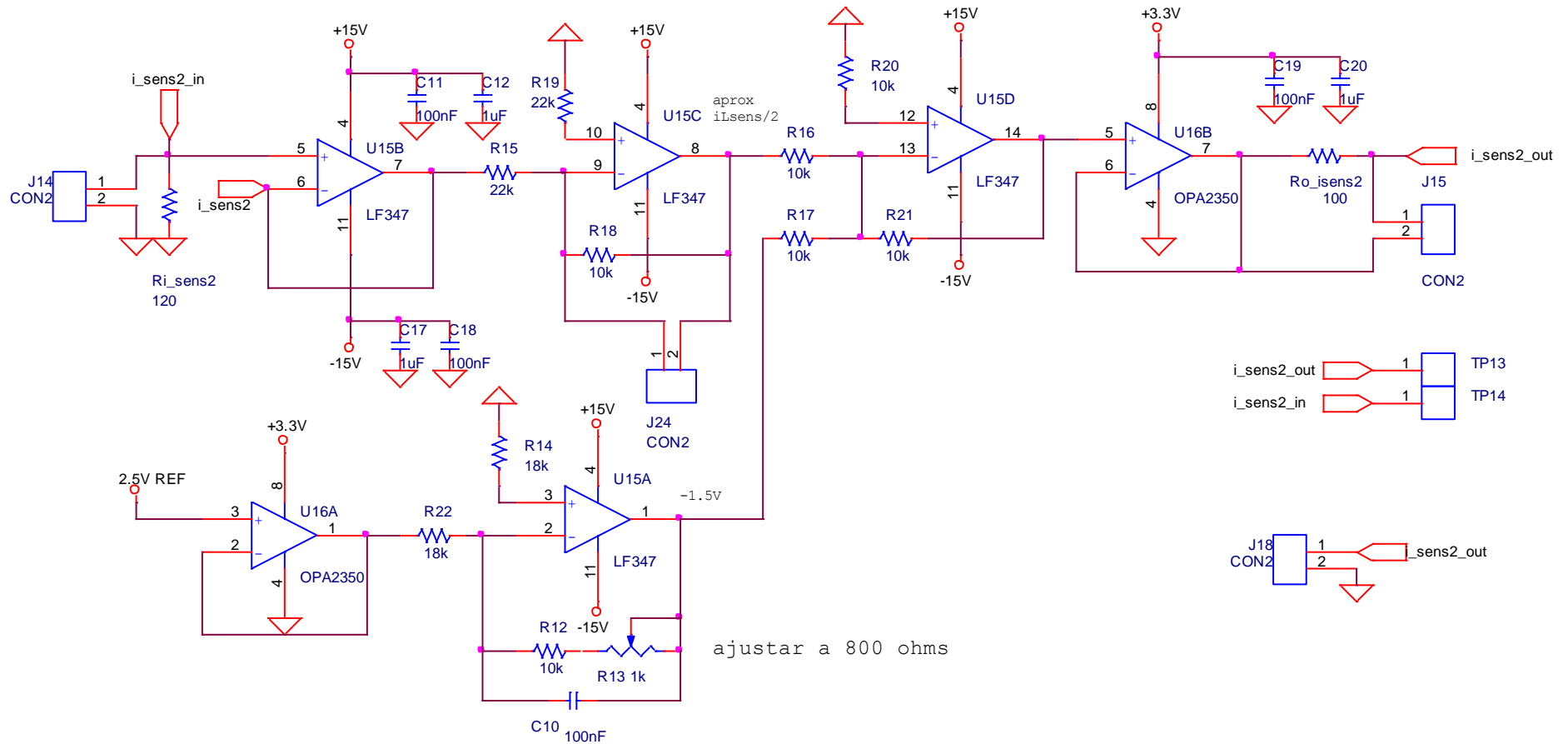
- **Control Drivers**



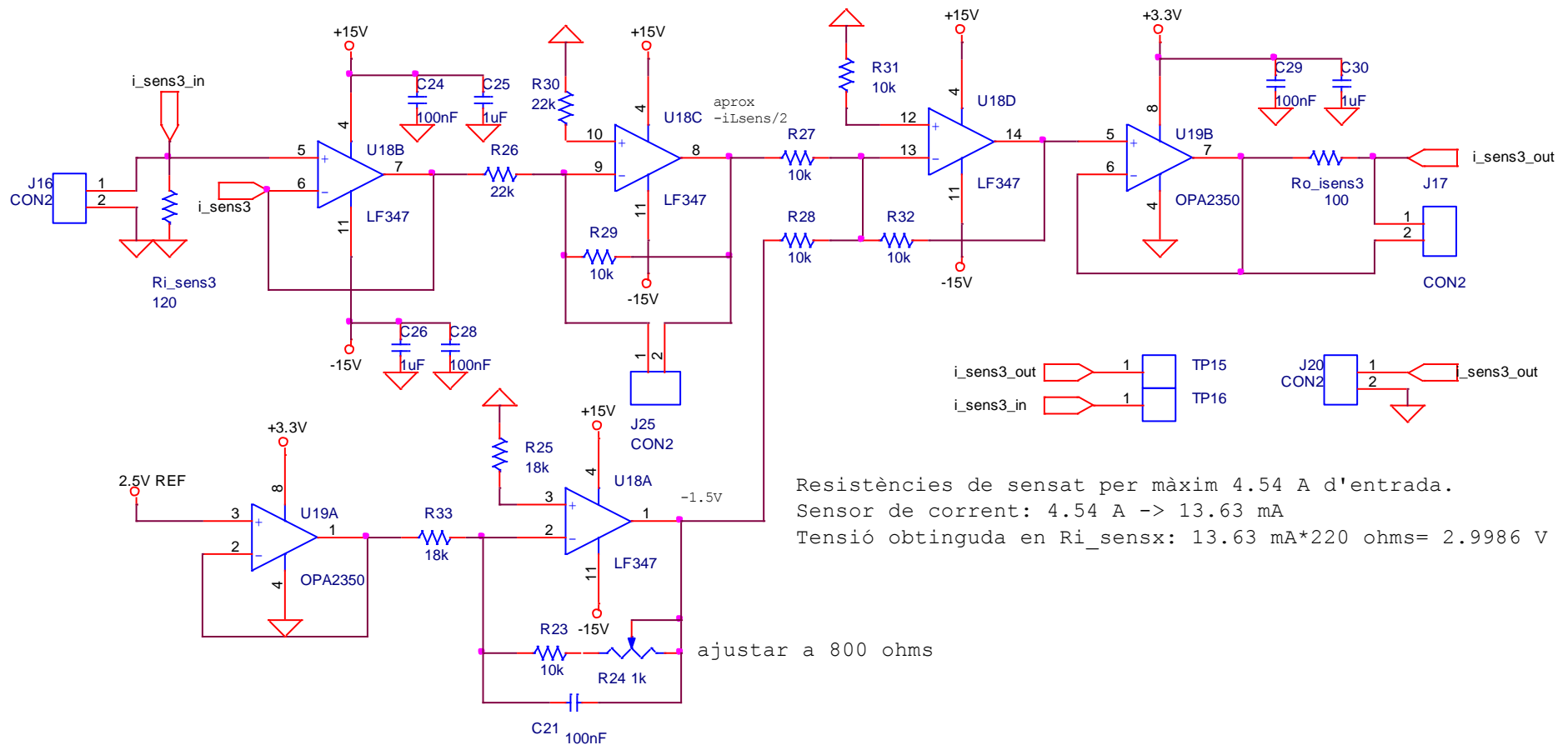
- **Corrent 1**



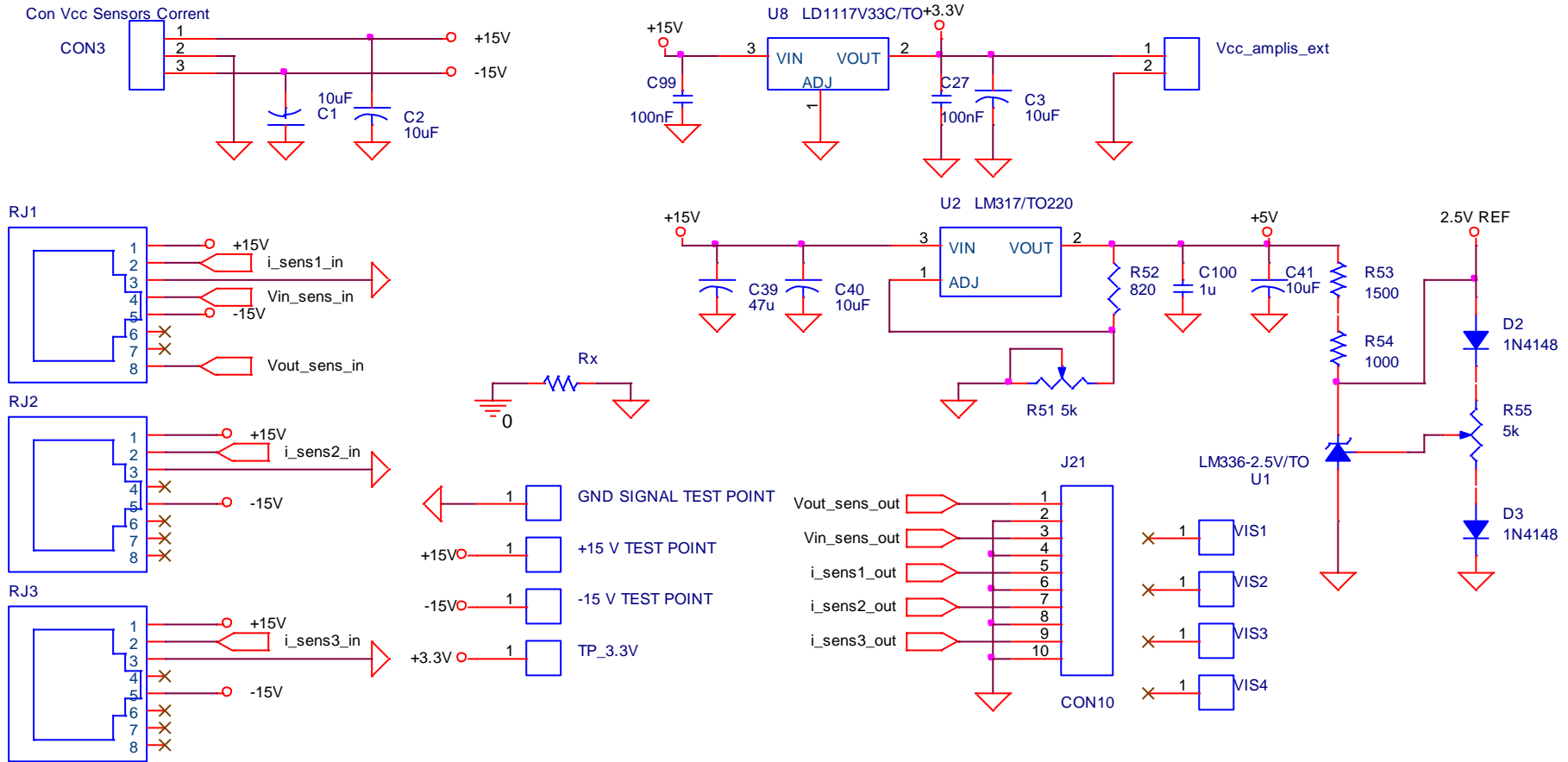
- **Corrent 2**



- **Corrent 3**

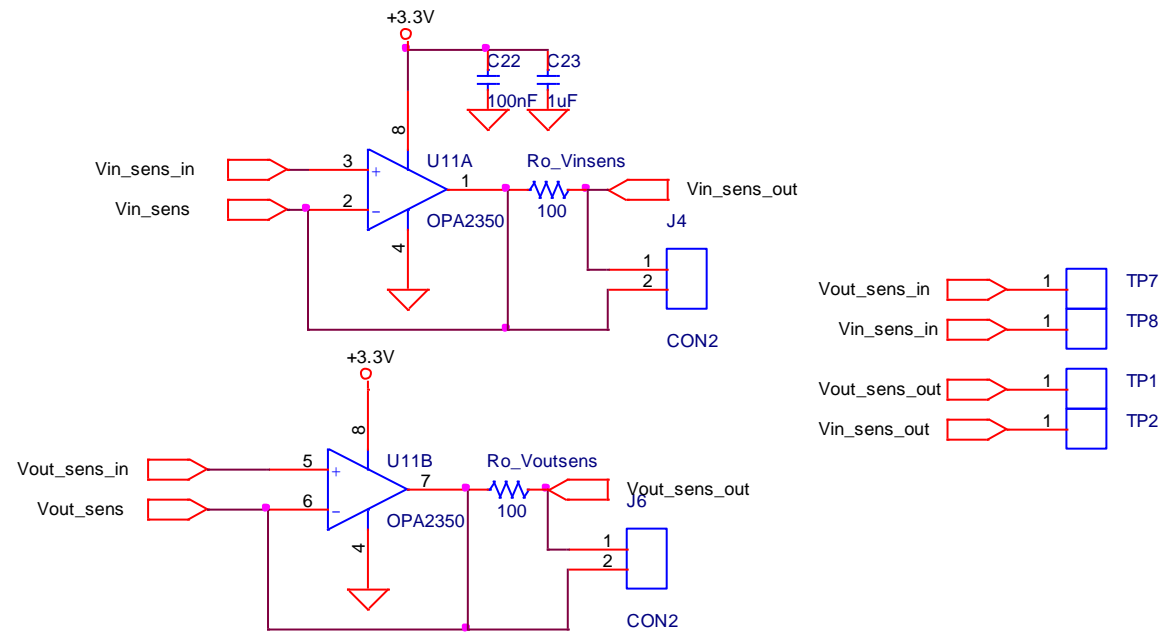


- **Interfície**

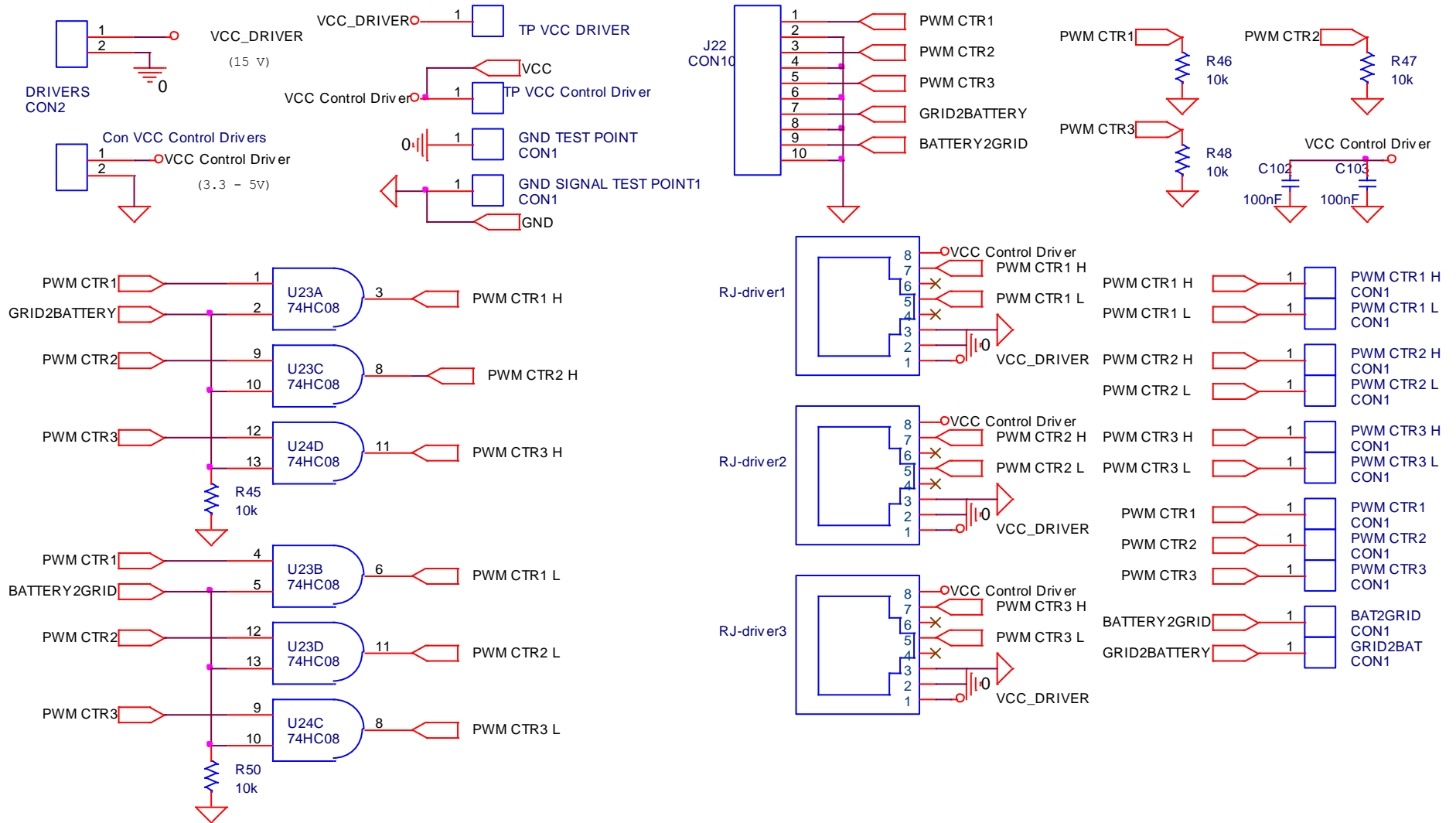


Interfície BCM

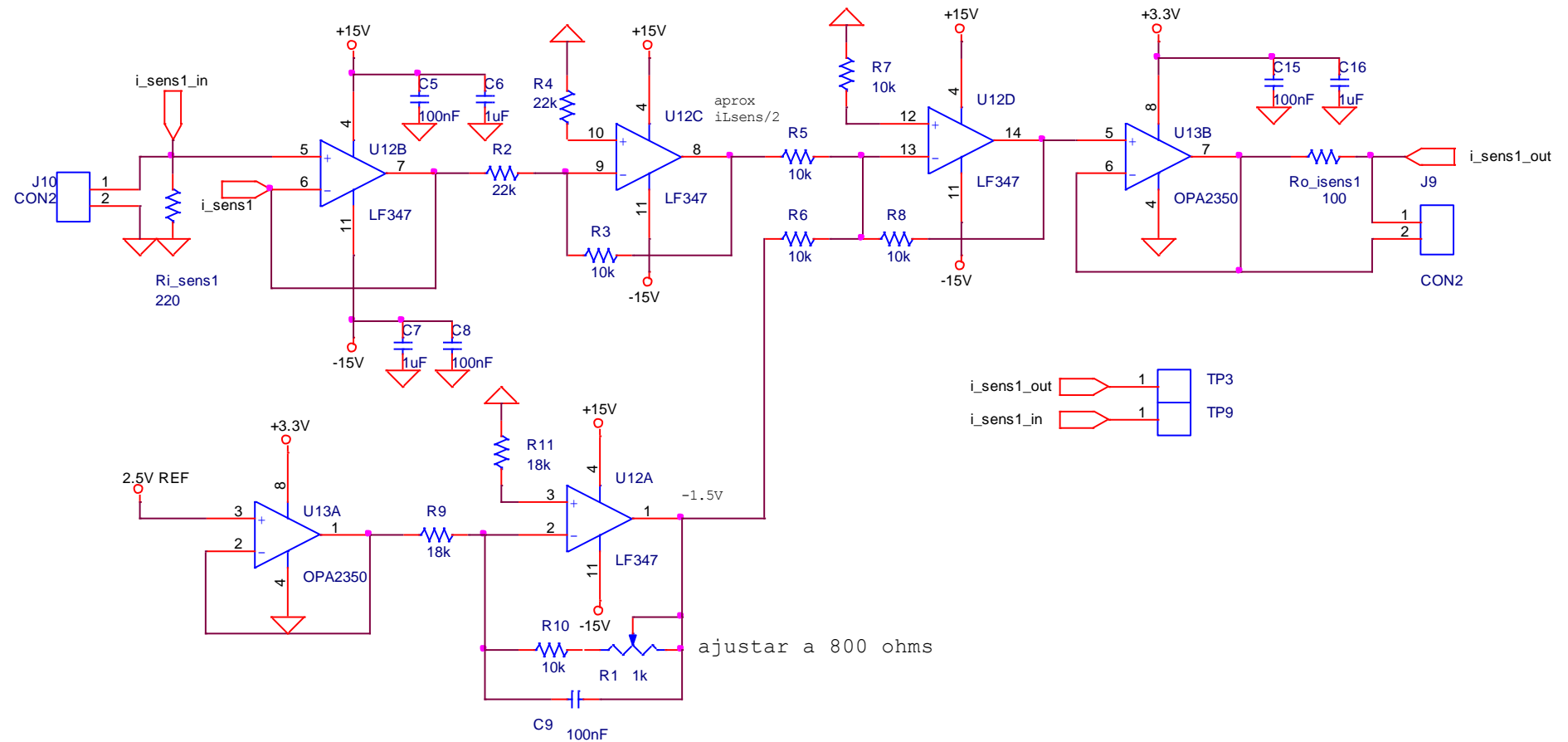
- Amplificadors de tensió



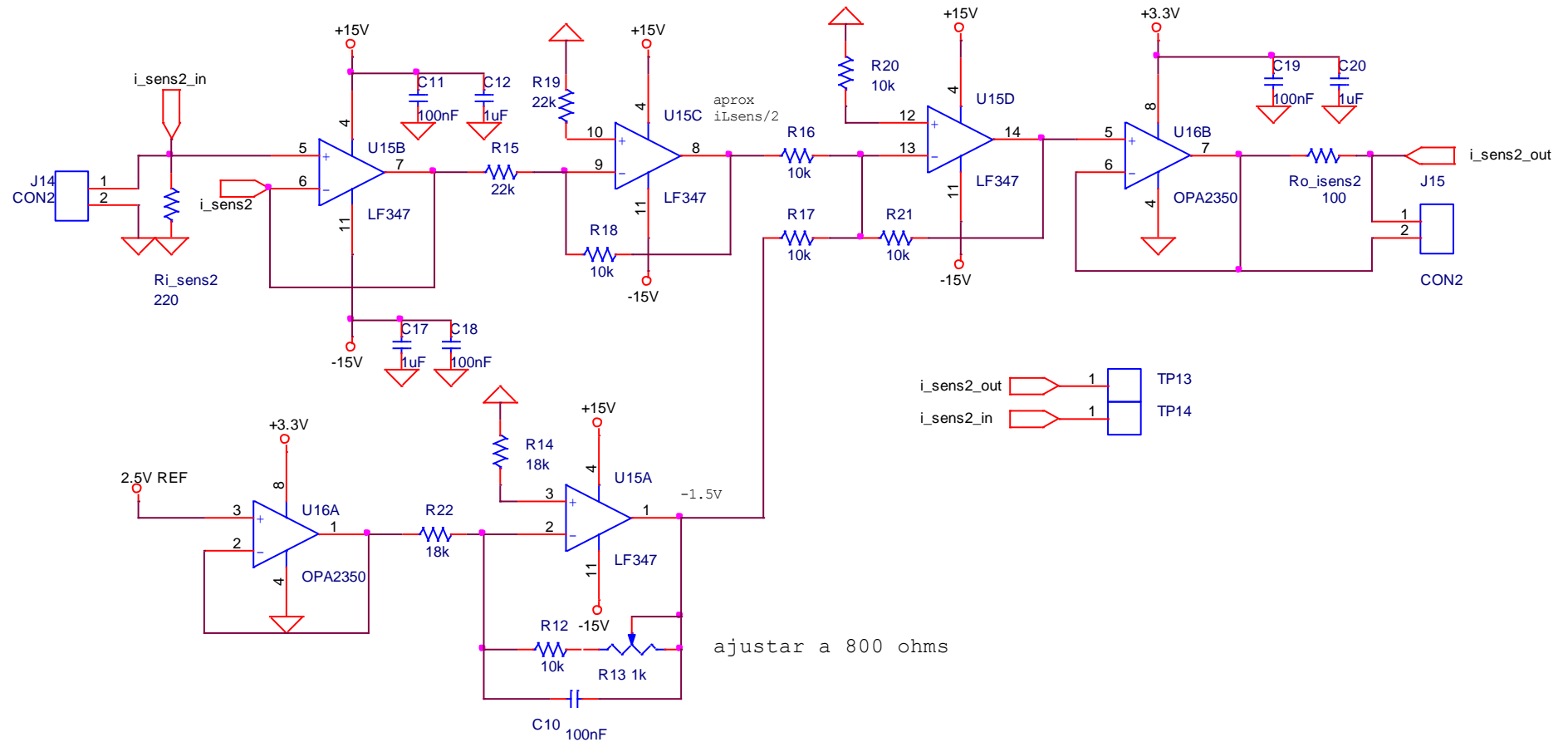
Connectors i enables drivers



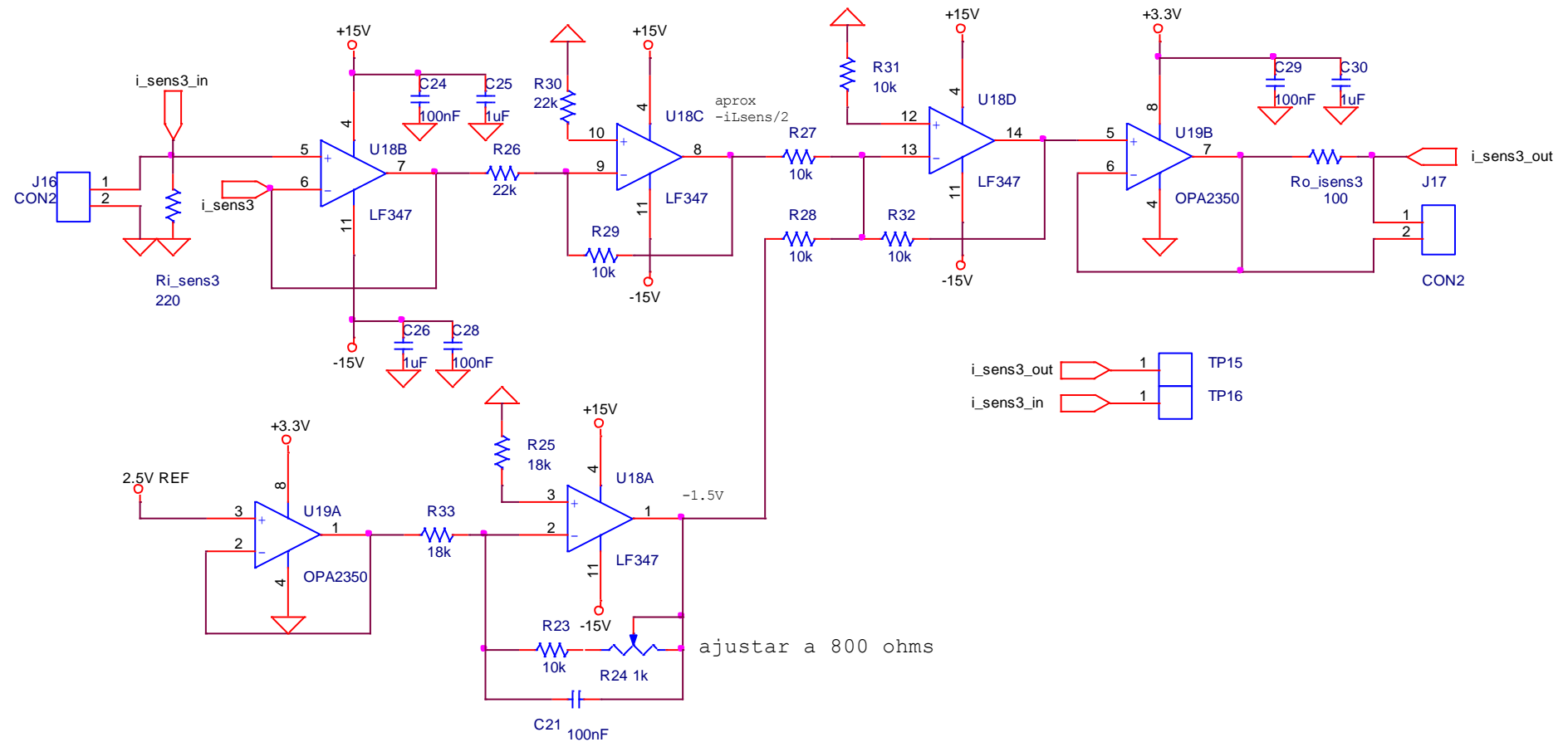
- **Corrent 1**



- **Corrent 2**

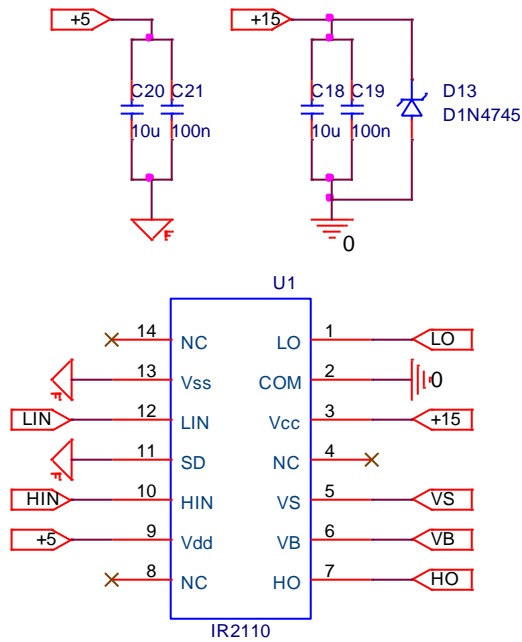


- **Corrent 3**

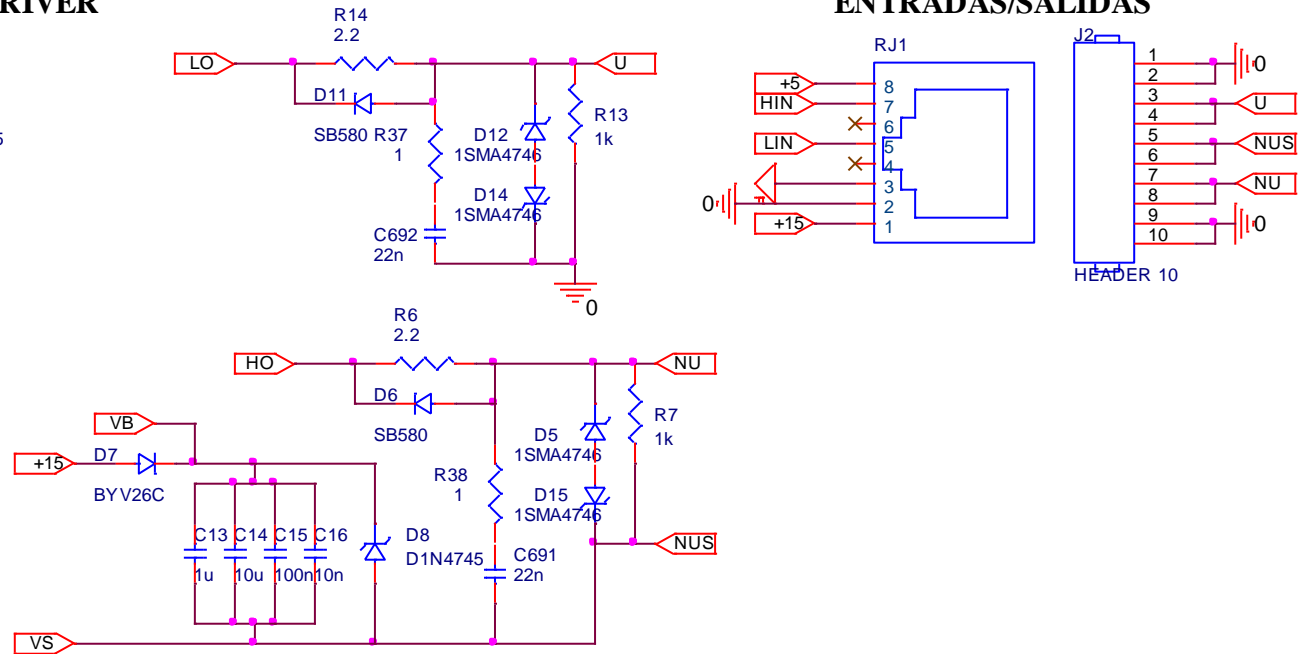


Drivers PFC i BCM (x6)

DRIVER

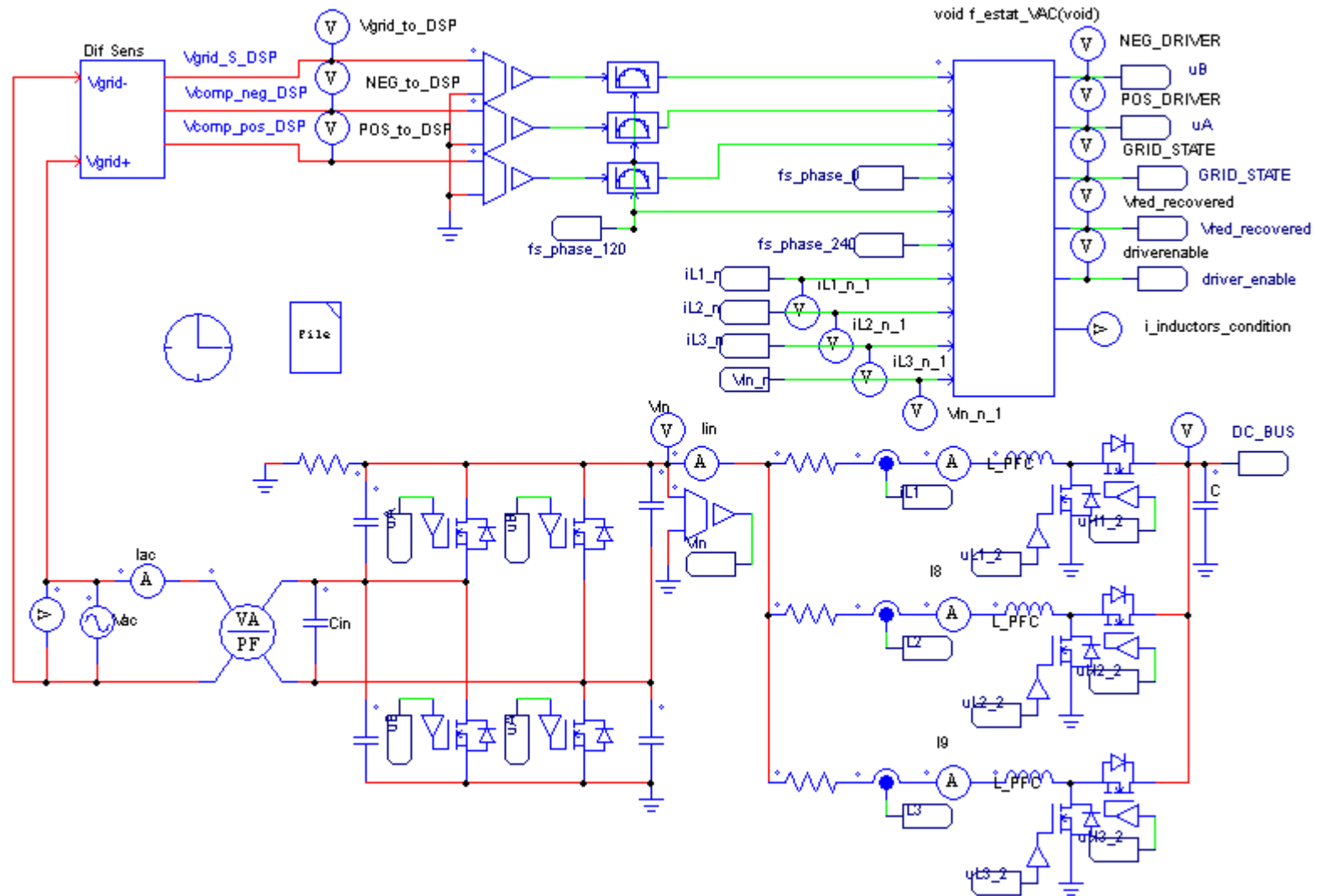


ENTRADAS/SALIDAS

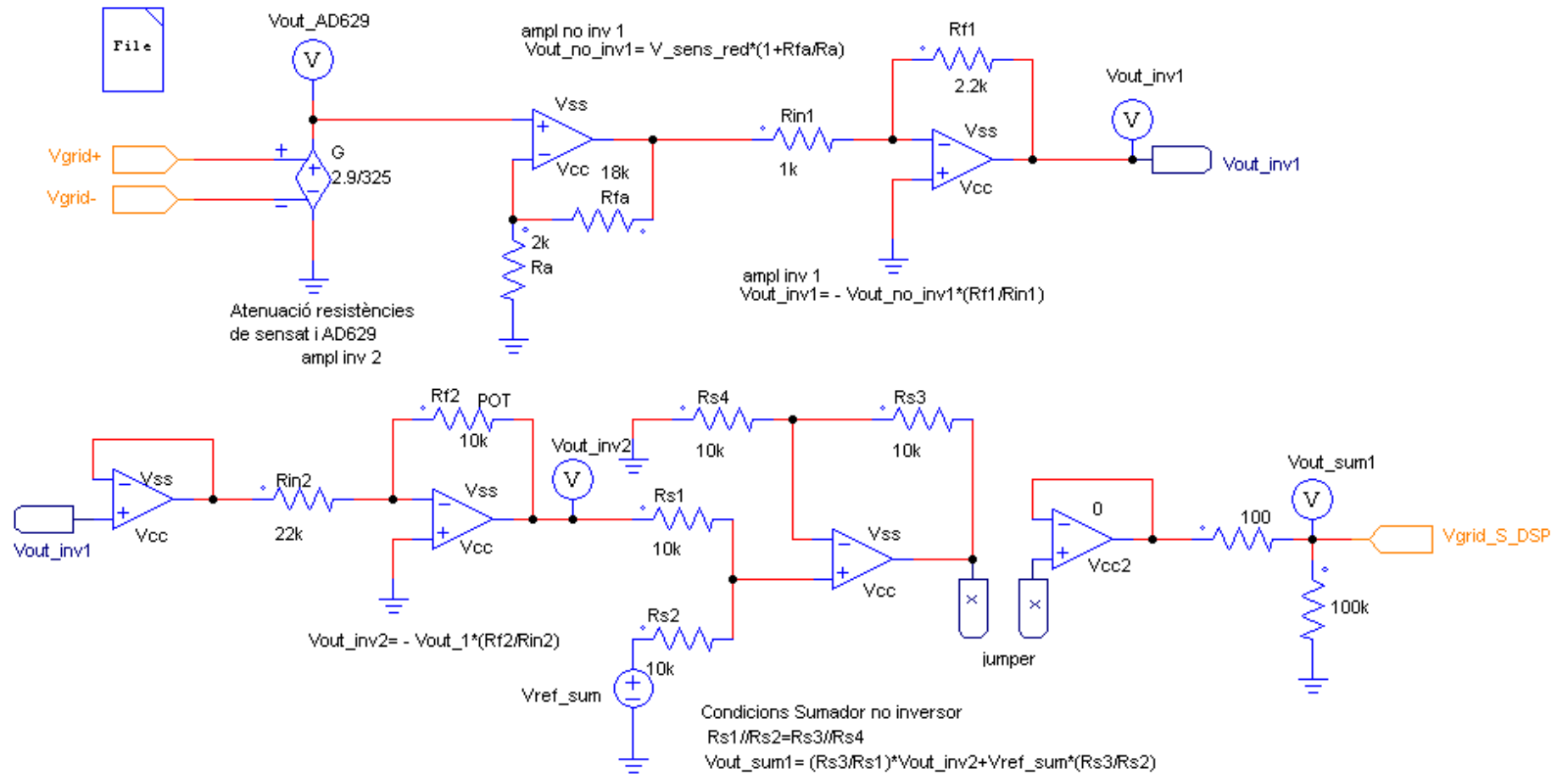


Annex B – Esquemàtics simulacions PSIM

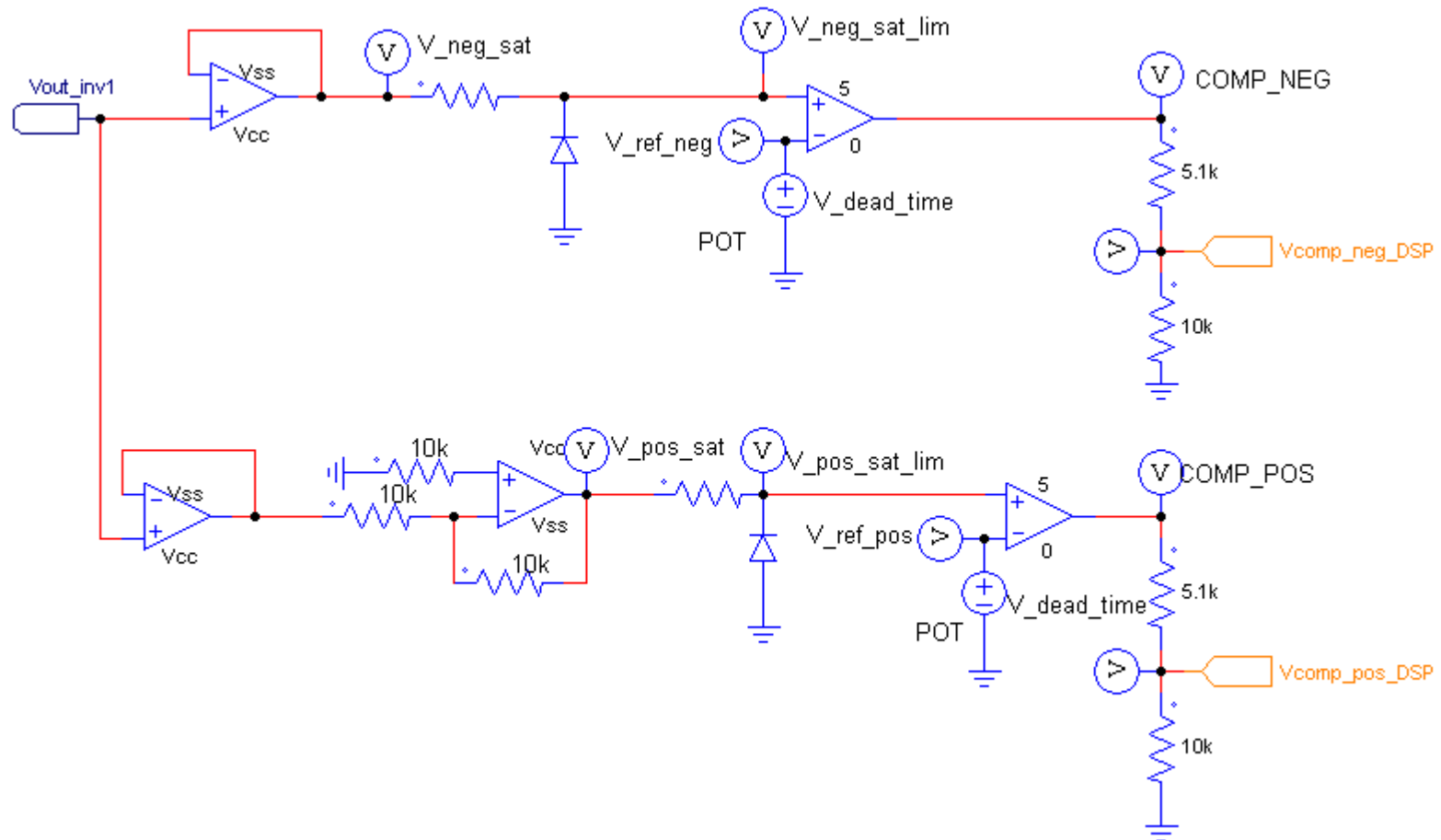
- Pont síncron i controlador del pont



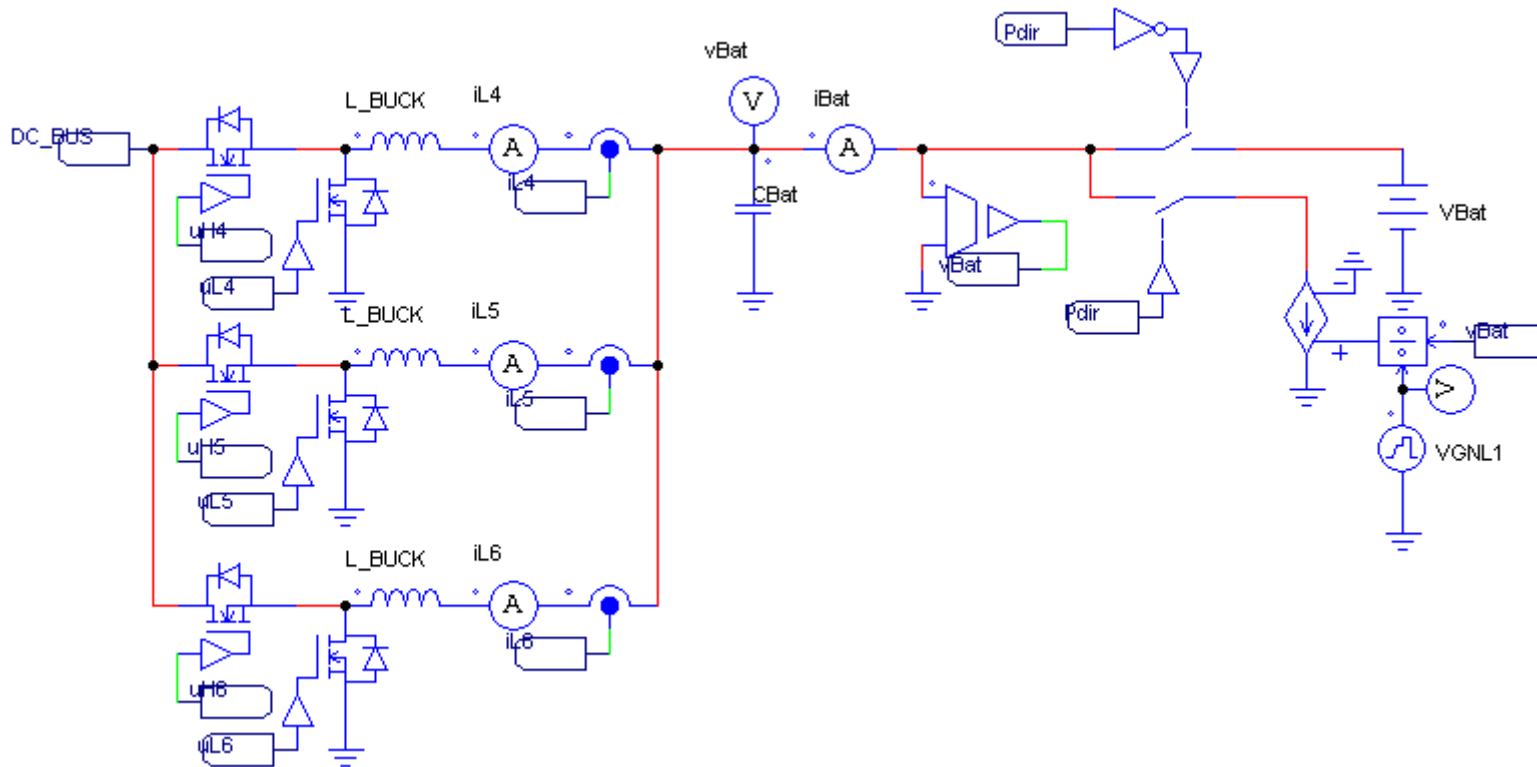
- **Bloc (Dif Sens) 1/2**



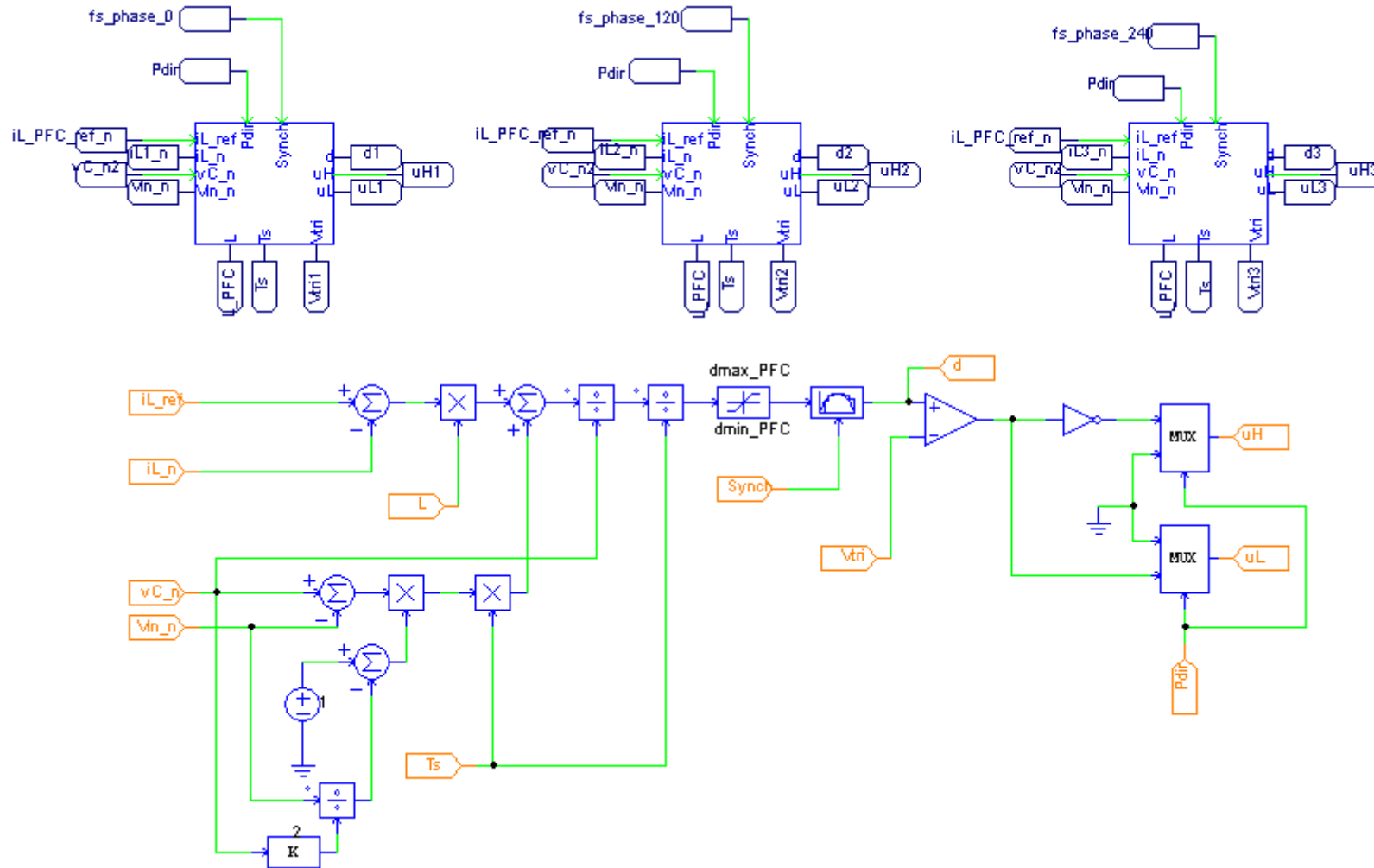
- **Bloc (Dif Sens) 2/2**



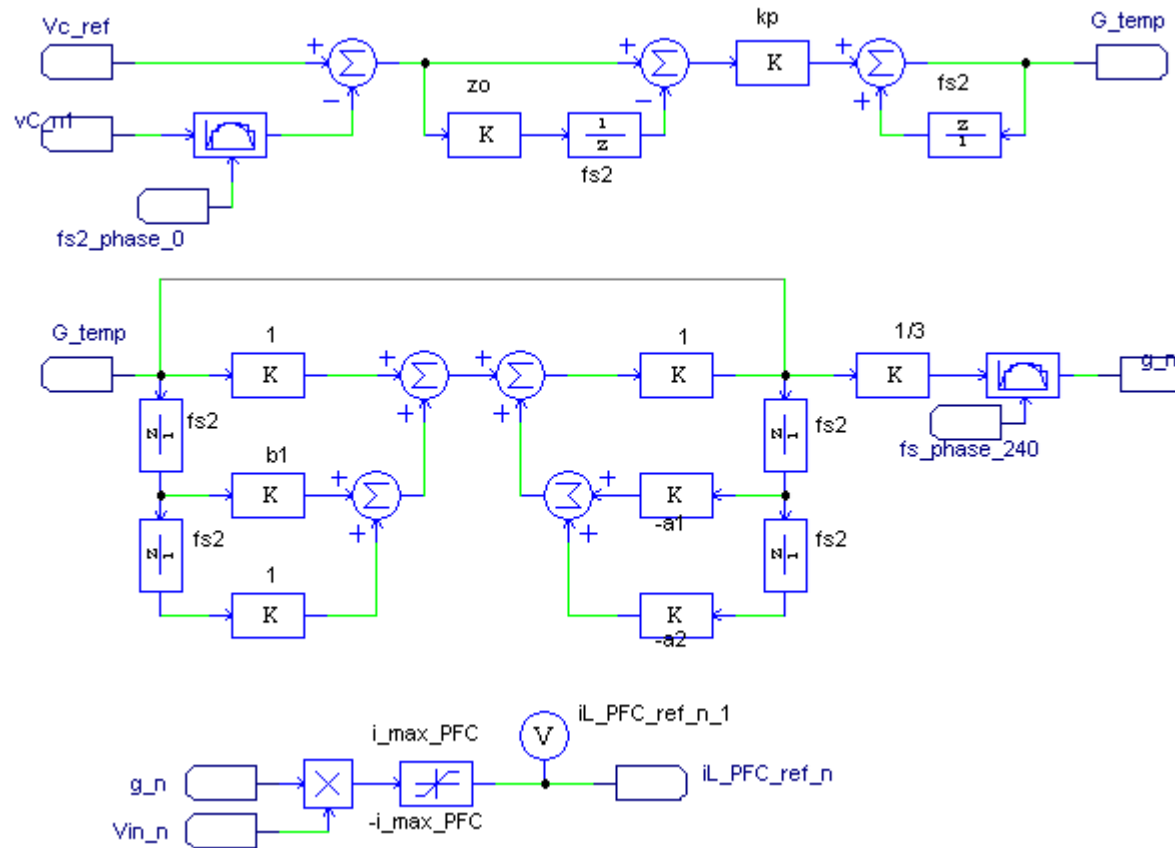
- **Eta**pa PFC i BCM



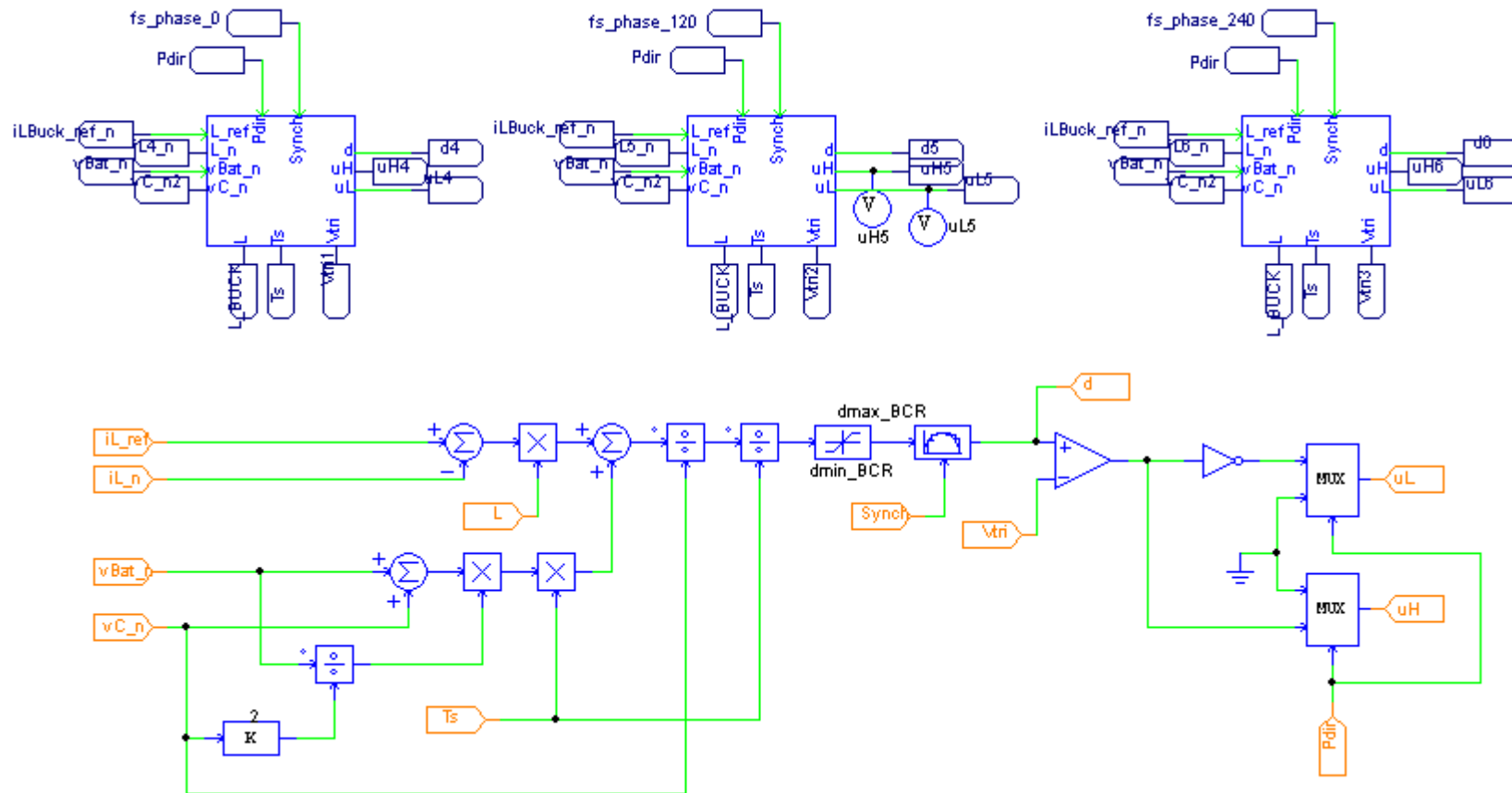
- Control etapa PFC



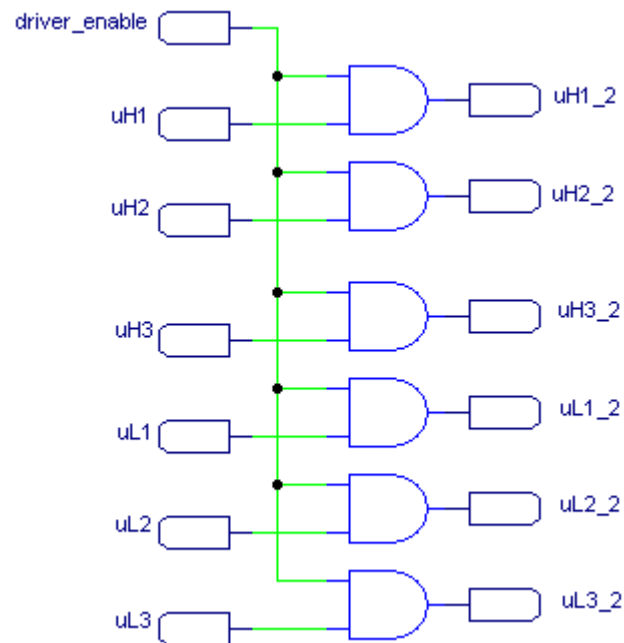
- Referència de corrent etapa PFC



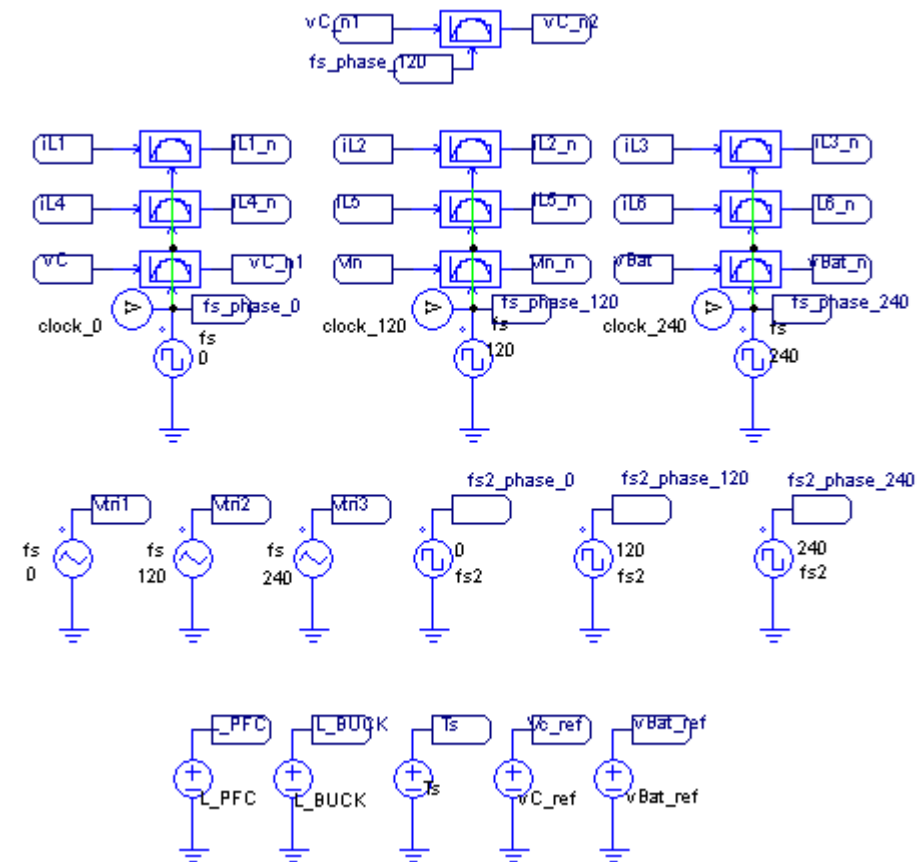
- Control etapa BCM



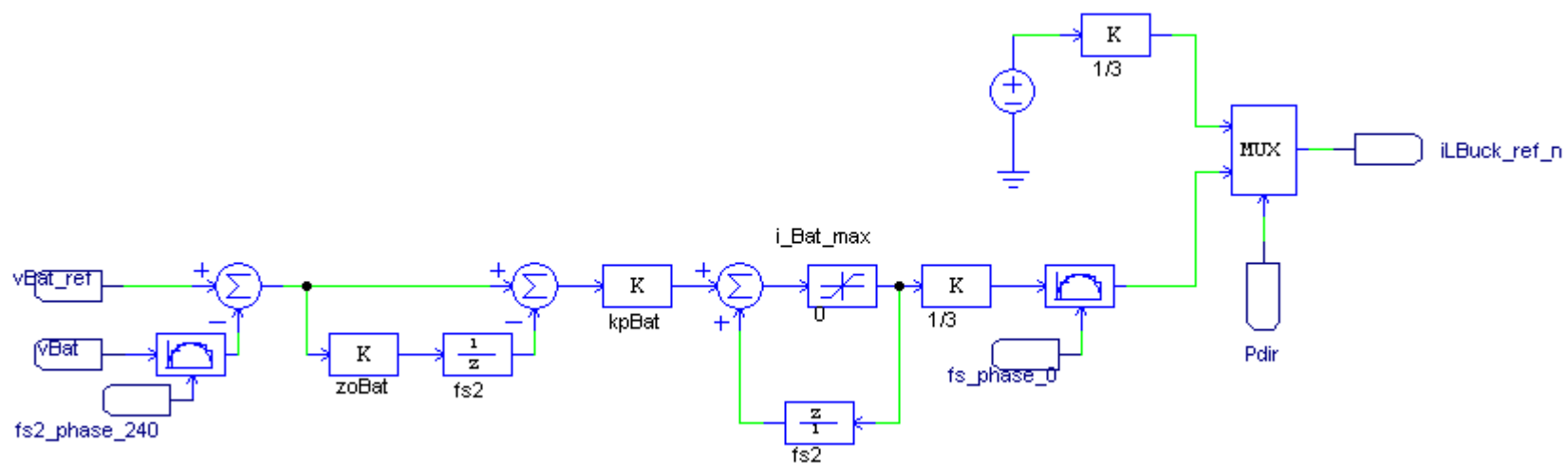
- Lògica dels senyals de control (Habilitadors)



- Senyals de sincronització i desratització



- Referència de corrent etapa BCM



Annex C – Codi programa DSP

```

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// CODE INFORMATION
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// Target:      TMS320F2833x
// Date:        10/08/2016
// Coders:      Adrià Marcos
//              Juan Miguel Salmerón Mir
// Aim:         Control d'un carregador de bateries de coche elèctric
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// CODE INFORMATION
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// INCLUDE FILES
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
#include "PeripheralHeaderIncludes.h"
#include "DSP2833x_EPwm_defines.h"
#include "math.h"
#include "C28x_FPU_FastRTS.h"
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// FINAL INCLUDE FILES
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// DECLARACIÓ DE CONSTANTS
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
//Configure which ePWM timer interrupts are enabled at the PIE level
#define PWM1_INT_ENABLE    1        //1 = enabled, 0 = disable

//Definició Valors per PWM
#define PWM1_TIMER_TBPRD   2499     //--->2499---> 60 kHz
#define SartOfConversion   2475     //Sincronitza mostres ADC 2490
#define DC                  0        //Cicle de treball inicial
//

// Definicions ADC
#define CANAL_VC            0xD      //Direcció CANAL B5
#define CANAL_VIN          0xC      //Direcció CANAL B4
#define CANAL_iL1          0xB      //Direcció CANAL B3
#define CANAL_iL2          0xA      //Direcció CANAL B2
#define CANAL_iL3          0x9      //Direcció CANAL B1
#define CANAL_VRED         0x4      //Direcció CANAL A4
#define CANAL_iL4          0x3      //Direcció CANAL A3
#define CANAL_iL5          0x2      //Direcció CANAL A2
#define CANAL_iL6          0x1      //Direcció CANAL A1
#define CANAL_VBAT         0x0      //Direcció CANAL A0
#define gain_ADC           7.32601e-4 // (3/4095)
#define t_adc              0.1e-6 // Temps ADC sincr
//

// Definició dels paràmetres-guanys fixes del sistema
#define gain_Vin           90.400e-3 // (Vin_sens)/(3/4096)*(Vi/Visens) mirar excel
#define gain_Vc            131.550e-3 // (Vc_sens)/(3/4096)*(Vc/Vcsens) 130.8645e-3
#define gain_Vbat          109.500e-3 // (Vbat_sens)/(3/4096)*(Vbat/Vbatsens)

```

```

#define gain_iL1      6.280  //((iL_sens)(3/4095)-VREF)*gain_iL456guany placa
#define gain_iL2      6.280  //((iL_sens)(3/4095)-VREF)*gain_iL456guany placa
#define gain_iL3      6.280  //((iL_sens)(3/4095)-VREF)*gain_iL456guany placa
#define gain_iL4      3.33   //((iL_sens)(3/4095)-VREF)*gain_iL456guany placa
#define gain_iL5      3.33   //((iL_sens)(3/4095)-VREF)*gain_iL456guany placa
#define gain_iL6      3.33   //((iL_sens)(3/4095)-VREF)*gain_iL456guany placa
#define gain_Vred     8.21e-3 //Vred=((Vred_sens*guany_ADC)1.5)*guany_Vred=
                          //((Vred_sens*guany_ADC*guany_Vred)-(1.5*guany_Vred)
#define VREF          1.5    //Referència de tensió de 1.5 V pin 1 dels LF347
#define constant_Vred 16.81 //=(Vred_sens*gain_Vred)-constant_Vred, farem servir
//aquesta expressió simplificada on guany_ADC=3/4095 i guany_Vred=16.81/1.5 ja
//que la placa fa que 16.81Vreals->1.5V gain_Vred=(3/4096)*Guany_Sensat_Placa,
//Guany_Sensat_Placa= 12/(12+2*560)

//Offsets
#define offset_chiL1  0.0     //desviació respecte el 0
#define offset_chiL2  0.0     //desviació respecte el 0
#define offset_chiL3  0.0     //desviació respecte el 0
#define offset_chiL4  0.0     //desviació respecte el 0
#define offset_chiL5  0.0     //desviació respecte el 0
#define offset_chiL6  0.0     //desviació respecte el 0
//

//Correcció empírica etapa BCM
#define Vf_max        7.5
#define Vf_min        2.0
#define alpha         0.1
#define a11           -0.03000 //Pendent rampa compensació
#define a22           14.4286  //Terme independent
//

//Valors inductàncies i freq de commutació
#define Fs            60e3     //Fsw=60kHz
#define L1            626e-6   //Inductància 1
#define L2            626e-6   //Inductància 2
#define L3            626e-6   //Inductància 3
#define L4            730e-6   //Inductància 4
#define L5            730e-6   //Inductància 5
#define L6            730e-6   //Inductància 6
//

//Límits conductàncies
#define G_max         0.08     //Màxima admitància
#define g_max         0.05     //Màxima admitància d'1 boost //per 230 V estava a 0.02
#define G_min         0.0      //Màxima admitància
#define g_min         0.0      //Màxima admitància d'1 boost
//

//Constants red
#define VAC_230       230.0    //rms
#define VAC_110       110.0    //rms
#define grid_type     1        //1==230 Vrms; 2==110 Vrms
//

//Definició paràmetres de control
#define surf0         0        //s=gVin(n)-iL1(n)
#define surf1         1
#define dboost_min    0.14
#define dboost_max    0.99    //Cicle de treball màxim.

```

```
#define dbuck_min      0.52
#define dbuck_max      0.99
#define d_delay_buck   0.0    //Retràs activació desactivació MOSFET
#define d_delay_boost  0.0
#define il_pfc_max     9.0    //(+/-) Referència màxima de corrent.
#define il_pfc_min     0.00   //Referència mínima de corrent.
#define il_pfc_exit    9.0
#define il_buck_exit   4.9
//

//Llaç de tensió
#define k1              0.999   //Guany k1
#define k2              0.00045 //Guany k2
#define Vc_inici_pre   310.0
#define Vc_ref         400.0    //Tensió ref DC-link
#define Vc_max         440.0    //Tensió màxima permesa al DC-link.
#define eVc_max        100
#define eVc_min        -100
//

//Filtre notch
#define a1              -1.9761
#define a2              0.9801
#define b0              1       //a multiplicar amb x0
#define b1              -1.9961 //a multiplicar amb x1
#define b2              1       //a multiplicar amb x2
//

//Llaç tensio Bateria
#define kpBat          0.1295
#define zoBat          0.9926
#define VBat_ref      380.0
//

//Current refs second stage
#define iBat_ref_max   7.9     //referencia de corrent inicial
#define iBat_ref_min   0       //referencia de corrent final
//

//Tipus control average o valley
#define valley         0       //control valley
#define average        1       //control valor mig
#define Ctr_pfc        average //tipus de control de corrent fase 1.
#define Ctr_stage2     average //tipus de control de corrent fase 2
//

//Estat RED
#define INICIAL        0       //Permet gestionar el primer semicicle
#define POS            1
#define NEG            2
#define D_TIME_B       3       //De + a -
#define D_TIME_P       4       //De - a +
#define ESPERA_B       6       //Espera a condició externa descativar la sortida positiva
#define ESPERA_P       7       //Espera a condició externa descativar la sortida negativa
//

//Constants index accés llaços
#define INDEX_INICIAL  3
#define INDEX_FILTRE_NOTCH 4
```

```

#define INDEX_LOOP_DC_LINK    5
#define INDEX_LOOP_P_Bat     6

//Constants per funció fred
#define IL_CONDITION 0.05 //Condició corrents es consideren 0.
#define N_SEMICICLES 0    //Semicicles a despreciar al inici referenciar drivers
//

//----- SUPERVISOR -----
//
//Valors a modificar per canviar la potència que extreiem de la bateria
#define P_BAT_WITHDRAWN      800 //Potència a retirar de la bateria en Watts
#define I_BAT_REF_B2G        3    //Referència de corrent etapa 2 en B2G
//

//Selecció Mode Carregador
#define M_OFF 0 //system off
#define M_G2B 1 //Grid-to-Battery. Absorvim potència de la xarxa. Stage 1:
//Boost Mode (MOS L side). Stage 2: Buck Mode (MOS H side).
#define M_B2G 2 //Battery-to-Grid. Entreguem potència a la xarxa. Stage 1:
//Buck (MOS H side). Stage2: Boost Mode (MOS L side).
#define MODE M_G2B //system mode
//
//-----

//Constants per tests
#define NO_TEST 0 // Funcionament nominal
//Drivers convertidors
#define DRIVERS_CONVERTIDORS 1 // Comprovar duties
    #define D_PFC_TEST 0.5
    #define D_BCM_TEST 0.5
//Final drivers convertidors
//GPIOs
#define GPIOS 2 // Repàs GPIOs per veure que funcionen
    #define SI 1
    #define NO 0
    #define TEST_INPUTS SI
    #define TEST_OUTPUTS SI
    #define TEST_SENYALS_ADC NO
//Final GPIOs
//Etapa PFC //d_Boost=1-(Vin/Vout)
#define ETAPA_PFC 3 //Boost en mode G2B, Buck en mode B2G
    #define CLOSED_LOOP_PFC SI //NO: llaç obert //SI: llaç tancat
    #define D_PFC_TEST2 0.2 //En mode B2G el duty cycle=1-D_PFC_TEST2
    #define VC_REF_TEST 250.0//Si llaç tancat, tensió de referència
//Final etapa PFC
//Etapa BCM //d_Buck=Vout/Vin
#define ETAPA_BCM 4 //Buck en mode G2B, Boost en mode B2G
    #define CLOSED_LOOP_BCM SI //NO: llaç obert //SI: llaç tancat
    #define D_BCM_TEST2 0.90 //En mode B2G el duty cycle=-D_BCM_TEST2
    #define REF_POT SI //Si: ref potència NO: Per corrent
    #define PBAT_REF_TEST_BCM 250 //Referència pot entregar/extreure bat
    #define IBAT_REF_TEST_BCM 1.0 //Referència corrent per a
//entregar/extreure a la bat

//Final etapa BCM
//Sensors de corrent
#define SENSORS_CORRENTS 5 //Atenció no posar els dos en SI
    #define SENSORS_PFC NO //M_G2B i alimentació entrada PFC
    #define SENSORS_BCM SI //M_B2G i alimentació sortida BCM

```

```

#define MODE_TEST_SENS_CORRENT M_B2G //M_B2G o M_G2B : per provar que
//llegeix valors positius i negatius.

//Final sensors de corrent
//Pont MOSFETs
#define PONT_MOSFETS_SOL 6 // Només pont MOSFETs
#define PONT_MOSFETS_AMB_PFC 7 // Sense BCM.
#define PONT_MOSFETS 8 // Amb carregador prova en mode G2B.
//Final pont MOSFETs
//Sensor Tensió
#define SENSORS_TENSIO 9
//
#define TEST PONT_MOSFETS
//Final constants per tests

//Funcions addicionals
#define REFERENCIAR_DRIVERS NO //SI: referència drivers costat alt en
//funció G2B ó B2G. NO: no referència

#define CORRECCIO_BCM_VF SI
//

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// FINAL DECLARACIÓ DE CONSTANTS
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// FUNCTION PROTOTYPES
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
double EQ_DC_BOOST(double IL, double IL_OFFSET, double IL_REF, double LFS, double
DEN, double INV_2VOUT, double VIN, double VOUT, int CTR);
double EQ_DC_BUCK(double IL, double IL_OFFSET, double IL_REF, double LFS, double
DEN, double VOUT, double VIN, int CTR);
void DeviceInit(void);
void ini_interrupts(void);
void enable_interrupts(void);
void ini_timers(void);
void InitEPwmTimer(void);
void InitAdc(void);
void config_ADC(void);
void ready2run(void);
void retard_ini(void);
void stop_system(void);
interrupt void cpu_timer0_isr(void);
interrupt void epwm1_timer_isr(void);
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// FINAL FUNCTION PROTOTYPES
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// GLOBAL VARIABLES DECLARATION
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
volatile Uint16 temps=0;
volatile Uint16 segons=0;
volatile Uint32 count_pwm=0;
volatile Uint16 fase=0;
int i_inductors_condition=1;
char estat_red_f=INICIAL;
double il1=0.0;
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// FINAL GLOBAL VARIABLES DECLARATION

```

```

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// FUNCTION DEFINITIONS
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
//BOOST OPERATION
//Function for valley of average control. Receives data of the system and type of
Control to be applied
//Return Duty Cycle for Boost operation.
double EQ_DC_BOOST(double IL, double IL_OFFSET, double IL_REF, double LFS, double
DEN, double INV_2VOUT, double VIN, double VOUT, int CTR)
{
    double DC1=0.0;
    double S_N=0.0;
    double NUM=0.0;
    if(CTR==valley) //Valley control
    {
        S_N=IL_REF-IL;
        NUM=(S_N)*LFS+VOUT-VIN;
    }
    else if(CTR==average) //Average control
    {
        S_N=IL_REF-IL;
        NUM=(S_N)*LFS+(VOUT-VIN)*(1-VIN*INV_2VOUT); //Average tipus
    }
    DC1=NUM*DEN;
    DC1=DC1-d_delay_boost; //Compensació retràs desactivació MOSFET.
    if(DC1<dboost_min) DC1=dboost_min;
    else if(DC1>dboost_max) DC1=dboost_max;
    return(DC1);
}

//-----
//BUCK OPERATION
//Function for valley of average control. Receives data of the system and type of
Control to be applied
//Return Duty Cycle for Buck operation
double EQ_DC_BUCK(double IL, double IL_OFFSET, double IL_REF, double LFS, double
DEN, double VOUT, double VIN, int CTR)
{
    double DC2=0.0;
    double S_N=0.0;
    double NUM=0.0;
    if(CTR==valley) //Valley control
    {
        S_N=IL_REF-IL;
        NUM=(S_N)*LFS+VOUT;
    }
    else if(CTR==average) //Average control
    {
        S_N=IL_REF-IL;
        NUM=(S_N)*LFS+0.5*VOUT*(1+VOUT*DEN);
    }
    DC2=NUM*DEN;
    DC2=DC2-d_delay_buck; //Compensació retràs desactivació MOSFET.
    if(DC2<dbuck_min) DC2=dbuck_min;
    else if(DC2>dbuck_max) DC2=dbuck_max;
    return(DC2);
}

```

```

//-----Initialization functions-----
void ini_interrupts(void)
{
    // Disable CPU interrupts
    DINT;
    // Initialize the PIE control registers to their default state.
    // The default state is all PIE interrupts disabled and flags
    // are cleared.
    //InitPieCtrl();
    // Disable CPU interrupts and clear all CPU interrupt flags:
    IER = 0x0000;
    IFR = 0x0000;
    // Initialize the PIE vector table with pointers to the shell Interrupt
    // Service Routines (ISR).
    //InitPieVectTable();
    // Interrupts that are used in this example are re-mapped to
    // ISR functions found within this file.
    EALLOW; // This is needed to write to EALLOW protected registers
    PieVectTable.TINT0 = &cpu_timer0_isr; //direcció de la ISR del TIMER0
    PieVectTable.EPWM1_INT = &epwm1_timer_isr; //adreça del PWM1
    EDIS; // This is needed to disable write to EALLOW protected registers
}

void enable_interrupts(void)
{
    IER |= M_INT1; // Enable CPU INT1 which is connected to CPU-Timer 0
    IER |= M_INT3; // Enable CPU INT3 which is connected to EPWM1-6 INT:

    // Enable TINT0 in the PIE: Group 1 interrupt 7
    PieCtrlRegs.PIEIER1.bit.INTx7=1; //(pagina 124) TMS320x2833x, 2823x
    //System Control Interrupts Reference Guide
    PieCtrlRegs.PIEIER3.bit.INTx1 = 1; // Enable EPWM INTn in the PIE: Group 3
    //interrupt 1-6

    // Enable global Interrupts and higher priority real-time debug events:
    EINT; // Enable Global interrupt INTM
    ERTM; // Enable Global realtime interrupt DBGM
}

void ini_timers(void)
{
    //Timer0
    // Initialize timer period:
    CpuTimer0Regs.PRD.all =150000; //temps 1 ms
    // Set pre-scale counter to divide by 1 (SYSCLKOUT):
    CpuTimer0Regs.TPR.all=0;
    CpuTimer0Regs.TPRH.all=0;
    // Initialize timer control register:
    CpuTimer0Regs.TCR.bit.TSS = 1; // 1 = Stop timer, 0 = Start/Restart Timer
    CpuTimer0Regs.TCR.bit.TRB = 1; // 1 = reload timer
    CpuTimer0Regs.TCR.bit.SOFT = 0;
    CpuTimer0Regs.TCR.bit.FREE = 0; // Timer Free Run Disabled
    CpuTimer0Regs.TCR.bit.TIE = 1; // 0 = Disable/ 1 = Enable Timer Interrupt
}

void InitEPwmTimer()
{
    EALLOW;

```

```

SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0;      // Stop all the TB clocks
EDIS;
//-----INI PWM1-----
EPwm1Regs.TBPRD = PWM1_TIMER_TBPRD;        // PWM period = (TBPRD + 1) × TTCLK.
                                           // period=(1499+1)*((150MHz)^(-1))=10 us
EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Count up
EPwm1Regs.TBCTL.bit.HSPCLKDIV = 0;         // TBCLK=SYSCLKOUT
EPwm1Regs.ETSEL.bit.INTSEL = 0x2;         // Select INT on Zero event genera
                                           // interrupcio al final del PWM
EPwm1Regs.ETSEL.bit.INTEN = 0;            // PWM1_INT_ENABLE; // 0: Disable INT.
EPwm1Regs.ETPS.bit.INTPRD = ET_1ST;       // Generate INT on 1st event
EPwm1Regs.ETSEL.bit.SOCAEN = 1;           // Enable SOC on A group
EPwm1Regs.ETSEL.bit.SOCASEL = 6;          // Select SOC from CMPB=counter timer
                                           // incrementing. Lliguem SOC al CMPB

EPwm1Regs.ETPS.bit.SOCAPRD = 1;           // Generate pulse on 1st event
EPwm1Regs.CMPCTL.bit.SHDWAMODE = 1;       // Desactivem mode shadow. Permet
                                           // modificar cicle de treball

EPwm1Regs.CMPA.half.CMPA = DC;            // Cicle de treball inicial al 0 %
EPwm1Regs.CMPB = SartOfConversion;        // Llencem conversió 10 polsos

EPwm1Regs.TBCTR = 0;                      // Inicialitzem comptador TB a 0
EPwm1Regs.TBCTL.bit.PHSEN=1;
EPwm1Regs.TBPHS.half.TBPHS=1666;         //2499/2*1
EPwm1Regs.TBCTL.bit.SWFSYNC=1;

//Gestió senyal PWM. Senyal en (MODE==M_G2B) negat respecte al senyal en
(MODE==M_B2G) o (MODE==M_OFF) o error.
#if(MODE==M_B2G)
{
  EPwm1Regs.AQCTLA.bit.ZRO = 0x1;         // Inici de periode amb PWM sortida 1
  EPwm1Regs.AQCTLA.bit.CAU = 0x2;         // Sortida PWM 0 quan Ton (TBCTR==CMPA)
}
#else // (MODE==M_G2B) o (MODE==M_OFF) o error.
{
  EPwm1Regs.AQCTLA.bit.ZRO = 0x2;         // Inici de periode amb PWM sortida 0
  EPwm1Regs.AQCTLA.bit.CAU = 0x1;         // Sortida PWM 1 quan Ton (TBCTR==CMPA)
}
#endif
//

//-----INI PWM2-----
EPwm2Regs.TBPRD = PWM1_TIMER_TBPRD;        // PWM period = (TBPRD + 1) × TTCLK. PWM
                                           // period=(1499+1)*((150MHz)^(-1))=10 us
EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Count up
EPwm2Regs.TBCTL.bit.HSPCLKDIV = 0;         // TBCLK=SYSCLKOUT
EPwm2Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO; // Select INT on Zero event genera
                                           // interrupcio al principi del PWM
EPwm2Regs.ETSEL.bit.INTEN = 0;            // PWM1_INT_ENABLE; // 0: Disable INT. 1:Enable
EPwm2Regs.ETPS.bit.INTPRD = ET_1ST;       // Generate INT on 1st event
EPwm2Regs.ETSEL.bit.SOCAEN = 1;           // Enable SOC on A group
EPwm2Regs.ETSEL.bit.SOCASEL = 6;          // Select SOC from CMPB=counter timer
                                           // incrementing. Lliguem SOC al CMPA

EPwm2Regs.ETPS.bit.SOCAPRD = 1;           // Generate pulse on 1st event
EPwm2Regs.CMPCTL.bit.SHDWAMODE = 1;       // Desactivem mode shadow. Permet
                                           // modificar cicle de treball

EPwm2Regs.CMPA.half.CMPA = DC;            // Cicle de treball inicial al 0 %
EPwm2Regs.CMPB = SartOfConversion;        // llencem conversió 10 polsos

EPwm2Regs.TBCTR = 0;                      // Inicialitzem comptador TB a 0

```

```

EPwm2Regs.TBCTL.bit.PHSEN=1;
EPwm2Regs.TBPHS.half.TBPHS=833;           //2499/2*0
EPwm2Regs.TBCTL.bit.SWFSYNC=1;

//Gestió senyal PWM. Senyal en (MODE==M_G2B) negat respecte al senyal en
(MODE==M_B2G) o (MODE==M_OFF) o error.
#if(MODE==M_B2G)
{
    EPwm2Regs.AQCTLA.bit.ZRO = 0x1;      // Inici de periode amb PWM sortida 1
    EPwm2Regs.AQCTLA.bit.CAU = 0x2;      // Sortida PWM 0 quan Ton (TBCTR==CMPA)
}
#else // (MODE==M_G2B) o (MODE==M_OFF) o error.
{
    EPwm2Regs.AQCTLA.bit.ZRO = 0x2;      // Inici de periode amb PWM sortida 0
    EPwm2Regs.AQCTLA.bit.CAU = 0x1;      // Sortida PWM 1 quan Ton (TBCTR==CMPA)
}
#endif
//

//-----INI PWM3-----
EPwm3Regs.TBPRD = PWM1_TIMER_TBPRD; // PWM period = (TBPRD + 1 ) × TTCLK. PWM
// period=(1499+1)*((150MHz)^(-1))=10 us
EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Count up
EPwm3Regs.TBCTL.bit.HSPCLKDIV = 0; //TBCLK=SYSCLKOUT (CLKDIV=1 per defecte.
EPwm3Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO; // Select INT on Zero event genera
// interrupcio al principi del PWM
EPwm3Regs.ETSEL.bit.INTEN = 0; // PWM1_INT_ENABLE; // 0: Disable INT. 1:Enable INT
EPwm3Regs.ETPS.bit.INTPRD = ET_1ST; // Generate INT on 1st event
EPwm3Regs.ETSEL.bit.SOCAEN = 1; // Enable SOC on A group
EPwm3Regs.ETSEL.bit.SOCASEL = 6; // Select SOC from CMPB=counter timer
// incrementing. Lliguem SOC al CMPA
EPwm3Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
EPwm3Regs.CMPCTL.bit.SHDWAMODE =1; // Desactivem mode shadow.
EPwm3Regs.CMPA.half.CMPA =DC; // Cicle de treball inicial al 0 %
EPwm3Regs.CMPB =SartOfConversion; // llencem conversió 10 polsos

EPwm3Regs.TBCTR = 0; // Inicialitzem comptador TB a 0
EPwm3Regs.TBCTL.bit.PHSEN=1;
EPwm3Regs.TBPHS.half.TBPHS=0;           //2499/3*0
EPwm3Regs.TBCTL.bit.SWFSYNC=1;

//Gestió senyal PWM. Senyal en (MODE==M_G2B) negat respecte al senyal en
(MODE==M_B2G) o (MODE==M_OFF) o error.
#if(MODE==M_B2G)
{
    EPwm3Regs.AQCTLA.bit.ZRO = 0x1;      // Inici de periode amb PWM sortida 1
    EPwm3Regs.AQCTLA.bit.CAU = 0x2;      // Sortida PWM 0 quan Ton (TBCTR==CMPA)
}
#else // (MODE==M_G2B) o (MODE==M_OFF) o error.
{
    EPwm3Regs.AQCTLA.bit.ZRO = 0x2;      // Inici de periode amb PWM sortida 0
    EPwm3Regs.AQCTLA.bit.CAU = 0x1;      // Sortida PWM 1 quan Ton (TBCTR==CMPA)
}
#endif
//

//-----INI PWM4-----
EPwm4Regs.TBPRD = PWM1_TIMER_TBPRD; // PWM period = (TBPRD + 1 ) × TTCLK.
// PWM period=(1499+1)*((150MHz)^(-1))=10 us
EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Count up

```

```

EPwm4Regs.TBCTL.bit.HSPCLKDIV = 0; // TBCLK=SYSCLKOUT
EPwm4Regs.ETSEL.bit.INTSEL = 0x2;
EPwm4Regs.ETSEL.bit.INTEN = 0; // PWM1_INT_ENABLE; // 0: Disable INT. 1:Enable INT
EPwm4Regs.ETSEL.bit.SOCAEN = 1; // Enable SOC on A group
EPwm4Regs.ETSEL.bit.SOCASEL = 6; // Select SOC from CMPB=counter timer
// incrementing. Lliguem SOC al CMPA
EPwm4Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
EPwm4Regs.ETPS.bit.INTPRD = ET_1ST; // Generate INT on 1st event
EPwm4Regs.CMPCTL.bit.SHDWAMODE = 1; // Desactivem mode shadow. Permet modificar
// cicle de treball en període actual
EPwm4Regs.CMPA.half.CMPA = DC; // Cicle de treball inicial al 0 %
EPwm4Regs.CMPB = SartOfConversion; // llencem conversió 10 polsos

EPwm4Regs.TBCTR = 0; // Inicialitzem comptador TB a 0
EPwm4Regs.TBCTL.bit.PHSEN=1;
EPwm4Regs.TBPHS.half.TBPHS=1666; //2499/3*2
EPwm4Regs.TBCTL.bit.SWFSYNC=1;

//Gestió senyal PWM. Senyal en (MODE==M_G2B) negat respecte al senyal en
(MODE==M_B2G) o (MODE==M_OFF) o error.
#if(MODE==M_B2G)
{
    EPwm4Regs.AQCTLA.bit.ZRO = 0x1; // Inici de període amb PWM sortida 1
    EPwm4Regs.AQCTLA.bit.CAU = 0x2; // Sortida PWM 0 quan Ton (TBCTR==CMPA)
}
#else // (MODE==M_G2B) o (MODE==M_OFF) o error.
{
    EPwm4Regs.AQCTLA.bit.ZRO = 0x2; // Inici de període amb PWM sortida 0
    EPwm4Regs.AQCTLA.bit.CAU = 0x1; // Sortida PWM 1 quan Ton (TBCTR==CMPA)
}
#endif
//

//-----INI PWM5-----
EPwm5Regs.TBPRD = PWM1_TIMER_TBPRD; // PWM period = (TBPRD + 1 ) x TTCLK. PWM
// period=(1499+1)*((150MHz)^(-1))=10 us
EPwm5Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Count up
EPwm5Regs.TBCTL.bit.HSPCLKDIV = 0; // TBCLK=SYSCLKOUT
EPwm5Regs.ETSEL.bit.INTSEL = 0x2; // Select INT on Zero event genera
// interrupció al final del PWM
EPwm5Regs.ETSEL.bit.INTEN = 0; // PWM1_INT_ENABLE; // 0: Disable INT. 1:Enable INT
EPwm5Regs.ETPS.bit.INTPRD = ET_1ST; // Generate INT on 1st event
EPwm5Regs.ETSEL.bit.SOCAEN = 1; // Enable SOC on A group
EPwm5Regs.ETSEL.bit.SOCASEL = 6; // Select SOC from CMPB=counter
// timer incrementing. Lliguem SOC al CMPA
EPwm5Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
EPwm5Regs.CMPCTL.bit.SHDWAMODE = 1; // Desactivem mode shadow. Permet modificar
// cicle de treball en període actual
EPwm5Regs.CMPA.half.CMPA = DC; // Cicle de treball inicial al 0 %
EPwm5Regs.CMPB = SartOfConversion; // llencem conversió 10 polsos

EPwm5Regs.TBCTR = 0; // Inicialitzem comptador TB a 0
EPwm5Regs.TBCTL.bit.PHSEN=1;
EPwm5Regs.TBPHS.half.TBPHS=833; //2499/3*2
EPwm5Regs.TBCTL.bit.SWFSYNC=1;

//Gestió senyal PWM. Senyal en (MODE==M_G2B) negat respecte al senyal en
(MODE==M_B2G) o (MODE==M_OFF) o error.
#if(MODE==M_B2G)

```

```

{
    EPwm5Regs.AQCTLA.bit.ZRO = 0x1;          // Inici de periode amb PWM sortida 1
    EPwm5Regs.AQCTLA.bit.CAU = 0x2;          // Sortida PWM 0 quan Ton (TBCTR==CMPA)
}
#else // (MODE==M_G2B) o (MODE==M_OFF) o error.
{
    EPwm5Regs.AQCTLA.bit.ZRO = 0x2;          // Inici de periode amb PWM sortida 0
    EPwm5Regs.AQCTLA.bit.CAU = 0x1;          // Sortida PWM 1 quan Ton (TBCTR==CMPA)
}
#endif
//

//-----INI PWM6-----
EPwm6Regs.TBPRD = PWM1_TIMER_TBPRD;         // PWM period = (TBPRD + 1) x TBCLK. PWM
//period=(1499+1)*((150MHz)^(-1))=10 us
EPwm6Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // Count up
EPwm6Regs.TBCTL.bit.HSPCLKDIV = 0;          // TBCLK=SYSCLKOUT
EPwm6Regs.ETSEL.bit.INTSEL = 0x2;
EPwm6Regs.ETSEL.bit.INTEN = 0; // PWM1_INT_ENABLE; // 0: Disable INT. 1:Enable INT
EPwm6Regs.ETPS.bit.INTPRD = ET_1ST;        // Generate INT on 1st event
EPwm6Regs.ETSEL.bit.SOCAEN = 1;            // Enable SOC on A group
EPwm6Regs.ETSEL.bit.SOCASEL = 6;           // Select SOC from CMPB=counter timer
// incrementing. Lliguem SOC al CMPA
EPwm6Regs.ETPS.bit.SOCAPRD = 1;            // Generate pulse on 1st event
EPwm6Regs.CMPCTL.bit.SHDWAMODE = 1;        // Desactivem mode shadow. Permet
modificar cicle de treball en periode actual
EPwm6Regs.CMPA.half.CMPA = DC;              // Cicle de treball inicial al 0 %
EPwm6Regs.CMPB = SartOfConversion;         // llencem conversió 10 polsos abans fi
periode
EPwm6Regs.TBCTR = 0;                        // Inicialitzem comptador TB a 0
EPwm6Regs.TBCTL.bit.PHSEN = 1;
EPwm6Regs.TBPHS.half.TBPHS = 0;            // 2499/3*2
EPwm6Regs.TBCTL.bit.SWFSYNC = 1;

//Gestió senyal PWM. Senyal en (MODE==M_G2B) negat respecte al senyal en
(MODE==M_B2G) o (MODE==M_OFF) o error.
#if (MODE==M_B2G)
{
    EPwm6Regs.AQCTLA.bit.ZRO = 0x1;         // Inici de periode amb PWM sortida 1
    EPwm6Regs.AQCTLA.bit.CAU = 0x2;         // Sortida PWM 0 quan Ton (TBCTR==CMPA)
}
#else // (MODE==M_G2B) o (MODE==M_OFF) o error.
{
    EPwm6Regs.AQCTLA.bit.ZRO = 0x2;         // Inici de periode amb PWM sortida 0
    EPwm6Regs.AQCTLA.bit.CAU = 0x1;         // Sortida PWM 1 quan Ton (TBCTR==CMPA)
}
#endif
//

EALLOW;
SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;     // Start all the timers synced
EDIS;
}

void config_ADC()
{
    //-----CANAL A-----
    AdcRegs.ADCTRL1.bit.ACQ_PS = 1;         // Temps de sampleig 1 ADClock

```

```

    AdcRegs.ADCTRL3.bit.ADCCLKPS=0;           //No preescalem més (ho fem amb HSPCP=3).
                                              //Seguim instruccions pag 26 manual

    AdcRegs.ADCTRL1.bit.CPS=0;
    AdcRegs.ADCTRL1.bit.SEQ_CASC=0;          //No fem cascada
    AdcRegs.ADCTRL3.bit.SMODE_SEL = 0x0;     //Sequential Sample Mode

    //-----SEQUENCER 1-----
    // 3 conversions seqüencials [Vin,iL1,iL4] [Vc,iL2,iL5] [Vbat,iL3,iL6] anterior
    AdcRegs.ADCMAXCONV.bit.MAX_CONV1=0x2;

    AdcRegs.ADCCHSELSEQ1.bit.CONV00=CANAL_VIN; //Canal_vin
    AdcRegs.ADCCHSELSEQ1.bit.CONV01=CANAL_iL1; //Canal_iL1
    AdcRegs.ADCCHSELSEQ1.bit.CONV02=CANAL_iL6; //Canal_iL6

    AdcRegs.ADCTRL2.bit.EPWM_SOCA_SEQ1 = 1; // Enable SOCA from ePWM to start
                                              // SEQ1 ho fem lligat CMPB
    AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 0;   // 1: Enable SEQ1 interrupt
    AdcRegs.ADCTRL2.bit.RST_SEQ1=1;         // Reset SEQ1

    //-----SEQUENCER 2-----
    AdcRegs.ADCMAXCONV.bit.MAX_CONV2=0;     // 1 conversió
    AdcRegs.ADCCHSELSEQ3.bit.CONV08=CANAL_VRED; // Mostreja CANAL_VRED SEQ2
    AdcRegs.ADCTRL2.bit.EPWM_SOCB_SEQ2 = 0; // Don't enable SOCB from ePWM to
                                              // start SEQ2 ho fem lligat CMPB
    AdcRegs.ADCTRL2.bit.INT_ENA_SEQ2 = 0;   // 1: Enable SEQ2 interrupt
    AdcRegs.ADCTRL2.bit.RST_SEQ2=1;         // reset SEQ2. Immediately resets
                                              // SEQ2 to an initial "pretriggered"
}

//-----Funció per iniciar el funcionament del sistema-----
void ready2run(void)
{
    int z;

    EALLOW;
    //Configurar interruptor d'inici
    GpioCtrlRegs.GPBMUX1.bit.GPIO32 = 0;    // 0=GPIO, 1=I2C-SDA, 2=SYNCl,
    GpioCtrlRegs.GPBDIR.bit.GPIO32 = 0;    // 1=OUTput, 0=INput

    //Configurar filtre Notch
    GpioCtrlRegs.GPBMUX2.bit.GPIO59 = 0;    // 0=GPIO, 1=I2C-SDA, 2=SYNCl,
    GpioCtrlRegs.GPBDIR.bit.GPIO59 = 0;    // 1=OUTput, 0=INput

    //Configurar drivers_enables
    //Buck
    GpioCtrlRegs.GPAMUX2.bit.GPIO29=0;     // Ajustem GRID2BAT 0=GPIO, 1=TZ2,
    GpioCtrlRegs.GPADIR.bit.GPIO29=1;     // 1=OUTput, 0=INput

    GpioCtrlRegs.GPBMUX1.bit.GPIO33=0;     // Ajustem BAT2GRID 0=GPIO, 1=TZ2,
    GpioCtrlRegs.GPBDIR.bit.GPIO33=1;     // 1=OUTput, 0=INput

    GpioDataRegs.GPBCLEAR.bit.GPIO33=1;    // B2G_Buck=0
    GpioDataRegs.GPACLEAR.bit.GPIO29=1;    // G2B_Buck=0

    //Boost
    GpioCtrlRegs.GPAMUX2.bit.GPIO16 = 0;   // 0=GPIO, 1=SPISIMO-A, 2=CANTX-B,
    GpioCtrlRegs.GPADIR.bit.GPIO16 = 1;   // 1=OUTput, 0=INput

    GpioCtrlRegs.GPAMUX2.bit.GPIO18 = 0;   // 0=GPIO, 1=SPICLK-A,

```

```

GpioCtrlRegs.GPADIR.bit.GPIO18 = 1;    // 1=OUTput, 0=INput

GpioDataRegs.GPACLEAR.bit.GPIO16=1;    // B2G_Boost=0
GpioDataRegs.GPACLEAR.bit.GPIO18=1;    // G2B_Boost=0

//GPIOs proteccions
GpioCtrlRegs.GPAMUX1.bit.GPIO1=0;      //LED STOP
GpioCtrlRegs.GPADIR.bit.GPIO1=1;

GpioCtrlRegs.GPAMUX1.bit.GPIO3=0;      // Vbat
GpioCtrlRegs.GPADIR.bit.GPIO3=1;

GpioCtrlRegs.GPAMUX1.bit.GPIO5=0;      //DC-link
GpioCtrlRegs.GPADIR.bit.GPIO5=1;

GpioDataRegs.GPACLEAR.bit.GPIO1=1;     //LED STOP OFF
GpioDataRegs.GPACLEAR.bit.GPIO3=1;     //Desactivem proteccio Vbat
GpioDataRegs.GPACLEAR.bit.GPIO5=1;     //DEsactivem proteccio DC-link

//Canvi per a fer switching de precàrrega
//control PFC signals
GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 0;    // 0=GPIO, 1=EPWM1A,
GpioCtrlRegs.GPADIR.bit.GPIO0 = 1;     // 1=OUTput, 0=INput

GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 0;    // 0=GPIO, 1=EPWM2A,
GpioCtrlRegs.GPADIR.bit.GPIO2 = 1;     // 1=OUTput, 0=INput

GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 0;    // 0=GPIO, 1=EPWM3A,
GpioCtrlRegs.GPADIR.bit.GPIO4 = 1;     // 1=OUTput, 0=INput

//Disable PFC signals
GpioDataRegs.GPACLEAR.bit.GPIO0=1;     //u1=0
GpioDataRegs.GPACLEAR.bit.GPIO2=1;     //u2=0
GpioDataRegs.GPACLEAR.bit.GPIO4=1;     //u3=0

//Control BCM signals
GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 0;    // 0=GPIO, 1=EPWM4A,
GpioCtrlRegs.GPADIR.bit.GPIO6 = 1;     // 1=OUTput, 0=INput

GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 0;    // 0=GPIO, 1=EPWM5A,
GpioCtrlRegs.GPADIR.bit.GPIO8 = 1;     // 1=OUTput, 0=INput

GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 0;   // 0=GPIO, 1=EPWM6A,
GpioCtrlRegs.GPADIR.bit.GPIO10 = 1;    // 1=OUTput, 0=INput

//Disable BCM signals
GpioDataRegs.GPACLEAR.bit.GPIO6=1;     //u4=0
GpioDataRegs.GPACLEAR.bit.GPIO8=1;     //u5=0
GpioDataRegs.GPACLEAR.bit.GPIO10=1;    //u6=0

//Per referenciar drivers
//Enablers Buck
GpioDataRegs.GPACLEAR.bit.GPIO29=1;    //G2B_Buck=0
GpioDataRegs.GPBSET.bit.GPIO33=1;     //B2G_Buck=1
//Enablers Boost
GpioDataRegs.GPACLEAR.bit.GPIO16=1;    //B2G_Boost=0
GpioDataRegs.GPASET.bit.GPIO18=1;     //G2B_Boost=1
//

```

```

EDIS;

//Espera fins que interruptor de posada en marxa led verd
z=0;
while(z<10000){if(GpioDataRegs.GPBDAT.bit.GPIO32==0)z++;}
}

void retard_ini(void)
{
  StartCpuTimer0();
  GpioDataRegs.GPBCLEAR.bit.GPIO34=1; //Encendre LED3 (de la placa)
  while(segons<5){} //Espera per arrencar el sistema
  StopCpuTimer0();
  CpuTimer0Regs.TCR.bit.TIE = 0; //0 = Disable 1 = Enable Timer Interrupt

  //Disable drivers_enablers
  //Buck
  GpioDataRegs.GPACLEAR.bit.GPIO29=1; //G2B_Buck=0
  GpioDataRegs.GPBCLEAR.bit.GPIO33=1; //B2G_Buck=0
  //Boost
  GpioDataRegs.GPACLEAR.bit.GPIO16=1; //B2G_Boost=0
  GpioDataRegs.GPACLEAR.bit.GPIO18=1; //G2B_Boost=0
  //
}

//-----Funció que atura el sistema-----
void stop_system(void)
{
  DINT; // Disable CPU interrupts
  IER = 0x0000;
  EALLOW;
  //Senyals de Etapa 1 (Boosts)
  GpioCtrlRegs.GPAMUX1.bit.GPIO0=0; // 0=GPIO, 1=EPWM1A, CANVIEM A GPIO
  GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; // 1=OUTPUT, 0=INPUT
  GpioDataRegs.GPACLEAR.bit.GPIO0=1; //Anulem senyal de control

  GpioCtrlRegs.GPAMUX1.bit.GPIO2=0; // 0=GPIO, 1=EPWM2A, CANVIEM A GPIO
  GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // 1=OUTPUT, 0=INPUT
  GpioDataRegs.GPACLEAR.bit.GPIO2=1; //Anulem senyal de control

  GpioCtrlRegs.GPAMUX1.bit.GPIO4=0; // 0=GPIO, 1=EPWM3A CANVIEM A GPIO
  GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // 1=OUTPUT, 0=INPUT
  GpioDataRegs.GPACLEAR.bit.GPIO4=1; //Anulem senyal de control

  //Senyals Etapa 2 (Bucks)
  GpioCtrlRegs.GPAMUX1.bit.GPIO6=0; // 0=GPIO, 1=EPWM3A, CANVIEM A GPIO
  GpioCtrlRegs.GPADIR.bit.GPIO6 = 1; // 1=OUTPUT, 0=INPUT
  GpioDataRegs.GPACLEAR.bit.GPIO6=1; //Anulem senyal de control

  GpioCtrlRegs.GPAMUX1.bit.GPIO8=0; // 0=GPIO, 1=EPWM3A, CANVIEM A GPIO
  GpioCtrlRegs.GPADIR.bit.GPIO8 = 1; // 1=OUTPUT, 0=INPUT
  GpioDataRegs.GPACLEAR.bit.GPIO8=1; //Anulem senyal de control

  GpioCtrlRegs.GPAMUX1.bit.GPIO10=0; // 0=GPIO, 1=EPWM3A, CANVIEM A GPIO
  GpioCtrlRegs.GPADIR.bit.GPIO10 = 1; // 1=OUTPUT, 0=INPUT
  GpioDataRegs.GPACLEAR.bit.GPIO10=1; //Anulem senyal de control
}

```

```

//Senyals direccionalitat
//Buck
GpioDataRegs.GPBCLEAR.bit.GPIO33=1; //B2G_Buckt=0
GpioDataRegs.GPACLEAR.bit.GPIO29=1; //G2B_Buckt=0
//Boost
GpioDataRegs.GPACLEAR.bit.GPIO16=1; //B2G_Boost=0
GpioDataRegs.GPACLEAR.bit.GPIO18=1; //G2B_Boost=0

SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0; // Stop TB clocks per parar PWMs
EDIS;
GpioDataRegs.GPBSET.bit.GPIO34=1; //apaguem LED3
}

//-----Interrupt Service Routines-----
//ISR Timer 0
interrupt void cpu_timer0_isr(void)
{
    temps++; //Envia quatre pulsos per referenciar drivers high a massa
    if(segons>0&&segons<5)
    {
        if(temps==50) //Abans (temps==50&&MODE==M_G2B)
        {
            #if(REFERENCIAR_DRIVERS && MODE==M_G2B)
            {
                //Buck
                GpioDataRegs.GPASET.bit.GPIO6=1; //activem u4
                GpioDataRegs.GPASET.bit.GPIO8=1; //activem u5
                GpioDataRegs.GPASET.bit.GPIO10=1; //activem u6
            }
            #elif(REFERENCIAR_DRIVERS && MODE==M_B2G)
            {
                //Boost
                GpioDataRegs.GPASET.bit.GPIO0=1; //activem u1
                GpioDataRegs.GPASET.bit.GPIO2=1; //activem u2
                GpioDataRegs.GPASET.bit.GPIO4=1; //activem u3
            }
            #endif
        }
        else if (temps==51) //Abans (temps==51&&MODE==M_G2B)
        {
            //Buck
            GpioDataRegs.GPACLEAR.bit.GPIO6=1; //desactivem u4
            GpioDataRegs.GPACLEAR.bit.GPIO8=1; //desactivem u5
            GpioDataRegs.GPACLEAR.bit.GPIO10=1; //desactivem u6
            //Boost
            GpioDataRegs.GPACLEAR.bit.GPIO0=1; //desactivem u1
            GpioDataRegs.GPACLEAR.bit.GPIO2=1; //desactivem u2
            GpioDataRegs.GPACLEAR.bit.GPIO4=1; //desactivem u3
        }
    }
}
if (temps == 1000)
{
    segons++;
    if(segons==5) GpioDataRegs.GPBSET.bit.GPIO34=1; //Apaga LED3
    else GpioDataRegs.GPBTOGGLE.bit.GPIO34=1; //Canvia estat LED3
    temps=0;
}
// Acknowledge this interrupt to receive more interrupts from group 1
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;

```

```

}

//ISR PWM1
interrupt void epwm1_timer_isr(void)
{
    fase=1;
    EPwm1Regs.ETCLR.bit.INT = 1;
    // Acknowledge this interrupt to receive more interrupts from group 3
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
}
//=====
//Funció que detecta si els corrents de la etapa PFC estan aprop del 0 per evitar
discontinuitats corrent inductors i_inductors_condition=0 si els corrents propers
a 0
void condicio_inductors(void)
{
    if((iL1<IL_CONDITION&&iL1>-IL_CONDITION)&&(estat_red_f>2))
    {
        i_inductors_condition=0;
        GpioDataRegs.GPACLEAR.bit.GPIO9=1;          //OUT_NEG=0
        GpioDataRegs.GPACLEAR.bit.GPIO7=1;        //OUT_POS=0
    }
    else
    {
        i_inductors_condition=1;
    }
}
//=====
//Funció que gestiona pont de mosfets segons l'estat de la red per introduir
energia a la red en mode B2G.
void f_estat_VAC(void)
{
    //=====
    //Declaració Variables
    double Vred=0.0;
    Uint16 Vred_sens=0;
    static int semi_cicles_despreciats=0;
    static int a=0;
    static int var=0;
    //=====//
    Sensat RED amb ADC - Vred connectat a CANAL A4 del ADC (ADCINA4)
    while(AdcRegs.ADCST.bit.SEQ2_BSY==1){} //Esperar si SEQ2 ocupat (in progress)
    AdcRegs.ADCTRL2.bit.SOC_SEQ2=1; //Start of conversion for sequencer 2 (SEQ2).
    while(AdcRegs.ADCST.bit.INT_SEQ2==0){}
    AdcRegs.ADCST.bit.INT_SEQ2_CLR=1; //Borrem flag End Of Conversion of
    AdcRegs.ADCTRL2.bit.RST_SEQ2=1; //Resetegegem SEQ2
    Vred_sens=AdcRegs.ADCRESULT8 >>4; //Recurem valor digital
    Vred=(Vred_sens*gain_Vred)-constant_Vred; //Recuperem valor analogic util
    //=====
    //Detecció estat RED i gestió conmutacions driver
    switch ( estat_red_f ) //depenent de l'estat de la red...
    {
        case INICIAL:
            if(Vred>5.0)
            {
                if(semi_cicles_despreciats<N_SEMICICLES)
                {
                    if(a==0)
                    {

```

```

        semi_cicles_despreciats++;
        a=1;
    }
}
else if (a==0)
{
    estat_red_f=POS;
    GpioDataRegs.GPACLEAR.bit.GPIO9=1;    //OUT_NEG=0
    GpioDataRegs.GPASET.bit.GPIO7=1;    //OUT_POS=1
    //Enable drivers
    #if(MODE==M_G2B&&TEST==PONT_MOSFETS)
    {
        GpioDataRegs.GPASET.bit.GPIO18=1; //activem G2B boost
    }
    #elif(MODE==M_B2G)
    {
        GpioDataRegs.GPASET.bit.GPIO16=1; //activem B2G boost
    }
    #endif
    //
}
}

else if (Vred<-5.0)
{
    if(semi_cicles_despreciats<N_SEMICICLES)
    {
        if(a==1)
        {
            //Despreciem cicles per a que els drivers es referenciin a massa
            semi_cicles_despreciats++;
            a=0;
        }
    }
    else if (a==1)
    {
        estat_red_f=NEG;
        GpioDataRegs.GPACLEAR.bit.GPIO7=1;    //OUT_POS=0
        GpioDataRegs.GPASET.bit.GPIO9=1;    //OUT_NEG=1
        //Enable drivers
        #if(MODE==M_G2B&&TEST==PONT_MOSFETS)
        {
            GpioDataRegs.GPASET.bit.GPIO18=1; //activem G2B boost
        }
        #elif(MODE==M_B2G)
        {
            GpioDataRegs.GPASET.bit.GPIO16=1; //activem B2G boost
        }
        #endif
        //
    }
}
break;
case D_TIME_B:
    if (Vred>=0.0){var++;}
else {var--;}
if (var<-1)
{
    estat_red_f=NEG;
    GpioDataRegs.GPACLEAR.bit.GPIO7=1;    //OUT_POS=0

```

```

    GpioDataRegs.GPASET.bit.GPIO9=1;           //OUT_NEG=1
    //Enable drivers
    #if(MODE==M_G2B&&TEST==PONT_MOSFETS)
    {
        GpioDataRegs.GPASET.bit.GPIO18=1;     //activem G2B boost
    }
    #elif(MODE==M_B2G)
    {
        GpioDataRegs.GPASET.bit.GPIO16=1;     //activem B2G boost    }
    #endif
    //
    var=0;
}
break;
case D_TIME_P:
    if (Vred<=0.0){var++;}
    else {var--;}
    if (var<-4)
    {
        estat_red_f=POS;
        GpioDataRegs.GPACLEAR.bit.GPIO9=1;     //OUT_NEG=0
        GpioDataRegs.GPASET.bit.GPIO7=1;       //OUT_POS=1
        //Enable drivers
        #if(MODE==M_G2B&&TEST==PONT_MOSFETS)
        {
            GpioDataRegs.GPASET.bit.GPIO18=1;   //activem G2B boost
        }
        #elif(MODE==M_B2G)
        {
            GpioDataRegs.GPASET.bit.GPIO16=1;   //activem B2G boost
        }
        #endif
        //
        var=0;
    }
break;
case ESPERA_B:
    if(Vred<6.0||i_inductors_condition==0)
    {
        estat_red_f=D_TIME_B;
        GpioDataRegs.GPACLEAR.bit.GPIO9=1;     //OUT_NEG=0
        GpioDataRegs.GPACLEAR.bit.GPIO7=1;     //OUT_POS=0
    }
break;
case ESPERA_P:
    if(Vred>-4.0||i_inductors_condition==0)
    {
        estat_red_f=D_TIME_P;
        GpioDataRegs.GPACLEAR.bit.GPIO7=1;     //OUT_POS=0
        GpioDataRegs.GPACLEAR.bit.GPIO9=1;     //OUT_NEG=0
    }
break;
case POS: //Canviant Vred>=8.0 podem ajustar quan deixem de comutar
        //després de l'avís d'apropar-nos al creuament
    if(GpioDataRegs.GPADAT.bit.GPIO20==1){if(var<50){var++;}}
    else if(var==50&&GpioDataRegs.GPADAT.bit.GPIO20==0)
    {
        estat_red_f=ESPERA_B; //No actualitza les sortides
        //Disable drivers

```

```

    #if(MODE==M_G2B&&TEST==PONT_MOSFETS)
    {
        GpioDataRegs.GPACLEAR.bit.GPIO18=1;    //Desactivem G2B boost
    }
    #elif(MODE==M_B2G)
    {
        GpioDataRegs.GPACLEAR.bit.GPIO16=1;    //Desactivem B2G boost
    }
    #endif
    //
    var=0;
}
break;
case NEG: //Canviant Vred<=-8.0 podem ajustar quan deixem de conmutar després de
//l'avís d'apropar-nos al creuament
if(GpioDataRegs.GPADAT.bit.GPIO22==1){if(var<50){var++;}}
else if(var==50&&GpioDataRegs.GPADAT.bit.GPIO22==0)
{
    estat_red_f=ESPERA_P; //No actualitza les sortides
    //Disable drivers
    #if(MODE==M_G2B&&TEST==PONT_MOSFETS)
    {
        GpioDataRegs.GPACLEAR.bit.GPIO18=1;    //Desactivem G2B boost
    }
    #elif(MODE==M_B2G)
    {
        GpioDataRegs.GPACLEAR.bit.GPIO16=1;    //Desactivem B2G boost
    }
    #endif
    //
    var=0;
}
break;
default:
    GpioDataRegs.GPACLEAR.bit.GPIO7=1;    //OUT_POS=0
    GpioDataRegs.GPACLEAR.bit.GPIO9=1;    //OUT_NEG=0
break;
}
}

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// FINAL FUNCTION DEFINITIONS
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// MAIN CODE - starts here
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
void main(void)
{
    //=====
    //  VARS DECLARATIONS
    //=====
    //Variables on emmagatzemarem els valors mostrejats
    Uint16  iL1_sens=0, iL2_sens=0, iL3_sens=0;    //Corrents PFC
    Uint16  iL4_sens=0, iL5_sens=0, iL6_sens=0;    //Corrents BCM
    Uint16  Vc_sens=0, Vin_sens=0, Vbat_sens=0;    //Tensions

    double  VAC=0;    //VAC=230 ó 110. Segons escollim a la declaració de constants
    double  g=0.0;    //Var que determina la potencia a absorvir/subministrar

```

```
//Vars referencies de corrent
double iL_pfc_ref=0.0;
double iL_stage2_ref=1;

//Vars pel calcul dels controls de corrent
double den=1.0;
double inv_2Vout=1.0;

//Var gestió global
Uint16 exit=0;

//Vars de tensió
double Vin=0.0, Vc=0.0, Vbat=0.0;
double Vc_actual=0.0;
double Vc_ant1=0.0;
double Vc_ant2=0.0;
double Vc_ant3=0.0;
double Vin_actual=0.0;
double Vin_ant1=0.0;
double Vin_ant2=0.0;
double Vin_ant3=0.0;

//Llaç de tensió
double G_actual=0.0;
double G_anterior=0.0;
double eVc_actual=0.0;
double eVc_anterior=0.0;

//Llaç tensió bateria
double iBat_ref=0.0;
double iBat_ref_anterior;
double eVBat_actual=0.0;
double eVBat_anterior=0.0;
int j=INDEX_INICIAL;

//Vars fase 1
//Double iL1=0.0; //La única declarada com a variable global
double L1Fs=L1*Fs; //Producto L1*Fs (Fs=60 kHz)
double iL1_offset=0.0;
double d1=0.0; //Per operar
Uint16 dutycycle1=0; //Per introduir al registre del PWM

//Vars fase 2
double iL2=0.0;
double L2Fs=L2*Fs; //Producto L2*Fs (Fs=60 kHz)
double iL2_offset=0.0;
double d2=0.0; //Per operar
Uint16 dutycycle2=0; //Per introduir al registre del PWM

//Vars fase 3
double iL3=0.0;
double L3Fs=L3*Fs; //Producto L2*Fs (Fs=60 kHz)
double iL3_offset=0.0;
double d3=0.0; //Per operar
Uint16 dutycycle3=0; //Per introduir al registre del PWM

//Vars fase 4
double iL4=0.0; //Corrent Buck 1
```

```

double L4Fs=L4*Fs;          //Producto L4*Fs (Fs=60 kHz)
double Tsw_div_3L4=(1/(3*Fs)-t_adc)/L4; //Correccio buck
double il4_offset=0.0;
double d4=0.0;             //Per operar
Uint16 dutycycle4=0;      //Per introduir al registre del PWM

//Vars fase 5
double il5=0.0;           //Corrent Buck 2
double L5Fs=L5*Fs;       //Producto L5*Fs (Fs=60 kHz)
double Tsw_div_3L5=(1/(3*Fs)-t_adc)/L5; //correccio buck
double il5_offset=0.0;
double d5=0.0;           //Per operar
Uint16 dutycycle5=0;     //Per introduir al registre del PWM

//Vars fase 6
double il6=0.0;           //Corrent Buck 3
double L6Fs=L6*Fs;       //Producto L6*Fs (Fs=60 kHz)
double Tsw_div_3L6=(1/(3*Fs)-t_adc)/L6; //correccio buck
double il6_offset=0.0;
double d6=0.0;           //Per operar
Uint16 dutycycle6=0;     //Per introduir al registre del PWM

//Index filtre notch i control tensio condensador
Uint16 notch_filter=0;   //Controlat per interruptor GPIO59
Uint16 control_tensio=0; //Controlat per interruptor GPIO61
int i=0;                  //Index
double x0=0, x1=0, x2=0; //Errors te tensió actual, anterior i anterior_2
double y0=0, y1=0, y2=0; //Acumulat anterior i acumulat anterior_anterior

//Vars precarrega
Uint16 pfc_start=0;
Uint16 bcm_start=0;
int k=0;
int retall_i_bat=0;
int retall_i_in=0;

//Compensació bucks
double Vf=0.0;
//=====
// FINAL VARS DECLARATIONS
//=====

//=====
// INITIALIZATION - General
//=====
//----- INICIALITZACIONS -----
//Conf GPIOs
DeviceInit();//Device Life support & GPIO
ready2run();//Acaba de configurar GPIOs i espera interruptor d'encendre

//Inicialitzem timers
ini_timers();

//Inicalitzem interrupcions
ini_interrupts();

//Habilitem interrupcions
enable_interrupts();

```

```

//Retard inicial de 5 segons després d'interruptor d'encendre a ON.
//1s per allunyar-nos convertidor i 4s per refernciar driers
retard_ini();

//Inicialització PWM. Comença a conmutar?
InitEPwmTimer();

//Inicialització AD
InitAdc();
config_ADC();

//Càlcul g inicial en funció de la red.
//Més eficient donant g el valor en cada cas
if(grid_type==1) VAC=VAC_230; //Tensió de xarxa segons constant grid_type
else if (grid_type==2) VAC=VAC_110;
else exit=1;

G_actual=2000.0/(VAC*VAC);
if(G_actual>=G_max)G_actual=G_max;
else if(G_actual<0) G_actual=G_min;
G_anterior=G_actual;
g=G_actual*1/3;
//Final càlcul g inicial en funció de la red.

//Power Flow Direction. Només gestiona enables una vegada per escollir el
sentit de potència.
#if(MODE==M_G2B)
{
    GpioDataRegs.GPACLEAR.bit.GPIO16=1; //desactivem B2G boosts
    GpioDataRegs.GPBCLEAR.bit.GPIO33=1; //desactivem B2G buck
    GpioDataRegs.GPASET.bit.GPIO18=1; //activem G2B boost
    GpioDataRegs.GPASET.bit.GPIO29=1; //activem G2B buck

    //Drivers Pont MOSFETs sempre desactivats. Només treballem amb els díodes
    //en aquest mode
    GpioDataRegs.GPACLEAR.bit.GPIO7=1; //OUT_POS=0
    GpioDataRegs.GPACLEAR.bit.GPIO9=1; //OUT_NEG=0
}
#elif(MODE==M_B2G) //Drivers Pont MOSFETs gestionats per funció VAC
{
    GpioDataRegs.GPACLEAR.bit.GPIO29=1; //desactivem G2B buck
    GpioDataRegs.GPACLEAR.bit.GPIO18=1; //desactivem G2B boost
    GpioDataRegs.GPASET.bit.GPIO16=1; //activem B2G boost
    GpioDataRegs.GPBSET.bit.GPIO33=1; //activem B2G buck
}
#else //(MODE==M_OFF) o error
{
    GpioDataRegs.GPACLEAR.bit.GPIO29=1; //desactivem G2B buck
    GpioDataRegs.GPBCLEAR.bit.GPIO33=1; //desactivem B2G buck
    GpioDataRegs.GPACLEAR.bit.GPIO16=1; //desactivem B2G boost
    GpioDataRegs.GPACLEAR.bit.GPIO18=1; //desactivem G2B boost
}
#endif
#if(TEST==ETAPA_BCM)
{
    GpioDataRegs.GPACLEAR.bit.GPIO16=1; //desactivem B2G boost
    GpioDataRegs.GPACLEAR.bit.GPIO18=1; //desactivem G2B boost
}

```

```

#elif(TEST==ETAPA_PFC)
{
    GpioDataRegs.GPACLEAR.bit.GPIO29=1;    //desactivem G2B buck
    GpioDataRegs.GPBCLEAR.bit.GPIO33=1;    //desactivem B2G buck
}
#endif
//Final power Flow Direction

//-----Conf dels canals ADC per "ta".-----
//Abans d'entrar al bucle infinit. Després es fan al final del bucle infinit
    AdcRegs.ADCCHSELSEQ1.bit.CONV00=CANAL_VC;    //canal_vc
    AdcRegs.ADCCHSELSEQ1.bit.CONV01=CANAL_iL1;  //canal_iL1
    AdcRegs.ADCCHSELSEQ1.bit.CONV02=CANAL_iL6;  //canal_iL6
//-----Final conf dels canals abans de "ta"-----
//----- FINAL INICIALIZACIONS -----

//.....
// TESTS
//.....

#if(TEST==ETAPA_BCM)
{
    //Deshabilitar drivers_enables de la etapa PFC
    GpioDataRegs.GPACLEAR.bit.GPIO16=1;    //B2G_Boost=0
    GpioDataRegs.GPACLEAR.bit.GPIO18=1;    //G2B_Boost=0
    //Final deshabilitar drivers_enables de la etapa PFC

    //ui de PFC en mode GPIOs - sortida a 0
    EALLOW;
    GpioCtrlRegs.GPAMUX1.bit.GPIO0=0;      // 0=GPIO, 1=EPWM1A, 2=Resv,
    GpioCtrlRegs.GPADIR.bit.GPIO0 = 1;     // 1=OUTput, 0=INput
    GpioDataRegs.GPACLEAR.bit.GPIO0=1;     //Anulem senyal de control

    GpioCtrlRegs.GPAMUX1.bit.GPIO2=0;      // 0=GPIO, 1=EPWM2A, 2=Resv,
    GpioCtrlRegs.GPADIR.bit.GPIO2 = 1;     // 1=OUTput, 0=INput
    GpioDataRegs.GPACLEAR.bit.GPIO2=1;     //Anulem senyal de control

    GpioCtrlRegs.GPAMUX1.bit.GPIO4=0;      // 0=GPIO, 1=EPWM3A, 2=Resv,
    GpioCtrlRegs.GPADIR.bit.GPIO4 = 1;     // 1=OUTput, 0=INput
    GpioDataRegs.GPACLEAR.bit.GPIO4=1;     //Anulem senyal de control
    EDIS;
    //Final ui de PFC en mode GPIOs
}
#elif(TEST==ETAPA_PFC) // o #else ...
{
    //Deshabilitar drivers_enables la etapa BCM
    GpioDataRegs.GPBCLEAR.bit.GPIO33=1;    //B2G_Buck=0
    GpioDataRegs.GPACLEAR.bit.GPIO29=1;    //G2B_Buck=0
    //Final deshabilitar drivers_enables de la etapa BCM

    //ui de BCM en mode GPIOs - sortida a 0
    EALLOW;
    GpioCtrlRegs.GPAMUX1.bit.GPIO6=0;      // 0=GPIO, 1=EPWM3A, 2=Resv,
    GpioCtrlRegs.GPADIR.bit.GPIO6 = 1;     // 1=OUTput, 0=INput
    GpioDataRegs.GPACLEAR.bit.GPIO6=1;     //Anulem senyal de control

    GpioCtrlRegs.GPAMUX1.bit.GPIO8=0;      // 0=GPIO, 1=EPWM3A, 2=Resv,
    GpioCtrlRegs.GPADIR.bit.GPIO8 = 1;     // 1=OUTput, 0=INput
    GpioDataRegs.GPACLEAR.bit.GPIO8=1;     //Anulem senyal de control
}

```

```

    GpioCtrlRegs.GPAMUX1.bit.GPIO10=0;    // 0=GPIO, 1=EPWM3A, 2=Resv,
    GpioCtrlRegs.GPADIR.bit.GPIO10 = 1;    // 1=OUTPUT, 0=INPUT
    GpioDataRegs.GPACLEAR.bit.GPIO10=1;    //Anulem senyal de control
    EDIS;
    //Final ui de BCM en mode GPIOs
}
#endif
//.....Final estructura per testejar-----

//.....Final TEST==DRIVERS_CONVERTIDORS-----
// Permet testejar que els drivers H y L treballen correctament
#if(TEST==DRIVERS_CONVERTIDORS) //Modificar MODE M_B2G o M_G2B
{
    //Evitem fer precarrega
    pfc_start=1;
    bcm_start=1;
    //
}
#endif
//.....Final TEST==DRIVERS_CONVERTIDORS-----

//.....TEST==GPIOs-----
// Permet testejar els GPIOs d'entrada, sortida i ADCS
#if(TEST==GPIOs)
while(i<10000)
{
    //Inputs
    if (TEST_INPUTS)
    {
        while(i!=1){} //Permetra veure els valors del registre al watch
        //variables. Canviar i=1 per sortir d'aquí
    }
    //Final inputs

    //Output
    if (TEST_OUTPUTS)
    {
        //Tots els senyals a 0
        GpioDataRegs.GPBCLEAR.bit.GPIO33=1; //B2G_Buck=0
        GpioDataRegs.GPACLEAR.bit.GPIO29=1; //G2B_Buck=0
        GpioDataRegs.GPACLEAR.bit.GPIO16=1; //B2G_Boost=0
        GpioDataRegs.GPACLEAR.bit.GPIO18=1; //G2B_Boost=0
        GpioDataRegs.GPACLEAR.bit.GPIO14=1; //Visualitzador temps OFF
        GpioDataRegs.GPACLEAR.bit.GPIO1=1; //LED STOP OFF
        GpioDataRegs.GPBCLEAR.bit.GPIO34=1; //LED STOP OFF
        GpioDataRegs.GPACLEAR.bit.GPIO3=1; //Desactivem proteccio Vbat
        GpioDataRegs.GPACLEAR.bit.GPIO5=1; //Desactivem proteccio DC-L
        GpioDataRegs.GPACLEAR.bit.GPIO7=1; //OUT_POS=0
        GpioDataRegs.GPACLEAR.bit.GPIO9=1; //OUT_NEG=0
        //Final tots els senyals a 0

        //Drivers_enables
        //Buck
        GpioDataRegs.GPASET.bit.GPIO33=1; //B2G_Buck=1
        GpioDataRegs.GPBCLEAR.bit.GPIO33=1; //B2G_Buck=0

        GpioDataRegs.GPASET.bit.GPIO29=1; //G2B_Buck=1
        GpioDataRegs.GPACLEAR.bit.GPIO29=1; //G2B_Buck=0
    }
}
}

```

```

//Boost
GpioDataRegs.GPASET.bit.GPIO16=1; //B2G_Boost=1
GpioDataRegs.GPACLEAR.bit.GPIO16=1; //B2G_Boost=0

GpioDataRegs.GPASET.bit.GPIO18=1; //G2B_Boost=1
GpioDataRegs.GPACLEAR.bit.GPIO18=1; //G2B_Boost=0
//Final drivers_enables

//Visualitzador de Temps
GpioDataRegs.GPASET.bit.GPIO14=1; //Visualitzador temps ON
GpioDataRegs.GPACLEAR.bit.GPIO14=1; //Visualitzador temps OFF
//

//Avis condició inductors. Visualitzem a l'osc. quan es genera
GpioDataRegs.GPASET.bit.GPIO11=1; //PIN PER TEST.
GpioDataRegs.GPACLEAR.bit.GPIO11=1; //PIN PER TEST
//

//LEDs
GpioDataRegs.GPASET.bit.GPIO1=1; //LED STOP PLACA INTERRUPTORS ON
GpioDataRegs.GPACLEAR.bit.GPIO1=1; //LED STOP PLACA INTERRUPTORS OFF

GpioDataRegs.GPASET.bit.GPIO34=1; //LED STOP PLACA DSP OFF
GpioDataRegs.GPACLEAR.bit.GPIO34=1; //LED STOP PLACA DSP ON
//

//GPIOs proteccions
GpioDataRegs.GPASET.bit.GPIO3=1; //Activem proteccio Hardware Vbat
GpioDataRegs.GPACLEAR.bit.GPIO3=1; //Desactivem proteccio Vbat

GpioDataRegs.GPASET.bit.GPIO5=1; //Activem proteccio Hardware DC-L
GpioDataRegs.GPACLEAR.bit.GPIO5=1; //Desactivem proteccio DC-link
//

//Senyals Placa Dif
//OUT_POS
GpioDataRegs.GPASET.bit.GPIO7=1; //OUT_POS=1
GpioDataRegs.GPACLEAR.bit.GPIO7=1; //OUT_POS=0
//

//OUT_NEG
GpioDataRegs.GPASET.bit.GPIO9=1; //OUT_NEG=1
GpioDataRegs.GPACLEAR.bit.GPIO9=1; //OUT_NEG=0
//
//Final Senyals Placa Dif
}
//Final Output

//ADC
if (TEST_SENYALS_ADC)
{
//Mostreig
//Final Mostreig
//Valor recuperat
//Final valor recuperat
}
//Final ADC
}
#else //si TEST!=GPIOs

```

```

//.....Final TEST==GPIOs----- //Sortir del programa després del Test

//.....TEST==PONT_MOSFETS_SOL-----
#if(TEST==PONT_MOSFETS_SOL)
{
    while(1)
    {

#if(MODE==M_B2G) //Gestionem drives en funció de l'estat de la red només
                //si treballem en B2G
                {
                    //Gestionem avis: corrent inductors iguals a 0
                    if(estat_red_f==ESPERA_B||estat_red_f==ESPERA_P)
                    {
                        condicio_inductors();
                    }
                    f_estat_VAC();
                }
                #endif
            }
        }
        #endif
//.....Final TEST==PONT_MOSFETS_SOL-----

//.....TEST==DRIVERS_CONVERTIDORS-----
#if(TEST==DRIVERS_CONVERTIDORS)
{
    //Drivers PFC i BCM es dispren per ePWM
    EALLOW;
    GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1;    // 0=GPIO, 1=EPWM1A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1;    // 0=GPIO, 1=EPWM2A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 1;    // 0=GPIO, 1=EPWM3A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1;    // 0=GPIO, 1=EPWM4A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1;    // 0=GPIO, 1=EPWM5A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1;   // 0=GPIO, 1=EPWM6A,
    EDIS;
    //Final drivers BCM es dispren per ePWM
}
#endif
//.....Final TEST==DRIVERS_CONVERTIDORS-----

//.....
//  FINAL TESTS
//.....

//=====
//  INFINITE LOOP
//=====
while(exit==0)    //bucle infinit
{
//*****
//-----Inici "ta" pag 110 tesis Adrià-----
//*****
//Explicació que fa aquesta part

//-----Control de corrent fase 1-----
//Motregem entrades Vc, iL1, iL6
while(AdcRegs.ADCST.bit.INT_SEQ1==0){}
    AdcRegs.ADCST.bit.INT_SEQ1_CLR=1;    //Borrem flag EOC of Sequence

```

```

AdcRegs.ADCTRL2.bit.RST_SEQ1=1;           //Resetegem SEQ1

Vc_sens=AdcRegs.ADCRESULT0 >>4;
iL1_sens=AdcRegs.ADCRESULT1 >>4;
iL6_sens=AdcRegs.ADCRESULT2 >>4;
//Fi motregem entrades Vc, iL1, iL6

//Recuperem valor iL1
iL1=(iL1_sens*gain_ADC-VREF)*gain_iL1;
#if(MODE==M_G2B)
{
    if(iL1<0.0)iL1=0.0;
}
#elif(MODE==M_B2G)
{
    if(iL1>0.0)iL1=0.0;
}
#endif
//Final recuperem valor iL1

//Recuperem Vc
Vc=Vc_sens*gain_Vc;
#if(MODE==M_B2G)
{
    if(pfc_start==0)
    {
        if(k<=3) //Per a evitar fer el promig amb tot a 0 la primera vegada
        {
            Vc_ant1=Vc;
            Vc_ant2=Vc;
            Vc_ant3=Vc;
        }
        else if (k>3)
        {
            Vc_ant3=Vc_ant2;
            Vc_ant2=Vc_ant1;
            Vc_ant1=Vc_actual;
            Vc_actual=Vc;
            Vc=0.25*(Vc_actual+Vc_ant1+Vc_ant2+Vc_ant3);
        }
    }
}
#elif(MODE==M_G2B)
{
    if(bcm_start==0)
    {
        if(k<=3) //Per a evitar fer el promig amb tot a 0 la primera vegada
        {
            Vc_ant1=Vc;
            Vc_ant2=Vc;
            Vc_ant3=Vc;
        }
        else if (k>3)
        {
            Vc_ant3=Vc_ant2;
            Vc_ant2=Vc_ant1;
            Vc_ant1=Vc_actual;
            Vc_actual=Vc;
            Vc=0.25*(Vc_actual+Vc_ant1+Vc_ant2+Vc_ant3);
        }
    }
}

```



```

    else {d6=EQ_DC_BUCK(iL6, iL6_offset, iL_stage2_ref, L6Fs, den, Vbat-Vf,
    Vc-Vf, Ctr_stage2);}
}
#elif(MODE==M_G2B)
{
    d6=EQ_DC_BUCK(iL6, iL6_offset, iL_stage2_ref, L6Fs, den, Vbat-Vf, Vc-Vf,
    Ctr_stage2);
}
#endif
#if(TEST==ETAPA_BCM && !CLOSED_LOOP_BCM)    //Test BCM llaç obert
{
    d6=D_BCM_TEST2;
}
#elif(TEST==DRIVERS_CONVERTIDORS)
{
    d6=D_BCM_TEST;
}
#elif(TEST==ETAPA_PFC)
{
    d6=0;
}
#endif
//Passem di a número per carregar registre EPwm1Regs.CMPA.half.CMPA
dutyCycle6=d6*PWM1_TIMER_TBPRD;
EPwm6Regs.CMPA.half.CMPA=(int)dutyCycle6;    //Carreguem registre
//Fi càlcul i càrrega de duty cycle 6
//-----Fi Control de corrent fase 6-----

//-----Càlcul iL_pfc_ref-----
iL_pfc_ref=Vin*g; //Límit iL_pfc_ref
#if(MODE==M_G2B) //Limitem duty cycle en la primera etapa precarrega en G2B
{
    if(bcm_start==0&&iL_pfc_ref>0.5) iL_pfc_ref=0.5;    //Límit iL_pfc_ref
    if(iL_pfc_ref>iL_pfc_max) iL_pfc_ref=iL_pfc_max;    //Límit iL_pfc_ref
    else if(iL_pfc_ref<iL_pfc_min) iL_pfc_ref=iL_pfc_min;
}
#elif(MODE==M_B2G)
{
    if(iL_pfc_ref<-iL_pfc_max) iL_pfc_ref=-iL_pfc_max;    //Límit iL_pfc_ref
    else if(iL_pfc_ref>iL_pfc_min) iL_pfc_ref=iL_pfc_min;
}
#endif
//-----Fi càlcul iL_pfc_ref-----

//-----Divisió-----
if(Vc==0)    Vc=1; //Per evitar dividir per 0
den=1/Vc;
inv_2Vout=0.5*den;    //Pel control average tipus boost
//-----Divisió-----

//-----Reconf canals ADC per "tb"-----
AdcRegs.ADCCHSELSEQ1.bit.CONV00=CANAL_VIN;    //canal_vin
AdcRegs.ADCCHSELSEQ1.bit.CONV01=CANAL_iL2;    //canal_iL2
AdcRegs.ADCCHSELSEQ1.bit.CONV02=CANAL_iL4;    //canal_iL4
//-----Fi reconf canals ADC per "tb"-----

//-----Gestió avís: corrent inductors iguals a 0-----
#if(MODE==M_B2G || TEST==PONT_MOSFETS || TEST==PONT_MOSFETS_AMB_PFC)
//Gestionem drives en funció de l'estat de la red si treballem en B2G

```

```

    {
        //Gestionem avis corrent inductors iguals a 0
        condicio_inductors();
        //Aquí no comprovem l'estat red per restriccions temporals.
    }
    #endif
//-----Final gestió avis: corrent inductors iguals a 0-----

//*****
//-----Fi "ta" pag 110 tesis Adrià-----
//*****

//*****
//*****
//-----Inici "tb" pag 110 tesis Adrià-----
//*****

//-----Control de corrent fase 2-----
//Motregem entrades Vin, iL2, iL4
while(AdcRegs.ADCST.bit.INT_SEQ1==0){}
AdcRegs.ADCST.bit.INT_SEQ1_CLR=1; //Borrem flag EOC of Sequence
AdcRegs.ADCTRL2.bit.RST_SEQ1=1; //Resetegem SEQ2

Vin_sens=AdcRegs.ADCRESULT0 >>4; //Obtenció mesures ADC Vin
iL2_sens=AdcRegs.ADCRESULT1 >>4; //Obtenció mesures ADC iL2
iL4_sens=AdcRegs.ADCRESULT2 >>4; //Obtenció mesures ADC iL4
//Final motregem entrades Vin, iL2, iL4

//Recuperem Vin
Vin=Vin_sens*gain_Vin;
if(Vin<0.0) Vin=0.0;
else if(Vin>340.0) Vin=340.0;
Vin_actual=Vin;
if(k==0) //Per a evitar fer el promig amb tot a 0 la primera vegada
{
    Vin_ant1=Vin;
    Vin_ant2=Vin;
    Vin_ant3=Vin;
}
else
{
    Vin=0.25*(Vin_actual+Vin_ant1+Vin_ant2+Vin_ant3);
    Vin_ant3=Vin_ant2;
    Vin_ant2=Vin_ant1;
    Vin_ant1=Vin_actual;
}
//Final recuperem Vin

//Recuperem iL2
iL2=(iL2_sens*gain_ADC-VREF)*gain_iL2;
#if(MODE==M_G2B) //Comprovació sentit iL2
{
    if(iL2<0.0)iL2=0.0;
}
#elif(MODE==M_B2G)
{
    if(iL2>0.0)iL2=0.0;
}
#endif

```

```

//Final recuperem iL2

//Càlcul i càrrega de duty cycle 2
d2=EQ_DC_BOOST(iL2, iL2_offset, iL_pfc_ref, L2Fs, den, inv_2Vout, Vin, Vc,
Ctr_pfc);
#if(MODE==M_G2B) //Limitem duty cycle en la primera etapa precarrega en G2B
{
    if(bcm_start==0){if(d2>0.22)d2=0.22;}
}
#endif
#if(TEST==ETAPA_PFC && !CLOSED_LOOP_PFC)
{
    d2=D_PFC_TEST2;
}
#elif(TEST==DRIVERS_CONVERTIDORS)
{
    d2=D_PFC_TEST;
}
#elif(TEST==ETAPA_BCM)
{
    d2=0;
}
#endif
//Passem di a número per carregar registre EPwm2Regs.CMPA.half.CMPA
dutyCycle2=d2*PWM1_TIMER_TBPRD;
EPwm2Regs.CMPA.half.CMPA=(int)dutyCycle2; //Carreguem registre
//Final càlcul i càrrega de duty cycle 2
//-----Final control de corrent fase 2-----

//-----Control de corrent fase 4-----
//Recuperem iL4
iL4=(iL4_sens*gain_ADC-VREF)*gain_iL4;
iL4=iL4-(Vc-Vbat-Vf)*Tsw_div_3L4; //Correcció pel punt de mostreig.
#if(MODE==M_G2B)
{
    if(iL4<0.0)iL4=0.0;
}
#elif(MODE==M_B2G)
{
    if(iL4>0.0)iL4=0.0;
}
#endif
//Final recuperem iL4

//Càlcul i càrrega de duty cycle 4
#if(MODE==M_B2G) //Limitem duty cycle en la primera etapa precarrega en B2G
{
    if(pfc_start==0){d4=0.98;}
    else {d4=EQ_DC_BUCK(iL4, iL4_offset, iL_stage2_ref, L4Fs, den, Vbat-Vf,
Vc-Vf, Ctr_stage2);}
}
#elif(MODE==M_G2B)
{
    d4=EQ_DC_BUCK(iL4, iL4_offset, iL_stage2_ref, L4Fs, den, Vbat-Vf, Vc-Vf,
Ctr_stage2);
}
#endif
#if(TEST==ETAPA_BCM && !CLOSED_LOOP_BCM) //Test BCM llaç obert
{

```

```

    d4=D_BCM_TEST2;
}
#elif(TEST==DRIVERS_CONVERTIDORS)
{
    d4=D_BCM_TEST;
}
#elif(TEST==ETAPA_PFC)
{
    d4=0;
}
#endif
//Passem di a número per carregar registre EPwm1Regs.CMPA.half.CMPA
dutyCycle4=d4*PWM1_TIMER_TBPRD;
EPwm4Regs.CMPA.half.CMPA=(int)dutyCycle4; //Carreguem registre
//Final càlcul i càrrega de duty cycle 4
//-----Final control de corrent fase 4-----

//.....TEST-----
#if(TEST==ETAPA_PFC && !CLOSED_LOOP_PFC)
{
    j=0; //Si test en llaç obert no entrem mai als llaços de control
}
#endif
//.....TEST-----

//-----Filtre notch-----
if(j==INDEX_FILTRE_NOTCH&&notch_filter==1) //Control Vc a Fc/6=10 kHz.
// on Fc=60kHz
{
    if(pfc_start==1)
    {
        //Filtre notch
        #if(TEST==ETAPA_PFC && CLOSED_LOOP_PFC)
        {
            eVc_actual=VC_REF_TEST-Vc; //Calculem l'error de tensió
        }
        else
        {
            eVc_actual=Vc_ref-Vc; //Calculem l'error de tensió
        }
        #endif
        if(notch_filter==1)
        {
            x0=eVc_actual;
            y0=1*x0+b1*x1+1*x2-a1*y1-a2*y2; //S'aplica equació filtre notch
            y2=y1; //Es guarden les variables
            y1=y0;
            x2=x1;
            x1=x0;
            eVc_actual=y0;
        }
        //limitació de l'error per no sobrecarregar el PI
        if (eVc_actual>eVc_max) eVc_actual=eVc_max;
        else if (eVc_actual<eVc_min) eVc_actual=eVc_min;
        //Final filtre notch
    }
}
//-----Final filtre notch-----

```

```

//-----Control llaç de tensió Vc-----
//Control Vc a Fc/6=10 kHz. Fc=60kHz
else if(j==INDEX_LOOP_DC_LINK&&control_tensio==1)
{
    if(pfc_start==1)
    {
        //Llaç de tensió
        G_actual=G_anterior+k2*(eVc_actual-k1*eVc_anterior); //algorisme PI
        #if(MODE==M_G2B)
        {
            if(G_actual>G_max)G_actual=G_max; //saturacio G
            else if (G_actual<G_min) G_actual=G_min;
        }
        #elif(MODE==M_B2G)
        {
            if(G_actual<-G_max){G_actual=-G_max;} //saturacio G
            else if (G_actual>G_min) G_actual=G_min;
        }
        #endif
        eVc_anterior=eVc_actual; //guardem error actual com anterior
        G_anterior=G_actual; //guardem conductància anterior
        g=0.3333333*G_actual;
        //Fi llaç de tensió
    }
}
//-----Final control llaç de tensió Vc-----

//-----Control de la etapa BCM-----
//Aquí s'entra a una freqüència divisora de la de commutació

else if(j==INDEX_LOOP_P_Bat) //Control bateria a Fc/6=10 kHz. Fc=60kHz
{
    j=0; //Reiniciem l'índex
    #if(MODE==M_B2G)
    {
        #if(TEST==ETAPA_BCM&&REF_POT)
        {
            iBat_ref=- (PBAT_REF_TEST_BCM/Vbat);
        }
        #elif(TEST==ETAPA_BCM&&!REF_POT)
        {
            iBat_ref=-IBAT_REF_TEST_BCM; //Valor prefixat en el test de BCM
        }
        #else
        {
            iBat_ref=I_BAT_REF_B2G;
        }
        //Per extreure potència constant en funció del SOC bateria.
        //iBat_ref=(P_BAT_WITHDRAWN/Vbat);
        #endif
        iL_stage2_ref=iBat_ref*(-0.33333);
        if(iL_stage2_ref<-iL_buck_exit) {iL_stage2_ref=-iL_buck_exit;}
    }
    #elif(MODE==M_G2B)
    {
        #if(TEST==ETAPA_BCM&&REF_POT)
        {
            iBat_ref=PBAT_REF_TEST_BCM/Vbat;
        }
    }
}

```

```

    #elif(TEST==ETAPA_BCM&&!REF_POT)
    {
        iBat_ref=IBAT_REF_TEST_BCM; //Valor prefixat en el test de BCM
    }
    #else
    {
        //Genera el perfil de càrrega de la bateria
        eVBat_actual=VBat_ref-Vbat; //Calculem error de tensió bateria
        iBat_ref=kpBat*(eVBat_actual-
        zoBat*eVBat_anterior)+iBat_ref_anterior;
        if(iBat_ref>iBat_ref_max) iBat_ref=iBat_ref_max;
        else if(iBat_ref<iBat_ref_min)iBat_ref=iBat_ref_min;
        //iBat_ref=I_BAT_REF_B2G;
//Entrega potència constant. Per fer proves
        //iBat_ref=(P_BAT_WITHDRAWN/Vbat);
    }
    #endif
    iL_stage2_ref=iBat_ref*0.33333;
    if(iL_stage2_ref>iL_buck_exit) {iL_stage2_ref=iL_buck_exit;}
    eVBat_anterior=eVBat_actual;
    iBat_ref_anterior=iBat_ref;
}
#endif
}
j++; //incrementem l'índex
//-----Final ontlol de la etapa BCM-----

//-----Gestió avís: corrent inductors iguals a 0-----
#if(MODE==M_B2G||TEST==PONT_MOSFETS||TEST==PONT_MOSFETS_AMB_PFC)
{
    //Gestionem avís corrent inductors iguals a 0
    condicio_inductors();
    //Gestionem avís estat red
    f_estat_VAC();
}
#endif
//-----Final gestió avís: corrent inductors iguals a 0-----

//*****
//-----Fi "tb" pag 110 tesis Adrià-----
//*****

//*****

//*****
//-----Inici "tc" pag 110 tesis Adrià-----
//*****

//-----Control de corrent fase 3-----

//Conf canals ADC per "tc". Abans de l'anàlisi de l'estat de la xarxa
AdcRegs.ADCCHSELSEQ1.bit.CONV00=CANAL_VBAT; //Canal_vout
AdcRegs.ADCCHSELSEQ1.bit.CONV01=CANAL_iL3; //Canal_vin
AdcRegs.ADCCHSELSEQ1.bit.CONV02=CANAL_iL5; //Canal_iL5
//Final conf canals ADC per "tc". Abans de l'anàlisi de l'estat de la xarxa

//Motregem entrades Vbat, iL3, iL5
while(AdcRegs.ADCST.bit.INT_SEQ1==0){}
AdcRegs.ADCST.bit.INT_SEQ1_CLR=1; //Borrem flag EOC of Sequence

```

```

AdcRegs.ADCTRL2.bit.RST_SEQ1=1;      //Resetegem SEQ2

Vbat_sens=AdcRegs.ADCRESULT0 >>4;   //Obtenció mesures ADC Vbat
iL3_sens=AdcRegs.ADCRESULT1 >>4;    //Obtenció mesures ADC iL3
iL5_sens=AdcRegs.ADCRESULT2 >>4;    //Obtenció mesures ADC iL5
//Final motregem entrades Vbat, iL3, iL5

//Recuperem valor real Vbat
Vbat=Vbat_sens*gain_Vbat;

//Proteccio Hardware Vbat
#if(TEST!=ETAPA_PFC&&TEST!=PONT_MOSFETS_AMB_PFC&&TEST!=DRIVERS_CONVERTIDORS)
    if(Vbat>420.0&&k>4) {exit=1;      GpioDataRegs.GPASET.bit.GPIO3=1;}
    else if(Vbat<0.0) Vbat=1.0;
#else
    if(Vbat<0.0) Vbat=1.0;
#endif
//Fi recuperem valor real Vbat

//Recuperem valor real iL3
iL3=(iL3_sens*gain_ADC-VREF)*gain_iL3;
#if(MODE==M_G2B)      //Comprovació sentit iL3
{
    if(iL3<0.0)iL3=0.0;
}
#elif(MODE==M_B2G)
{
    if(iL3>0.0)iL3=0.0;
}
#endif
//Final recuperem valor real iL3

//Càlcul i càrrega de duty cycle 3
d3=EQ_DC_BOOST(iL3, iL3_offset, iL_pfc_ref, L3Fs, den, inv_2Vout, Vin, Vc,
Ctr_pfc);
#if(MODE==M_G2B) //Limitem duty cycle en la primera etapa precarrega en G2B
{
    if(bcm_start==0){if(d3>0.22)d3=0.22;}
}
#endif
#if(TEST==ETAPA_PFC && !CLOSED_LOOP_PFC)
{
    d3=D_PFC_TEST2;
}
#elif(TEST==DRIVERS_CONVERTIDORS)
{
    d3=D_PFC_TEST;
}
#elif(TEST==ETAPA_BCM)
{
    d3=0;
}
#endif
//Passem di a número per carregar registre EPwm2Regs.CMPA.half.CMPA
dutyCycle3=d3*PWM1_TIMER_TBPRD;
EPwm3Regs.CMPA.half.CMPA=(int)dutyCycle3; //Carreguem registre
//Final càlcul i càrrega de duty cycle 3
//-----Fi control de corrent fase 3-----

```

```

//-----Control de corrent fase 5-----
//Recuperem Valor iL5
iL5=(iL5_sens*gain_ADC-VREF)*gain_iL5;
iL5=iL5-(Vc-Vbat-Vf)*Tsw_div_3L5; //Correcció pel punt de mostreig
#if(MODE==M_G2B)
{
    if(iL5<0.0)iL5=0.0;
}
#elif(MODE==M_B2G)
{
    if(iL5>0.0)iL5=0.0;
}
#endif
//Final recuperem Valor iL5

//Càlcul i càrrega de duty cycle 5
#if(MODE==M_B2G) //Limitem di en la primera etapa precarrega en B2G
{
    if(pfc_start==0){d5=0.98;}
    else {d5=EQ_DC_BUCK(iL5, iL5_offset, iL_stage2_ref, L5Fs, den, Vbat-Vf,
    Vc-Vf, Ctr_stage2);}
}
#elif(MODE==M_G2B)
{
    d5=EQ_DC_BUCK(iL5, iL5_offset, iL_stage2_ref, L5Fs, den, Vbat-Vf, Vc-
    Vf, Ctr_stage2);
}
#endif
#if(TEST==ETAPA_BCM && !CLOSED_LOOP_BCM) //Test BCM llaç obert
{
    d5=D_BCM_TEST2;
}
#elif(TEST==DRIVERS_CONVERTIDORS)
{
    d5=D_BCM_TEST;
}
#elif(TEST==ETAPA_PFC)
{
    d5=0;
}
#endif
//Passem di a número per carregar registre EPwm1Regs.CMPA.half.CMPA
dutyCycle5=d5*PWM1_TIMER_TBPRD;
EPwm5Regs.CMPA.half.CMPA=(int)dutyCycle5; //Carreguem registre
//Final calculem cicle de treball fase 5 (Buck 2)

//-----Fi control de corrent fase 5-----

//Conf dels canals ADC per "ta". Abans del llaç de tensio de bateria
AdcRegs.ADCCHSELSEQ1.bit.CONV00=CANAL_VC; //Canal_vc
AdcRegs.ADCCHSELSEQ1.bit.CONV01=CANAL_iL1; //Canal_iL1
AdcRegs.ADCCHSELSEQ1.bit.CONV02=CANAL_iL6; //Canal_iL6
//Final conf dels canals ADC per "ta".

//*****
//-----Fi "tc" pag 110 tesis Adrià-----
//*****

//*****

```

```

//*****
//-----Altres-----
//*****

//-----Comprovacions-----
//Aturar sistema? GPIO32: Interruptor encendre sistema
if(GpioDataRegs.GPBDAT.bit.GPIO32==1)exit=1; //Sortim bucle infinit
//Fi aturar sistema?

//Controlar tensió DC-link? Inicialment Uint16 control_tensio=1;
//Controlat per interruptor GPIO61
if(control_tensio==0 && GpioDataRegs.GPBDAT.bit.GPIO61==0)
//Si LED interruptor llaç tensió en ON
{
    control_tensio=1; //Activem llaç de tensio
    j=INDEX_LOOP_DC_LINK; //Forcem entrada al llaç de tensió la pròxima
                        //volta de codi si no estem en precarrega
}
else if(control_tensio==1 && GpioDataRegs.GPBDAT.bit.GPIO61==1)
//Si LED interruptor llaç tensió en OFF
{
    control_tensio=0; //desactivem llaç de tensio
}
//Fi controlar tensió DC-link?

//Utilitzar filtre Notch? Inicialment Uint16 notch_filter=1;
//Controlat per interruptor GPIO59
if(notch_filter==0 && GpioDataRegs.GPBDAT.bit.GPIO59==0)
//Si LED interruptor filtre notch en ON
{
    notch_filter=1; //Activem filter notch
    j=INDEX_LOOP_DC_LINK; //Forcem entrada al llaç de la bat la pròxima
                        //volta de codi si no estem en precarrega
}
else if(notch_filter==1 && GpioDataRegs.GPBDAT.bit.GPIO59==1)
//Si LED interruptor filtre notch en OFF
{
    notch_filter=0; //Desactivem filter notch
}
//Final utilitzar filtre Notch?
//-----Final comprovacions-----

//.....TEST==ETAPA_PFC or TEST==ETAPA_BCM-----
#if(TEST==ETAPA_PFC)
{
    if(pfc_start==0)
    {
        if(k<5) //Primers sensats erroris
        {
            k++;
        }
        else //La primera vegada que es fa passar el codi no s'activen
            //drivers per no tenir d1 un valor decent
        {
            //Drivers PFC es desapareixen per ePWM
            EALLOW;
            GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1; // 0=GPIO, 1=EPWM1A,
            GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1; // 0=GPIO, 1=EPWM2A,
        }
    }
}

```



```

else //La primera vegada que es fa passar el codi no
    //s'activen drivers per no tenir d1 un valor decent
{
    //Drivers PFC es disparen per ePWM
    EALLOW;
    GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1; // 0=GPIO, 1=EPWM1A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1; // 0=GPIO, 1=EPWM2A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 1; // 0=GPIO, 1=EPWM3A,
    EDIS;
    //Final drivers PFC es disparen per ePWM

    pfc_start=1; //Evitem tornar en aquest bloc
}
}
//Final 1a etapa precàrrega.

//3a etapa precàrrega. Una vegada PFC funcionant i DCLink
//carregat a 400V, la etapa BCM entra en funcionament
else if(pfc_start==1&&bcm_start==0&&Vc>Vc_ref)
{
    if(k<6) //(Quan s'arriba aquí, k=5) Calculem paràmetres
        //control abans d'activar els PWM de la etapa BCM
    {
        j=INDEX_FILTRE_NOTCH; //Forcem accions de control
        k++;
    }
    else
    {
        //Drivers BCM es disparen per ePWM
        EALLOW;
        GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1; // 0=GPIO, 1=EPWM4A,
        GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1; // 0=GPIO, 1=EPWM5A,
        GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1; // 0=GPIO, 1=EPWM6A,
        EDIS;
        //Final drivers BCM es disparen per ePWM

        bcm_start=1; //Evitem tornar a entrar en aquest bloc
    }
}
//Final 2a etapa precàrrega.
//-----Final precàrrega G2B-----
}

#elif(MODE==M_B2G)
{
    //-----Precàrrega B2G-----

    //Info etapes precàrrega
    //1a Etapa: pfc_start=0 bcm_start=0. Estat inicial. Sensat correcte
    //totes variables per càlculs.
    //2a Etapa: pfc_start=0 bcm_start=1. Encendre BCM.
    //3a Etapa: pfc_start=1 bcm_start=1. Funcionament nominal.Encendre PFC
    //Final Info etapes precàrrega

    //1a i 2a etapa precàrrega. Després de l'etapa inicial. Inici
funcionament
    //etapa BCM. PFC no funcionant
    if(bcm_start==0&&Vc>Vc_inici_pre&&Vc<Vc_max)
    {

```

```

    if(k<5)    //Evitem agafar primers valors erronis Vc
    {
        j=INDEX_LOOP_P_Bat; //Forcem llaç de control
        k++;
    }
    else      //La primera vegada que es fa passar el codi no
              //s'activen drivers per no tenir d1 un valor decent
    {
        //Drivers BCM es disparen per ePWM
        EALLOW;
        GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1; // 0=GPIO, 1=EPWM4A,
        GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1; // 0=GPIO, 1=EPWM5A,
        GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1; // 0=GPIO, 1=EPWM6A,
        EDIS;
        //Final drivers BCM es disparen per ePWM

        bcm_start=1;    //Evitem tornar en aquest bloc
    }
}
//Final 1a etapa precàrrega.

//2a etapa precàrrega.Una vegada PFC funcionant i DClint carregat
//a 400V, la etapa BCM entra en funcionament
else if(bcm_start==1&&pfc_start==0&&Vc>Vc_ref)
//Si hi ha ringing pot haver algun problema
{
    if(k<6)    //Calculem paràmetres control abans d'activar els
              //PWM de la etapa BCM
    {
        j=INDEX_LOOP_DC_LINK; //Forcem accions llaços de control
        k++;
    }
    else
    {
        //Drivers PFC es disparen per ePWM
        EALLOW;
        GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1; // 0=GPIO,
        GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1; // 0=GPIO,
        GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 1; // 0=GPIO,
        EDIS;
        //Final drivers PFC es disparen per ePWM

        pfc_start=1;    //Evitem tornar a entrar en aquest bloc
    }
}
//Final 2a etapa precàrrega.
//-----Final precàrrega B2G-----
}
#endif
//.....Final TEST==ETAPA_PFC or TEST==ETAPA_BCM-----

#if(MODE==M_G2B)    //Potser fer algo similar per G2B
{
    if((bcm_start==0))
    {
        if(iL1>7.0||iL2>7.0||iL3>7.0)
        {
            GpioDataRegs.GPACLEAR.bit.GPIO18=1; //desactivem G2B boost

```

```

        retall_i_in=1;
    }
    else
    {
        GpioDataRegs.GPASET.bit.GPIO18=1;           //activem G2B boost
    }
}
}
#elif(MODE==M_B2G)
{
    if(pfc_start==0)
    {
        if(iL6<-7.0||iL5<-7.0||iL4<-7.0)
        {
            GpioDataRegs.GPBCLEAR.bit.GPIO33=1;     //desactivem B2G buck
            retall_i_bat=1;
        }
        else
        {
            GpioDataRegs.GPBSET.bit.GPIO33=1;       //activem B2G buck
        }
    }
}
#endif

//.....TEST==DRIVERS_CONVERTIDORS-----
#if(TEST==DRIVERS_CONVERTIDORS)
{
    //Drivers PFC i BCM es disparen per ePWM
    EALLOW;
    GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1;           // 0=GPIO, 1=EPWM1A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1;           // 0=GPIO, 1=EPWM2A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 1;           // 0=GPIO, 1=EPWM3A,

    GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1;           // 0=GPIO, 1=EPWM4A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1;           // 0=GPIO, 1=EPWM5A,
    GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1;          // 0=GPIO, 1=EPWM6A,
    EDIS;
    //Final drivers BCM es disparen per ePWM
}
#endif

//.....Final TEST==DRIVERS_CONVERTIDORS-----

//-----Correcció empírica-----
#if(CORRECCIO_BCM_VF)
{
    Vf=alpha*(a11*Vbat+a22)+(1-alpha)*Vf;
    if(Vf>Vf_max) Vf=Vf_max;
    else if(Vf<Vf_min) Vf=Vf_min;
}
#endif

//-----Final correcció empírica-----

//-----Gestió avís: corrent inductors iguals a 0-----
#if(MODE==M_B2G||TEST==PONT_MOSFETS||TEST==PONT_MOSFETS_AMB_PFC)
//Gestionem drives en funció de l'estat de la red només si B2G
{
    //Gestionem avis corrent inductors iguals a 0

```

```

        condicio_inductors();
        //Gestionem avis estat red
        f_estat_VAC();
    }
    #endif
    //-----Final gestió avis: corrent inductors iguals a 0-----

    //*****
    //-----Final altres-----
    //*****

    } //fi bucle infinit
//=====
//  INFINITE LOOP
//=====

//-----Apagada del sistema-----
    GpioDataRegs.GPASET.bit.GPIO1=1; //LED STOP (Placa Interruptors)ON
    GpioDataRegs.GPBCLEAR.bit.GPIO34=1; //LED 3 (Placa DSP) OFF
    stop_system(); //Crida funció aturar el sistema
    exit=0; //Sistema ja no entra més al bucle infinit
//-----Final apagada del sistema-----

#endif //final if TEST==GPIO5

} //END MAIN CODE
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
// FINAL MAIN CODE - starts here
//%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```

