



Departament d'Enginyeria Electrònica Elèctrica i Automàtica

CONVERTIDOR DC-DC TIPUS BUCK AMB CONTROL BASAT EN LÒGICA BORROSA

TITULACIÓ: Enginyeria Automàtica i Electrònica Industrial

AUTOR: Javier Ametller Borrás.
DIRECTOR: Enric Vidal Idiarte.

DATA: Juny de 2009.

Índex

1	Introducció.....	5
2	Antecedents	5
3	Objectiu General.....	5
4	Convertidors DC-DC	6
4.1	Introducció al Convertidor Buck	6
4.2	Especificacions de Disseny	6
4.3	Càlcul de les Equacions per Obtenir el Model de la Planta del Convertidor Buck.....	7
5	Control Borrós	14
5.1	Introducció a la Lògica Borrosa	14
5.2	Teoria de Conjunts Borrosos	15
5.2.1	Conjunt Borrós	15
5.3	Estructura Bàsica d'un Controlador Borrós.....	16
5.3.1	Estratègia de borrosificació	17
5.3.2	Base de dades	17
5.3.3	Base de regles	18
5.3.4	Inferència	19
5.3.5	Desborrosificació.....	21
5.4	Control Borrós Tipus Proporcional-Integral (PI)	21
6	Model Simulink amb Control Basat en Lògica Borrosa	22
7	Obtenció dels Conjunts Borrosos i Resultat de les Simulacions	24
7.1	Introducció.....	24
7.2	Conjunts Borrosos (5 error, 3 increment error, 7 sortida)	24
7.3	Conjunts Borrosos (3 error, 3 increment error, 5 sortida)	31
7.4	Conjunts Borrosos (2 error, 2 increment error, 3 sortida)	37
8	Control de Corrent Màxim	44
8.1	Funcionament	44
8.2	Inestabilitat per $D > 0,5$	45
8.3	Rampa de Compensació del Control de Corrent Màxim.....	49
8.4	Model Simulink amb Control de Corrent Màxim	52
9	Desenvolupament Físic del Control Basat en Lògica Borrosa.....	62
9.1	Introducció.....	62
9.2	Microcontrolador dsPIC30F3010	62
9.2.1	Característiques Principals del Microcontrolador dsPIC30F3010	63

9.3	Mòdul PWM.....	63
9.3.1	Introducció.....	63
9.3.2	Estructura general.....	64
9.3.3	Generació de la base de temps.....	64
9.3.3.1	Principi de funcionament de la base de temps.	65
9.3.3.2	Mode de funcionament de la base de temps.	66
9.3.3.3	Preescaler i postescaler de la base de temps.	67
9.3.4	Selecció del període i del cicle de treball	68
9.3.5	Tipus de senyals de sortida.....	68
9.3.5.1	Flanc alineat	68
9.3.5.2	Pols únic.....	69
9.3.5.3	Centre alineat	70
9.3.6	Modes de sortida.....	70
9.3.7	Registres de configuració i control.....	71
9.3.8	Sincronització amb ADC.....	75
9.4	Mòdul ADC	76
9.4.1	Introducció.....	76
9.4.2	Registres de control	78
9.4.3	Terminologia A/D i seqüència de conversió	78
9.4.4	Configuració del mòdul conversor analògic digital	80
9.4.5	Selecció de la font de voltatge de referència	81
9.4.6	Selecció del rellotge de conversió	81
9.4.7	Selecció d'entrades analògiques pel mostreig.....	82
9.4.7.1	Configuració dels pins del port analògic.....	82
9.4.7.2	Selecció d'entrada dels canals 0, 1, 2 i 3	82
9.4.8	Permís de funcionament del mòdul	82
9.4.9	Especificacions de la seqüència de mostreig i conversió	83
9.4.9.1	Número de canals de mostreig i retenció	83
9.4.10	L'inici del mostreig	83
9.4.11	El final del mostreig i el començament de la conversió.....	83
9.4.12	Escriptura dels resultats a la pila	84
9.4.12.1	Número de conversions per interrupció	84
9.4.12.2	Restriccions de la mida del buffer.....	84
9.4.12.3	Mode i estat d'omplir la pila	84
9.4.13	Buffer del resultat de la conversió analògica digital	84

9.4.14	Lectura de la pila de resultats A/D	84
9.4.15	Configuració dels registres de control	85
9.5	Circuit Pràctic de la part de control mitjançant el dsPIC30F3010	94
9.5.1	Driver.....	94
9.5.2	Oscil·lador	96
9.5.3	Codi del programa en C.....	96
9.5.4	Resultats experimentals	100
10	Incorporació de Control Feedforward	108
10.1	Introducció.....	108
10.2	Model simulink amb control Feedforward	109
10.3	Circuit experimental modificat.....	110
10.4	Codi programa amb feedforward.....	111
11	Bibliografia.....	118

1 Introducció

Els controladors digitals poden oferir un gran número d'avantatges en els convertidors de potència contínua – contínua. Aquests avantatges fan referència a l'anàlisi, el disseny i la implementació dels convertidors de potència contínua – contínua. Per tot això, aquesta emergent i novedosa àrea està rebent una creixent atenció. Les tècniques de gestió avançades de la potència, confien en la integració del control de potència i de les funcions de conversió amb els sistemes digitals.

En un control digital les característiques del compensador i de les proteccions poden ser programables, reduint o eliminant la necessitat dels components passius per a realitzar l'ajust del sistema. Conseqüentment, el mateix hardware del controlador digital pot ser utilitzat en un determinat rang de configuracions del convertidor de potència i de valors dels paràmetres de la planta del sistema a controlar. Els controladors digitals presenten una baixa sensibilitat respecte al procés i les variacions dels paràmetres. A més a més, és possible implementar esquemes de control que es considerarien impracticables en sistemes analògics, obtenint-se unes respostes dinàmiques satisfactòries.

Des del punt de vista del disseny del control digital, el principal avantatge és que es poden utilitzar un ventall d'eines, les quals, retallen el període de la fase del disseny del sistema. El disseny pot ser utilitzat fàcilment en diferents processos, integrant-los amb altres sistemes digitals o modificant-los per a complir amb unes noves especificacions.

Tot i els evidents avantatges, una acceptació més amplia en l'ús de tècniques digitals, per a sistemes d'alta freqüència i baixa-mitja potència, és encara obstaculitzada per la dificultat d'ús, la disponibilitat i el cost per prestacions.

2 Antecedents

Es parteix d'un projecte final de carrera realitzat per un alumne d'enginyeria tècnica industrial en electrònica industrial. En aquest es pretenia programar el microcontrolador MC56F8367 integrat a la placa d'avaluació 56F8367 per aconseguir regular la tensió de sortida en un convertidor DC-DC de tipus Buck. La regulació es realitzava mitjançant un llaç de tensió i amb la implementació d'un controlador digital PID.

Alhora aquest alumne partia del disseny i implementació un controlador digital PID sobre un convertidor Buck mitjançant la programació d'un PIC 18F258 fet per un alumne d'enginyeria en automàtica i electrònica industrial. El seu projecte partia del document *20W Benchmark Converters for Simulation and Control Comparisons* dels autors *Richard Muyshondt* i *Philip T.Krein*. Aquests autors havien fet un estudi força extens sobre el control analògic dels convertidors Buck, Boost i Buck-Boost. L'objectiu de l'alumne era el d'aconseguir els mateixos resultats en un convertidor Buck però usant un control digital.

3 Objectiu General

Ara en aquest projecte es partirà de la mateixa planta realitzada per l'alumne d'enginyeria tècnica però es dissenyarà i s'implementarà un control PI basat en lògica borrosa sobre un microcontrolador dsPIC30F3010. Aquest microcontrolador ens

proporciona la possibilitat de treballar en nombres fraccional, el que ens afavoreix ja que les funcions de pertinença del conjunt borrós es mouran dins d'aquest rang.

Al control borrós s'implementaran diferents quantitats de funcions de pertinença per a l'error i per a l'increment de l'error per així obtenir un control més òptim de la tensió de sortida. També es compararà mitjançant simulació el control PI basat en lògica borrosa amb el control de corrent màxim.

4 Convertidors DC-DC

Un convertidor dc-dc transforma una tensió contínua en una altra que també ho és. Aquests convertidors s'utilitzen en moltes aplicacions industrials on es requereix convertir un voltatge fix d'una font de tensió contínua en un voltatge de sortida també continu. Es pot considerar que un convertidor dc-dc és l'equivalent a un transformador; es pot usar per pujar o baixar un voltatge d'entrada.

Existeixen dos circuits bàsics d'aquests convertidors: Buck i Boost. També existeixen models híbrids on es munten Buck i Boost alhora.

- El convertidor Buck és un convertidor de potència reductor. Això vol dir que la tensió de sortida mai serà major que la d'entrada. En aquest projecte s'aprofundirà en el convertidor Buck.

- El convertidor Boost és un convertidor de potència elevador. Això vol dir que la tensió de sortida serà major que la d'entrada.

- El convertidor Buck-Boost és un convertidor reductor i elevador que proporciona un voltatge que pot ser menor o major que el voltatge d'entrada però que la polaritat de la tensió de sortida és contrària a la del voltatge d'entrada. Aquest regulador també rep el nom de regulador inversor.

4.1 Introducció al Convertidor Buck

Com ja s'ha mencionat anteriorment, el convertidor Buck és un convertidor de potència reductor. Això vol dir que la tensió de sortida mai serà major que la d'entrada. A continuació s'analitzarà el comportament elèctric d'aquest tipus de convertidor per a obtenir les equacions d'estat i dissenyar el model que es farà servir en les simulacions.

Existeixen dos modes de funcionament en funció del comportament del corrent que circula per la bobina.

Mode continu: el corrent que circula per la bobina és sempre més gran que zero durant tot el període de commutació.

Mode discontinu: el corrent que circula per la bobina és en algun instant igual a zero.

En el disseny d'aquest convertidor es treballarà en tot moment en mode de conducció continu.

4.2 Especificacions de Disseny

En la taula 1 es poden veure les especificacions demanades per a implementar el circuit.

Topologia	Convertidor Buck
Tensió d'entrada	12 V nominals amb un 20% de arrissat a 100 o 120 Hz
Tensió de sortida	5 V nominals amb riçat i regulació per mantenir la sortida
Potència de sortida	20 W nominals amb un bon funcionament en el rang de 0 a 20 W
Freqüència de commutació	100 kHz
Control	PI basat en lògica borrosa

Taula 1. Especificacions del convertidor Buck

4.3 Càlcul de les Equacions per Obtenir el Model de la Planta del Convertidor Buck

El elements que formen la planta del convertidor Buck ofereixen unes pèrdues que s'hauran de tenir en compte a l'hora de dissenyar-la, per així, aproximar al màxim la planta de la simulacions amb la planta del circuit físic.

Aquests són:

- **L'interruptor:** En el nostre cas un PMOS, té una resistència de conducció (r_{ds}) que fa que generi pèrdues en forma de calor.
- **El díode:** Té una caiguda de tensió (V_D) que afecta directament a la tensió de sortida.
- **L'inductor:** L'inductor real té una resistència en sèrie (r_L) que provoca una caiguda de tensió quan hi travessa el corrent. Aquesta caiguda de tensió es veurà reflectida a la sortida.
- **El condensador:** A l'igual que la bobina, el condensador també té una resistència en sèrie (r_C).

Així doncs, tenint en compte aquest elements el model del circuit Buck queda reflectit en el següent circuit:

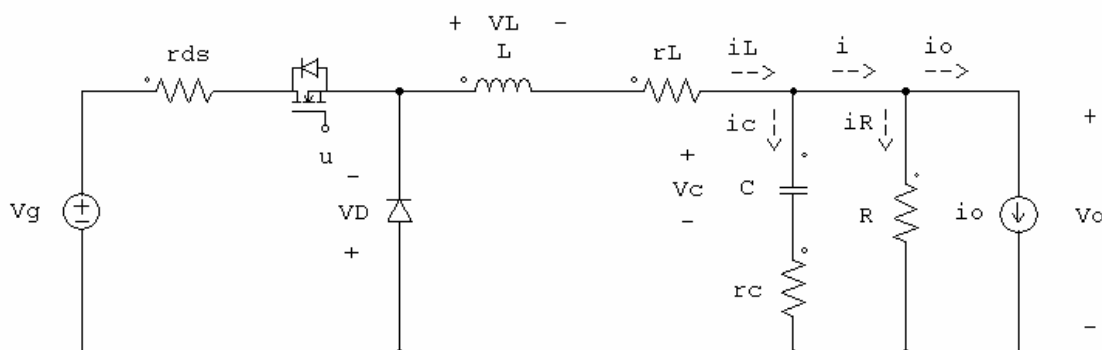


Figura 1. Model del convertidor Buck utilitzat per obtenir les equacions

Com es pot observar a la figura 1 s'ha introduït un corrent extern (i_o) per a poder generar una pertorbació sobre la resistència R , que serà com si realitzéssim un canvi de càrrega al model experimental. En el nostre cas volem aconseguir canvis de càrrega a la sortida de $R = 1,1 \Omega$ a $R = 2,2 \Omega$ i a la inversa.

- **Càlcul de la tensió de sortida**

Primerament es calcularà el valor de la tensió de sortida i posteriorment les equacions que utilitzarem per obtenir la planta del convertidor Buck que mitjançant el MATLAB crearem.

$$i = i_L - i_C \quad (1)$$

$$i_R = i - i_o \quad (2)$$

Aplicant (1) en (2) tenim que

$$i_R = i_L - i_C - i_o \quad (3)$$

$$i_R = \frac{V_o}{R} \quad (4)$$

$$i_C = \frac{V_o - V_C}{r_C} \quad (5)$$

Substituïm a l'equació (3) les equacions (4) i (5) i obtenim que

$$\frac{V_o}{R} = i_L - \frac{V_o - V_C}{r_C} - i_o \quad (6)$$

$$V_o = \left(\frac{R \cdot r_C}{R + r_C} \right) \cdot i_L + \left(\frac{R}{R + r_C} \right) \cdot V_C - \left(\frac{R \cdot r_C}{R + r_C} \right) \cdot i_o \quad (7)$$

Obtenció de les equacions quan $u = 1$.

El circuit per a $u = 1$ és el següent:

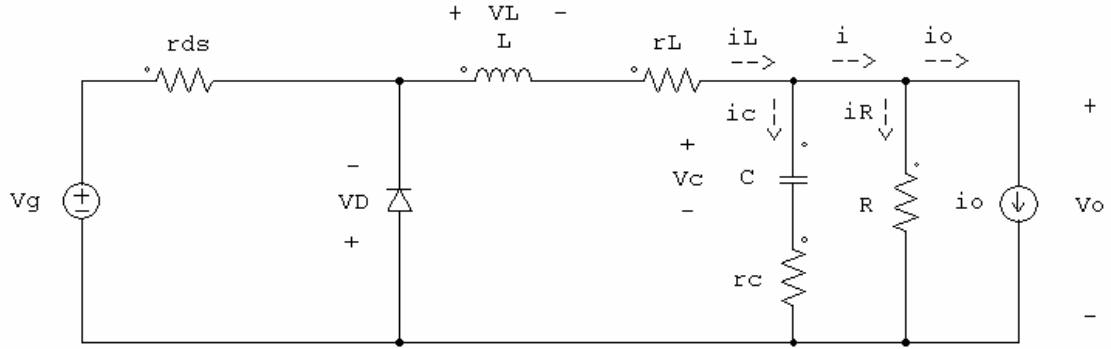


Figura 2. Model del convertidor Buck utilitzat per obtenir les equacions del convertidor Buck quan $u = 1$

La tensió a l'inductor i el corrent al condensador tenen la següent expressió:

$$V_L = L \frac{\partial i_L}{\partial t} \quad (8)$$

$$i_C = C \frac{\partial V_C}{\partial t} \quad (9)$$

- **Càlcul de la tensió a l'inductor.**

$$L \frac{\partial i_L}{\partial t} = V_g - [(r_L \cdot i_L) + (r_{DS} \cdot i_L) + V_O] \quad (10)$$

A continuació substituint l'equació (7) en (10) obtenim que la tensió a l'inductor és

$$L \frac{\partial i_L}{\partial t} = V_g + \left(-r_L - r_{DS} - \frac{R \cdot r_C}{R + r_C} \right) i_L - \left(\frac{R}{R + r_C} \right) V_C + \left(\frac{R \cdot r_C}{R + r_C} \right) i_O \quad (11)$$

- **Càlcul del corrent al condensador.**

De l'equació (3) sabem que $i_C = i_L - i_R - i_O$, substituint les equacions (4) i (9) en la primera tenim que

$$C \frac{\partial V_C}{\partial t} = i_L - \frac{V_O}{R} - i_O \quad (12)$$

i aplicant (7) en (12) obtenim que el corrent al condensador és

$$C \frac{\partial V_c}{\partial t} = \left(\frac{R}{R + r_c} \right) i_L - \left(\frac{1}{R + r_c} \right) V_c - \left(\frac{R}{R + r_c} \right) i_o \quad (13)$$

Finalment, les equacions quan $u = 1$ són les següents:

$$\underbrace{\begin{bmatrix} \frac{\partial i_L}{\partial t} \\ \frac{\partial V_c}{\partial t} \end{bmatrix}}_{\dot{X}_1} = \underbrace{\begin{bmatrix} -\frac{r_L}{L} - \frac{r_{DS}}{L} - \frac{R \cdot r_c}{(R + r_c)L} & -\frac{R}{(R + r_c)L} \\ \frac{R}{(R + r_c)C} & -\frac{1}{(R + r_c)C} \end{bmatrix}}_{A_1} \underbrace{\begin{bmatrix} i_L \\ V_c \end{bmatrix}}_{\dot{X}} + \underbrace{\begin{bmatrix} \frac{V_g}{L} \\ 0 \end{bmatrix}}_{B_1} + \underbrace{\begin{bmatrix} \frac{R \cdot r_c}{(R + r_c)L} \\ -\frac{R}{(R + r_c)C} \end{bmatrix}}_I i_o \quad (14)$$

Obtenció de les equacions quan $u = 0$.

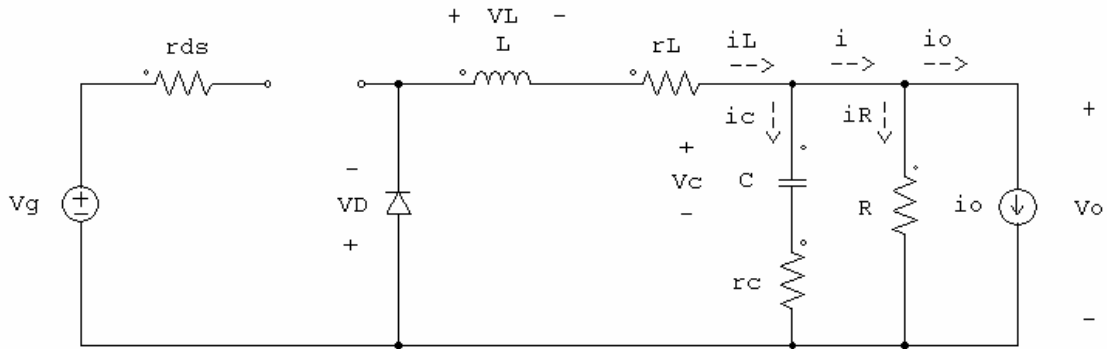


Figura 3. Model del convertidor Buck utilitzat per obtenir les equacions del convertidor Buck quan $u = 0$

- **Càlcul de la tensió a l'inductor.**

$$L \frac{\partial i_L}{\partial t} = -V_D - (r_L \cdot i_L) + V_o \quad (15)$$

A continuació substituint l'equació (7) en (15) obtenim que la tensió a l'inductor és

$$L \frac{\partial i_L}{\partial t} = -V_D + \left(-r_L - \frac{R \cdot r_c}{R + r_c} \right) i_L - \left(\frac{R}{R + r_c} \right) V_c + \left(\frac{R \cdot r_c}{R + r_c} \right) i_o \quad (16)$$

- **Càlcul del corrent al condensador.**

De l'equació (3) sabem que $i_c = i_L - i_R - i_o$, substituint les equacions (4) i (9) en la primera tenim que

$$C \frac{\partial V_c}{\partial t} = i_L - \frac{V_o}{R} - i_o \quad (17)$$

i aplicant (7) en (17) obtenim que el corrent al condensador és

$$C \frac{\partial V_c}{\partial t} = \left(\frac{R}{R + r_c} \right) \cdot i_L - \left(\frac{1}{R + r_c} \right) V_c - \left(\frac{R}{R + r_c} \right) \cdot i_o \quad (18)$$

Les equacions quan $u = 0$ són les següents:

$$\underbrace{\begin{bmatrix} \frac{\partial i_L}{\partial t} \\ \frac{\partial V_c}{\partial t} \end{bmatrix}}_{\dot{X}_2} = \underbrace{\begin{bmatrix} -\frac{r_L}{L} - \frac{R \cdot r_c}{(R + r_c) \cdot L} & -\frac{R}{(R + r_c) \cdot L} \\ \frac{R}{(R + r_c) \cdot C} & -\frac{1}{(R + r_c) \cdot C} \end{bmatrix}}_{A_2} \cdot \underbrace{\begin{bmatrix} i_L \\ V_c \end{bmatrix}}_{\dot{X}} + \underbrace{\begin{bmatrix} -\frac{V_D}{L} \\ 0 \end{bmatrix}}_{B_2} + \underbrace{\begin{bmatrix} \frac{R \cdot r_c}{(R + r_c) \cdot L} \\ -\frac{R}{(R + r_c) \cdot C} \end{bmatrix}}_I \cdot i_o \quad (19)$$

L'equació total tenint en compte els dos estat de treball és com a continuació es detalla,

$$\dot{X} = (A_1 \cdot X + B_1 + I)u + (A_2 \cdot X + B_2 + I)(1 - u) \quad (20)$$

on desenvolupant tenim que

$$\dot{X} = A_1 \cdot X \cdot u - A_2 \cdot X \cdot (1 - u) + I \cdot u + I \cdot (1 - u) + B_1 \cdot u + B_2 \cdot (1 - u) \quad (21)$$

quedant finalment la següent equació

$$\dot{X} = [A_2 + (A_1 - A_2)u]X + B_1 \cdot u + B_2 \cdot (1 - u) + I \quad (22)$$

per tant,

$$\underbrace{\begin{bmatrix} \frac{\partial i_L}{\partial t} \\ \frac{\partial V_C}{\partial t} \end{bmatrix}}_{\dot{X}} = \underbrace{\begin{bmatrix} -\frac{r_L}{L} - \frac{R \cdot r_C}{(R+r_C)L} & -\frac{R}{(R+r_C)L} \\ \frac{R}{(R+r_C)C} & -\frac{1}{(R+r_C)C} \end{bmatrix}}_{A_2} \cdot \underbrace{\begin{bmatrix} r_{DS} \\ L \\ 0 \\ 0 \end{bmatrix}}_{(A_1-A_2)} \cdot \underbrace{\begin{bmatrix} i_L \\ V_C \end{bmatrix}}_{\dot{X}} + \underbrace{\begin{bmatrix} \frac{V_g}{L} \\ 0 \end{bmatrix}}_{B_1} \cdot u + \underbrace{\begin{bmatrix} -\frac{V_D}{L} \\ 0 \end{bmatrix}}_{B_2} \cdot (1-u) + \underbrace{\begin{bmatrix} \frac{R \cdot r_C}{(R+r_C)L} \\ -\frac{R}{(R+r_C)C} \end{bmatrix}}_I \cdot i_o \quad (23)$$

El model utilitzat per a realitzar les simulacions és el de la figura 4 on s'han aplicat les equacions obtingudes a 7 (tensió de sortida) i 23.

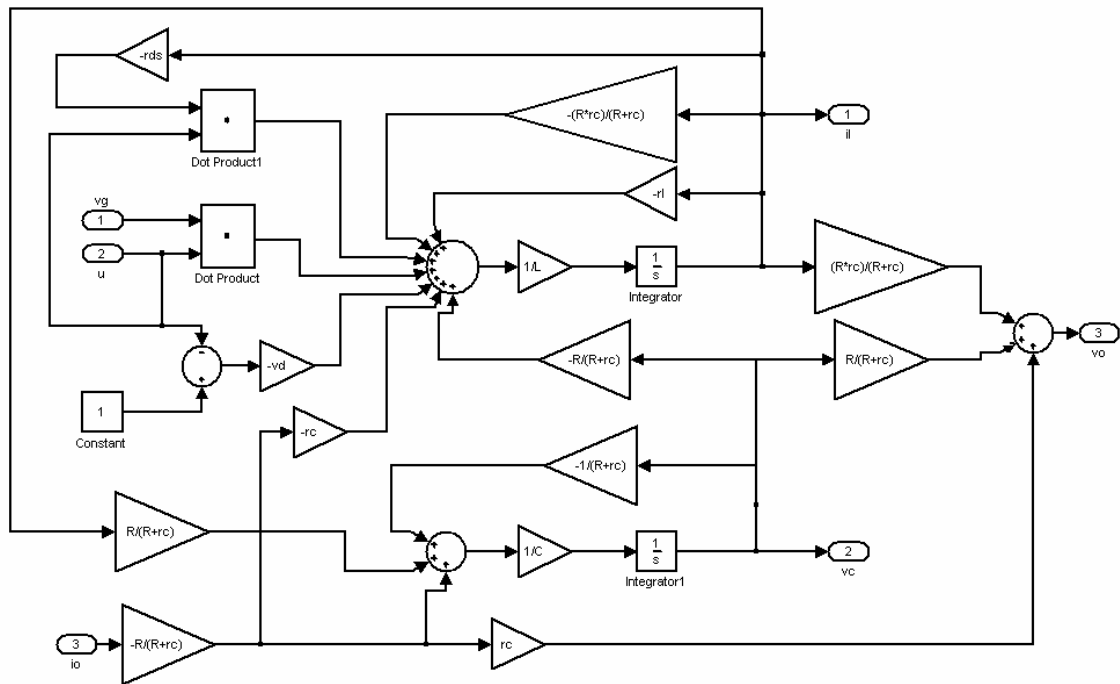


Figura 4. Planta del convertidor Buck per realitzar les simulacions

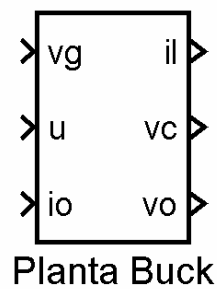


Figura 5. Bloc que representa la planta del convertidor Buck a simular

En la taula 2 es pot veure el llistat de components utilitzats per a crear la planta del convertidor Buck.

L (μH)	68
--------	----

rl (mΩ)	32
C (μF)	47
rc (mΩ)	19
R (Ω)	1,1
rds (mΩ)	300
vd (V)	0,4

Taula 2. Llistat de components de la planta del convertidor Buck

Per a comprovar si la planta del convertidor Buck està ben dissenyada i correspon amb la planta experimental, s'executarà aquesta amb la tensió d'entrada ($V_g = 12$ V) i un valor de cycle de treball (u) de 0,42, ja que el cycle de treball del convertidor és la tensió de sortida partir entre la tensió d'entrada. Aquesta simulació correspon a executar la planta en llaç obert. El resultat d'aquesta simulació es compararà més endavant amb la planta del convertidor experimental.

La figura 6 correspon a l'arrancada de la tensió de sortida un cop executada la planta en llaç obert. Com es pot observar la tensió de sortida té un sobrepic que arriba fins als 4,66 V, un temps d'establiment de 0,6 ms i un valor en estat estacionari de 4,2 V.

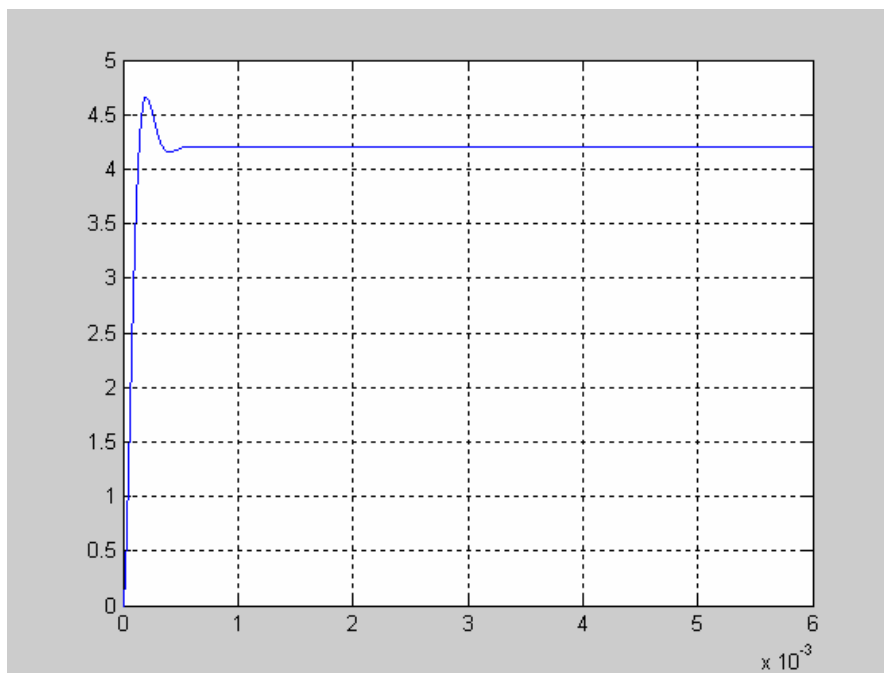


Figura 6. Simulació de l'arrancada de la tensió de sortida en llaç obert

La figura 7 representa la tensió de sortida un cop s'ha realitzat el canvi de càrrega de 1,1 Ω a 2,2 Ω, executant la planta en llaç obert. Com es pot observar la tensió de sortida té un sobrepic que arriba fins als 6,02 V, un temps d'establiment de 0,75 ms i un valor en estat estacionari de 4,5 V.

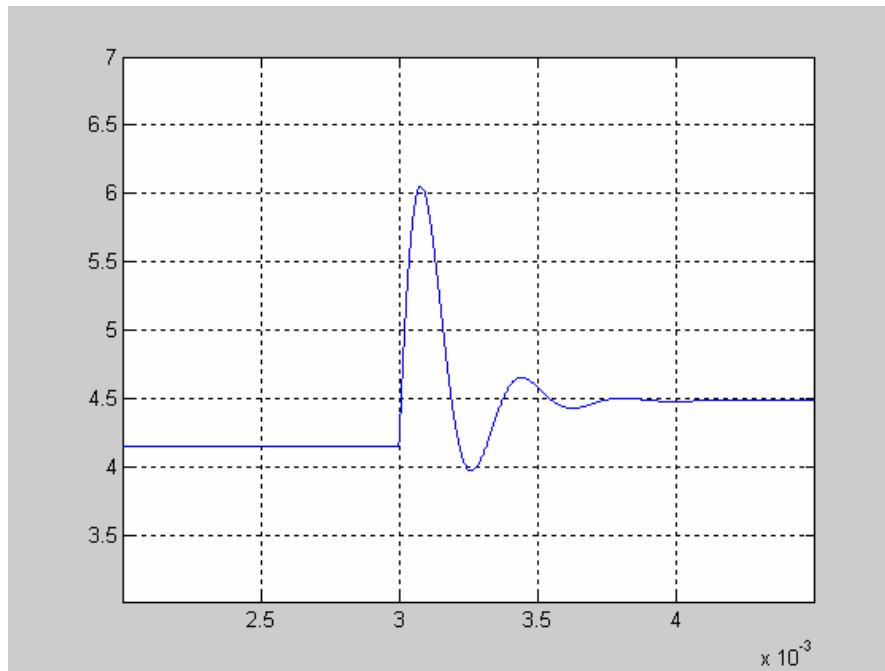


Figura 7. Simulació de la tensió de sortida en llaç obert després de realitzar el canvi de càrrega de 1,1 Ω a 2,2 Ω

5 Control Borrós

5.1 Introducció a la Lògica Borrosa

Les bases teòriques de la lògica borrosa foren establertes al 1965 pel professor Lofti A Zadeh de la universitat de Califòrnia, a Berkeley. Aquesta lògica en la que estan basats els controladors borrosos, està molt més a prop en esperit, de la manera de raonar dels éssers humans i del llenguatge natural que els sistemes lògics tradicionals. Bàsicament, la lògica borrosa proporciona un mitjà efectiu de capturar la naturalesa inexacta del món real. En essència, els controladors borrosos proporcionen un algorisme que ens permet convertir l'estratègia lingüística de control basada en el coneixement d'un expert, en una estratègia de control automàtica.

Control borros i control convencional

- El control convencional està basat en el model del procés (planta) a controlar, lineal i no lineal, continu i discret, en el domini del temps o transformat. El llenguatge propi són les equacions diferencials o en diferències.
- El control borros parteix del comportament del procés a controlar. El llenguatge propi són les regles heurístiques (pròpies de cada cas en estudi). I gràcies a aquest llenguatge el controlador borros és capaç de donar solució al control de plantes de difícil modelat matemàtic.

Alguns exemples quotidians que demostren la capacitat del control borros són:

- Conduir una bicicleta.
- Mantenir una escombra en posició vertical sobre un dit.
- Conduir un cotxe.

- Etc.

5.2 Teoria de Conjunts Borrosos

La teoria de conjunts clàssica dictamina que un element x pertany o no pertany a un conjunt A . El grau de pertinença a un grup només pot ser 1 o 0. Conseqüentment, amb la teoria de conjunts clàssica és molt difícil expressar vaguetat o imprecisió d'un concepte. És a dir, no podem expressar de forma computacional conceptes com “gran”, “fred”, “a prop”, etc..., ja que aquests s'associen a coses amb més graus de pertinença que 0 o 1.

Per exemple, si definim el concepte “persona alta” utilitzant la teoria de conjunts clàssica, ho podríem representar com: $\{x \text{ és alta si alçada} \geq 190 \text{ cm}\}$. Aquesta definició implicaria que una persona la qual tingués una alçada de 185 cm no seria considerada “persona alta”, cosa que està bastant allunyada de la realitat. Per la nostra manera de raonar, aquesta persona està considerada “alta” encara que no tant com una persona on la seva alçada fos de 195 cm. Aquest problema d'interpretació apareix al intentar classificar aquest concepte humà a través de conjunts on les seves fronteres són abruptes i, per això, es va crear la teoria dels conjunts borrosos, amb l'ànim de solucionar la incapacitat de representació de conceptes humans utilitzant conjunts tradicionals.

5.2.1 Conjunt Borrós

Un conjunt borrós és un conjunt sense límits abruptes ni clarament definits. Poden existir elements amb un cert grau de pertinença. El conjunt borrós està associat a un valor lingüístic, definit per una paraula, adjectiu o etiqueta lingüística (molt jove, jove, adult, major, etc). I es defineix matemàticament com:

$$F = \{(u, \mu_F(u)) | u \in U\} \quad (24)$$

On:

- u , és la variable lingüística.
- $\mu_F(u) \rightarrow [0,1]$, és el grau de pertinença de la variable u .
- U , és el domini d'aplicació, anomenat en terminologia borrosa l'Univers de Discurs.

La funció de pertinença representa la noció de la pertinença parcial de un element a una classe. En conseqüència, la classe posseeix fronteres no abruptes i està definida pels seus elements i els graus de pertinença associats.

Aquesta funció de pertinença pot ser una corba arbitrària, i depenent de la aplicació i del disseny es poden elegir diferents tipus de funcions. Els diferents tipus de funcions de pertinença més utilitzats són la semitrapezoïdal, triangular, gausiana, acampanada (“Bell-Shaped”), trapezoidal, sigmoidal i sigmoidal simètrica.

En el nostre cas utilitzarem el tipus de funcions de pertinença semitrapezoidal i triangular ja que tenen menys complexitat d'implementació. Aquestes estan definides de la següent manera:

- Semitrapezoïdal

$$EN(x) = \begin{cases} 1 & x \leq \alpha \\ \frac{\beta - x}{\beta - \alpha} & \alpha \leq x \leq \beta \\ 0 & \beta \leq x \end{cases} \quad (25)$$

$$EP(x) = 1 - EN(x) \quad (26)$$

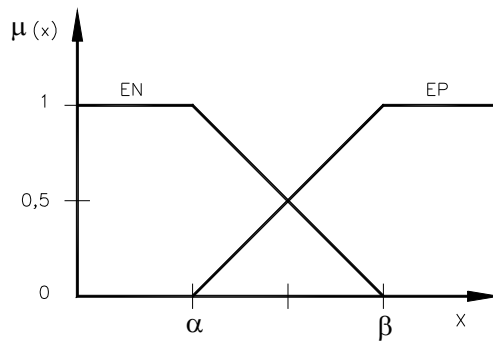


Figura 8. Funció de pertinença semitrapezoïdal

- Triangular

$$E(x) = \begin{cases} 0 & x \leq \alpha \\ \frac{x - \alpha}{\beta - \alpha} & \alpha \leq x \leq \beta \\ \frac{\gamma - x}{\gamma - \beta} & \beta \leq x \leq \gamma \\ 1 & \gamma \leq x \end{cases} \quad (27)$$

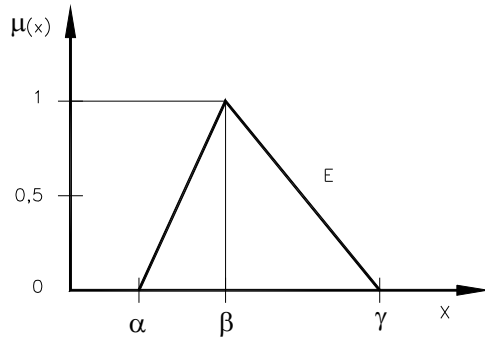


Figura 9. Funció de pertinença triangular

Si la complexitat de les funcions de pertinença és elevada, afectarà bastant a l'hora de realitzar l'implemetació física mitjançant un microcontrolador, degut a que consumirà molt de temps per realitzar les operacions.

5.3 Estructura Bàsica d'un Controlador Borrós

Com es pot observar a la figura 10, el controlador borrós està constituït principalment per cinc components:

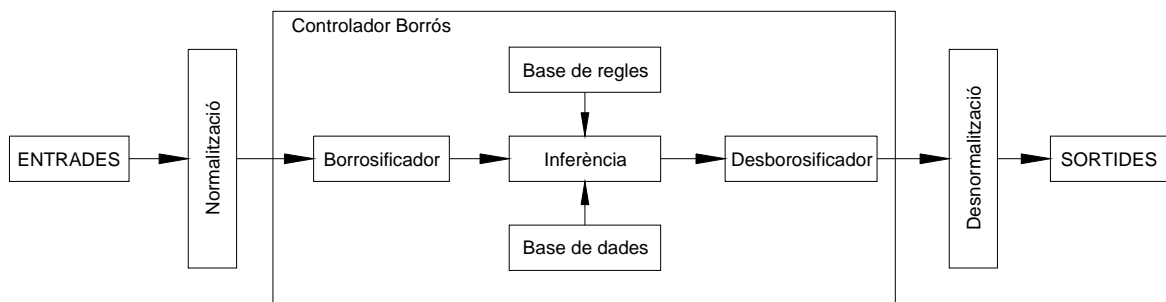


Figura 10. Estructura d'un controlador borrós

- Borrosificador (Fuzzyficació). Realitza les funcions de convertir els valors d'entrada en els corresponents valors lingüístics associats a cadascun dels conjunts borrosos. És a dir, proporciona el grau de pertinença de la variable d'entrada a cada una de les variables lingüístiques del sistema.
- Inferència. S'encarrega de proporcionar el valor de sortida realitzant l'avaluació de les regles que componen el sistema borrós.
- Base de dades. Conté la informació de les funcions de pertinença associades als valors lingüístics i els dominis físics de cada una de les variables.

- Base de regles. Conté el conjunt de regles lingüístiques de control que caracteritzen els objectius i l'estratègia de control definida pels experts.
- Desborrosificador. Realitza la funció inversa del borrosificador. Proporciona un valor numèric de sortida a partir d'un valor borrós de sortida generat per l'etapa d'inferència.

A part del controlador borrós trobem dues etapes d'adaptació:

- Normalització. Realitza una adaptació del rang de les variables d'entrada als corresponents dominis dins del controlador (univers de discurs).
- Desnormalització. De la mateixa manera que l'etapa de normalització, realitza l'adaptació del domini de les variables de sortida del controlador als seus corresponents dominis físics.

Els principals paràmetres de disseny d'un controlador borrós són:

- Estratègia de borrosificació.
- Base de dades.
- Base de regles.
- Inferència.
- Estratègia de desborrosificació.

5.3.1 Estratègia de borrosificació

El procés de borrosificació està relacionat amb les vaguetats del llenguatge natural. Senzillament es tracta de trobar el grau de pertinença al conjunt borrós.

L'entrada del borrosificador és sempre un valor numèric (limitat a l'univers de discurs de la variable d'entrada) i la sortida és un grau de pertinença (sempre en l'interval de 0 a 1). El borrosificador determina per a cada valor no borrós de les entrades el grau en que aquest valor pertany a cada un dels conjunts borrosos a través de les funcions de pertinença; això es pot entendre com la codificació dels valors d'entrada del controlador borrós.

En la definició dels conjunts borrosos és molt important el coneixement del sistema a controlar, així com les següents regles:

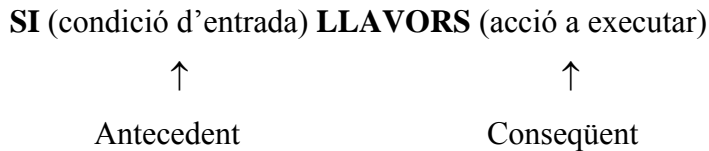
- Si el número de conjunts borrosos definits sobre la variable lingüística és elevat, tindrem una gran resolució, però el cost computacional serà elevat.
- Les funcions de pertinença amb menys complexitat d'implementació són les triangulars i les semitrapezoïdals.
- La densitat de conjunts difusos a prop del punt d'equilibri del sistema a controlar permet realitzar un control més ajustat.

5.3.2 Base de dades

En la base de dades s'inclou tot allò que prové de l'experiència del dissenyador: la definició de l'univers de discurs de cada variable d'entrada i sortida, el número de conjunts borrosos de cada una d'elles i el disseny de les funcions de pertinença.

5.3.3 Base de regles

El comportament dinàmic d'un sistema borrós està caracteritzat per un conjunt de normes o regles lingüístiques basades en el coneixement del dissenyador. Aquests coneixements s'expressen com sentències del tipus:



Aquestes sentències poden ser de quatre tipus:

- SISO: Simple Input Simple Output.
- MISO: Multiple Input Simple Output.
- SIMO: Simple Input Multiple Output.
- MIMO: Multiple Input Multiple Output.

El conjunt de condicions d'entrada sempre està associat a conceptes borrosos (grups), mentre que el conjunt d'accions a executar poden ser de dos tipus diferents:

- Segons Mamdani: Cadascun dels conseqüents de les regles està format per un conjunt borrós.

○ Exemple:

SI (e_N és N) i (Δe_N és Z) **LLAVORS** (ΔT_{on} és P)

Sent. e_N i Δe_N : Les variables d'entrada del control.

ΔT_{on} : La variable de sortida del control.

N , Z i P : Conjunts borrosos.

- Segons Sugeno: Cadascun dels conseqüents de les regles conté un valor escalar amb una combinació de les variables d'entrada.

○ Exemple:

SI (e_N és N) i (Δe_N és Z) **LLAVORS** (ΔT_{on} és P)

Sent. e_N i Δe_N : Les variables d'entrada del control.

ΔT_{on} : La variable de sortida del control.

N i Z : Conjunts borrosos.

P : Valor escalar (funció de les variables d'entrada).

5.3.4 Inferència

La inferència és l'estratègia de raonament que s'utilitza per obtenir la sortida del controlador. Les tècniques de raonament utilitzades són la inferència segons Mamdani i la inferència segons Sugeno.

Utilitzen les operacions bàsiques de intersecció i unió definides de la següent manera:

○ Intersecció (AND) $\rightarrow \min(A,B)$: $A \cap B = \{x, \min(\mu_A(x); \mu_B(x))\}$ (28)

○ Unió (OR) $\rightarrow \max(A,B)$: $A \cup B = \{x, \max(\mu_A(x); \mu_B(x))\}$ (29)

- Inferència segons Mamdani (max-min):

$$\text{MAX-MIN} \Rightarrow \begin{cases} \text{AND} & \mu_{Ai} = \min\left(\mu_{e_i}(e_N^*), \mu_{\Delta e_i}(\Delta e_N^*)\right) & (30) \\ \text{LLAVORS} & \mu_{Ri} = \min(\mu_{Ai}, \mu_{Ci}) & (31) \\ \text{SORTIDA BORROSA} & \mu_o = \max(\mu_{R1}, \dots, \mu_{Rn}) & (32) \end{cases}$$

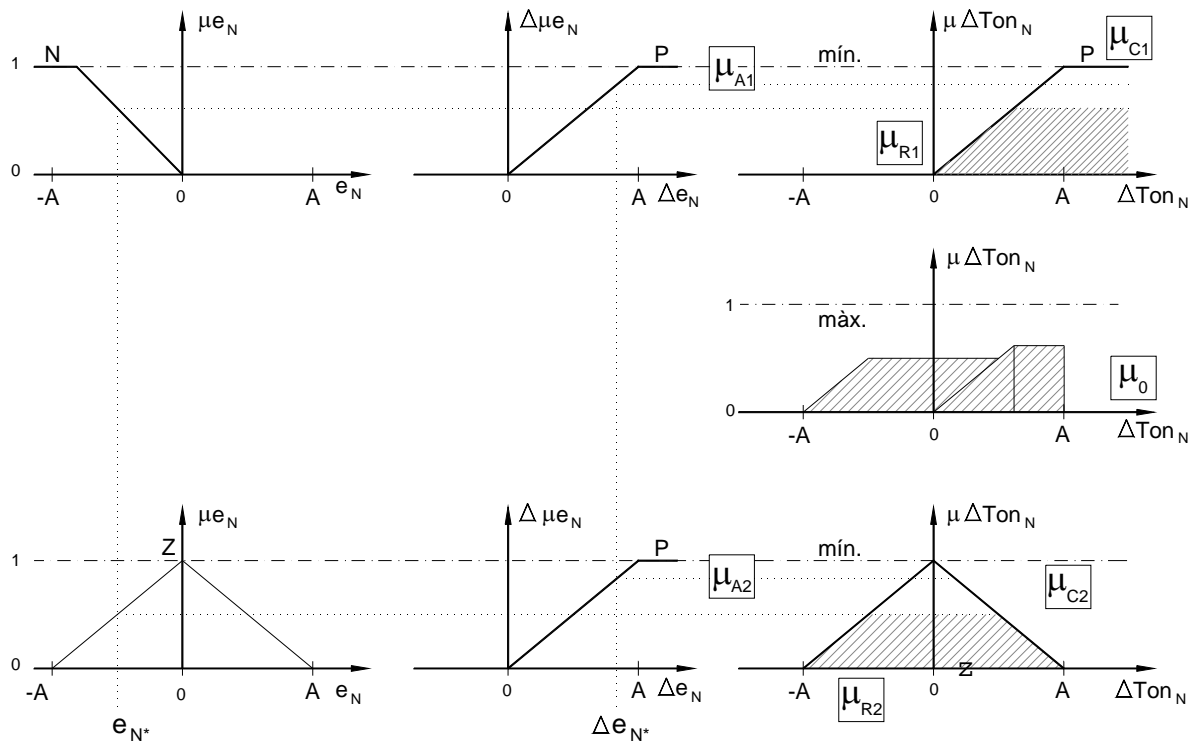


Figura 11. Inferència segons Mamdani

Aquesta inferència es mostra en la figura 11, on:

- e_N i Δe_N són les variables lingüístiques d'entrada.
- N i Z són conjunts borrosos de l'error (e_N), P i P són conjunts borrosos de l'increment de l'error (Δe_N).

- P i Z representen els valors borrosos de sortida, obtinguts a partir de l'aplicació de la base de regles segons Mamdani.
- μ_o és el resultat borrós de la sortida aplicant la inferència segon Mamdani.

- Inferència segons Sugeno:

$$\text{MAX-MIN} \Rightarrow \begin{cases} \text{AND} & \mu_{Ai} = \min\left(\mu_{e_i}(e_N^*), \mu_{\Delta e_i}(\Delta e_N^*)\right) & (33) \\ \text{LLAVORS} & \mu_{Ri} = \min(\mu_{Ai}, \mu_{Ci}) & (34) \\ \text{SORTIDA BORROSA} & \mu_o = \bigcup_{i=1}^n \mu_{Ri} & (35) \end{cases}$$

Aquesta inferència es mostra en la figura 12, on:

- e_N i Δe_N són les variables lingüístiques d'entrada.
- N i Z són conjunts borrosos de l'error (e_N), P i P són conjunts borrosos de l'increment de l'error (Δe_N).
- Z i P representen els valors borrosos de sortida, obtinguts a partir de l'aplicació de la base de regles segons Sugeno (sortides escalars).
- μ_o és el resultat borrós de la sortida aplicant la inferència segons Sugeno.

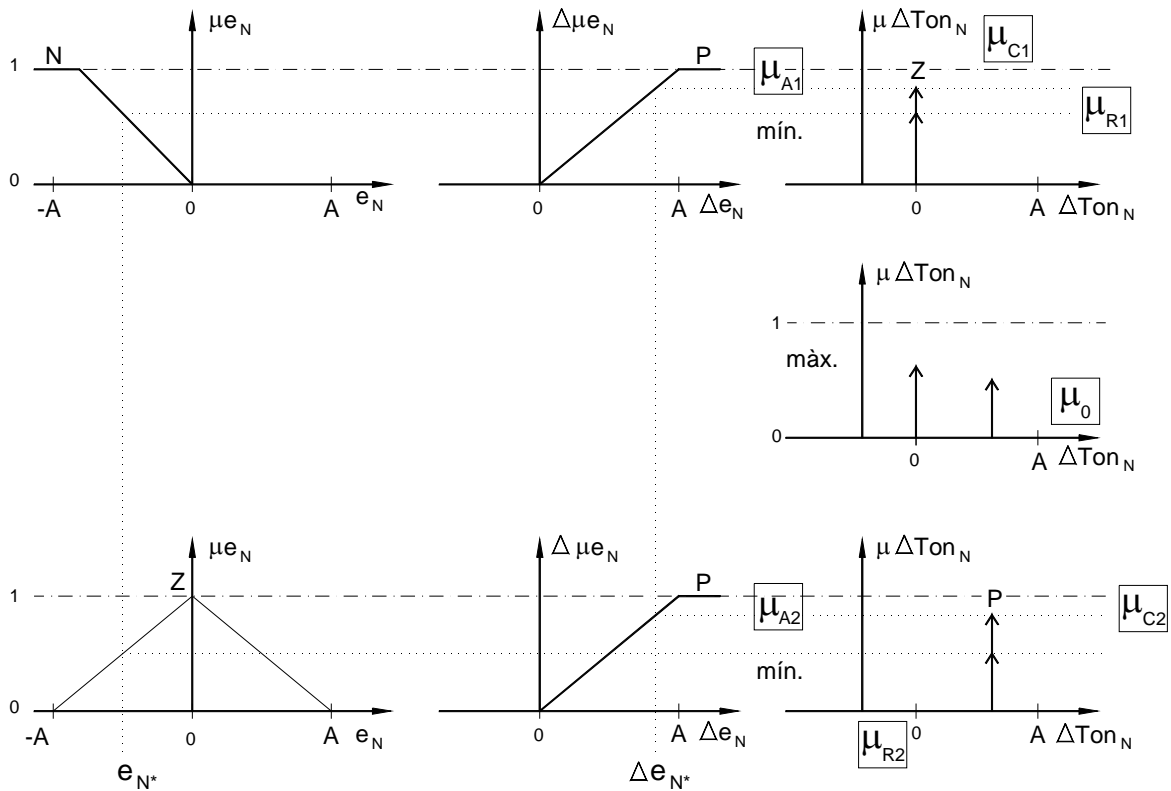


Figura 12. Inferència segons Sugeno

5.3.5 Desborrosificació

La etapa de desborrosificació és l'última etapa del controlador borrós i l'encarregada de generar un valor no-borrós a partir del valor borrós generat a l'etapa d'inferència.

Els mètodes de desborrosificació més habituals són:

- Centre dels màxims (CoM).
- Centre de gravetat (CoG) o centre d'àrea (CoA).
- Mitjana dels màxims (MoM).

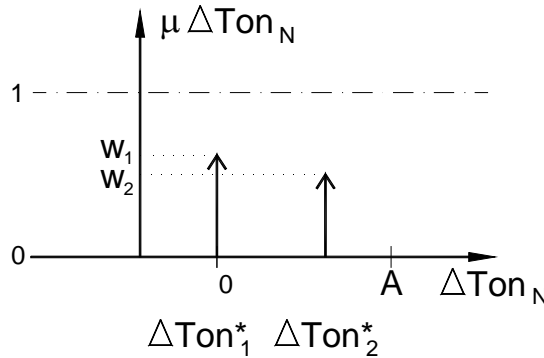


Figura 13. Desborrosificació per centre de gravetat utilitzant escalars (Mètode Sugeno)

En el nostre cas la realització de la desborrosificació es farà mitjançant el mètode per centre de gravetat de la figura 13, ja que es podrà minimitzar temps d'execució quan s'implementi el programa.

La fórmula 36 realitza aquest tipus de desborrosificació, on 'w' són el màxim de les funcions de pertinença de cada regla com ja s'ha mencionat anteriorment i 'ΔTON' és la posició del valor escalar de sortida.

$$\Delta T_{ON}^* = \frac{w_1 \cdot \Delta T_{ON1}^* + w_2 \cdot \Delta T_{ON2}^*}{w_1 + w_2} \quad (36)$$

5.4 Control Borrós Tipus Proporcional-Integral (PI)

En un control proporcional és necessari que existeixi error per tenir una acció de control diferent de zero. Amb acció integral un error petit positiu sempre donarà una acció de control creixent i si fos negatiu el senyal de control seria decreixent. Aquest raonament mostra que l'error en règim permanent és sempre zero.

- Per analogia amb un controlador convencional definim:

$$e(k) = y_{sp} - y(k) \text{ on } y_{sp} : \text{ consigna} \quad (37)$$

$$\Delta e(k) = e(k) - e(k-1) \quad (38)$$

$$\Delta Ton(k) = Ton(k) - Ton(k-1) \quad (39)$$

- Equació del controlador PI:

$$u = K_p e + K_i \int e dt \Rightarrow \dot{u} = K_p \dot{e} + K_i e \quad (40)$$

- Representació simbòlica:

SI e és $\langle \text{Valor Lingüístic} \rangle$ i Δe és $\langle \text{Valor Lingüístic} \rangle$ **LLAVORS** Δu és $\langle \text{Valor Lingüístic} \rangle$

Per tant, l'error i l'increment d'error quedaran de la següent manera:

$$\text{Error} \rightarrow e(k) = V_{\text{REF}} - V_o(k) \quad (41)$$

$$\text{Increment d'error} \rightarrow \Delta e(k) = e(k) - e(k-1) \quad (42)$$

L'acció de control serà

$$\Delta \text{Ton}(k) = \text{Ton}(k) - \text{Ton}(k-1) = K_i e_N(k) + K_p \Delta e_N(k) \quad (43)$$

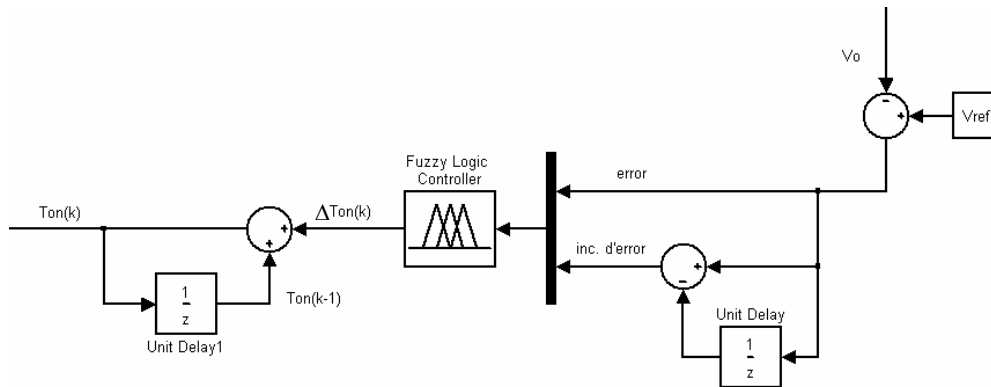


Figura 14. Control borros tipus PI

6 Model Simulink amb Control Basat en Lògica Borrosa

El model simulink amb el qual es realitzaran les diferents simulacions correspon amb la figura 15. En aquest es pot observar una sèrie de blocs que s'han introduït per equiparar aquest model al disseny experimental muntat al laboratori, el qual s'explicarà més endavant

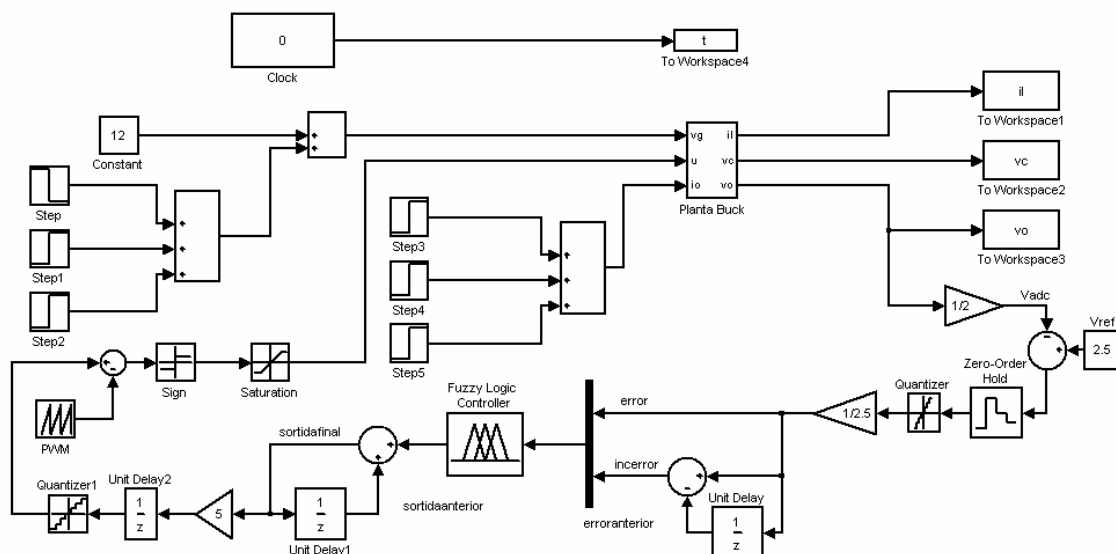


Figura 15. Model simulink amb control basat en lògica borrosa

El model simulink està format per:

- La planta del convertidor Buck (figura 5) obtinguda a l'apartat 4.3.
- El control borrós Proporcional-Integral (P.I.) obtingut a l'apartat anterior (figura 14).
- Un guany de $\frac{1}{2}$ després de la tensió de sortida de la planta del Buck el qual representa al cas pràctic un divisor de tensió on hi ha una resistència de 1 k Ω i un potenciómetre de 1 k Ω . Aquest divisor ens permet adaptar el valor de sortida del convertidor Buck a un valor de tensió que el conversor ADC podrà llegir (en règim permanent 2,5 V). Al cas pràctic la comparació entre el valor de referència i el valor de la tensió de sortida modificada (V_{ADC}) es farà dintre del microcontrolador dsPIC30F3010, el valor de referència serà de 0.0 en fraccional, el qual representa els 2,5 V de la simulació.
- Un guany de $\frac{1}{2,5}$ per obtenir el valor de l'error dins d'un rang que va de -1 a 1, quedant definit el rang igual que al cas pràctic.
- Un quantificador amb el valor $\frac{1}{2^{16}}$ el qual representa l'adaptació del senyal analògic a digital.
- Un guany de 5 que s'ha d'introduir per compensar els dos guanys $\left(\frac{1}{2} \text{ i } \frac{1}{2,5}\right)$ introduïts a l'inici de la part de control.
- Un retard $\frac{1}{z}$ per a representar que l'actualització del cicle de treball es realitza un cicle de període més tard.

- Un altre quantificador amb el valor $\frac{1}{2^{16}}$ el qual representa l'adaptació del senyal digital a analògic.
- El bloc que genera el PWM.
- El bloc Sign, amb el que aconseguim que si l'entrada a aquest bloc és positiva la sortida valdrà 1, si és 0 valdrà 0 i si és negativa valdrà -1.

7 Obtenció dels Conjunts Borrosos i Resultat de les Simulacions

7.1 Introducció

Per a obtenir els conjunts borrosos el primer que es farà és definir l'univers de discurs d'entrada, el qual per a tots els casos anirà entre -1 i 1. Es declararan dues entrades (error i canvi d'error) i una sortida. Dins de cada entrada hi haurà cinc, tres o dos conjunts borrosos, les funcions de pertinença d'aquests seran del tipus triangulars i semitrapezoïdals. Les variables lingüístiques dels conjunts borrosos de les entrades podran ser NG (Negatiu Gran), NP (Negatiu Petit), Z (Zero), PP (Positiu Petit) i PG (Positiu Gran) depenent del nombre de conjunts borrosos. La sortida tindrà tres, cinc o set conjunts borrosos del tipus escalar, ja que s'aplicarà la base de regles segons Sugeno degut a la seva fàcil implementació. Les variables lingüístiques dels conjunts borrosos de sortida podran ser PG (Positiu Gran), PM (Positiu Mitja), PP (Positiu Petit), Z (Zero), NP (Negatiu Petit), NM (Negatiu Mitja) i NG (Negatiu Gran).

7.2 Conjunts Borrosos (5 error, 3 increment error, 7 sortida)

En aquest primer cas s'obtindran cinc conjunts borrosos per l'error i tres per l'increment de l'error, la sortida en tindrà set del tipus escalar.

La forma de les funcions de pertinença i els rangs de l'error són els mostrats a la figura 16.

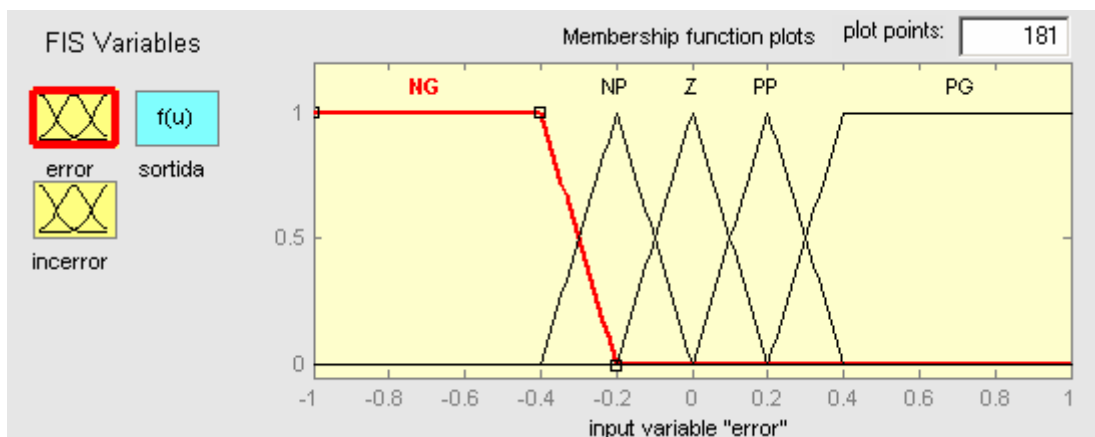


Figura 16. Conjunt borrós de l'error

La forma de les funcions de pertinença i els rangs de l'increment de l'error són els mostrats a la figura 17.

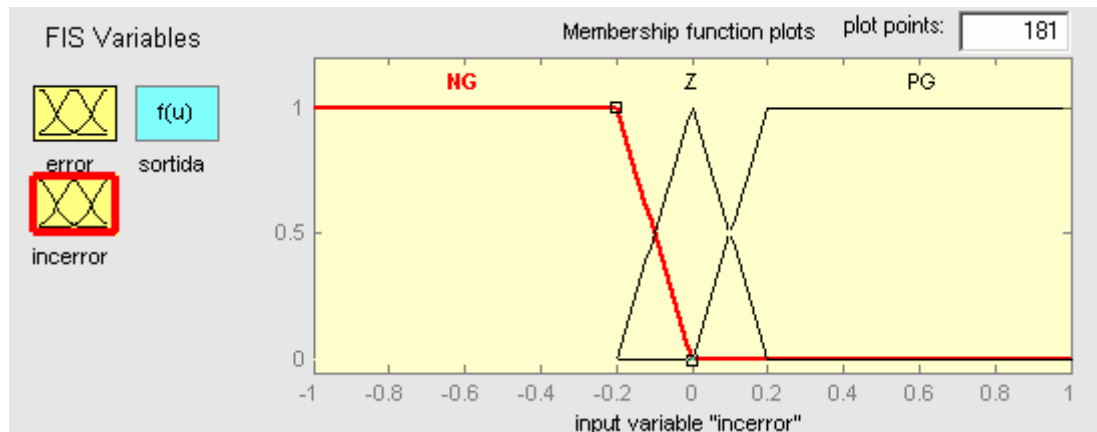


Figura 17. Conjunt borros de l'increment de error

La sortida tindrà els següents valors:

- PG = 0,004
- PM = 0,0011
- PP = 0,0005
- Z = 0
- NP = -0,0005
- NM = -0,0011
- NG = -0,004

Les bases de regles per a aquest primer cas seran:

1. If (error is PG) and (incerror is PG) then (sortida is PG) (1)
2. If (error is PG) and (incerror is Z) then (sortida is PM) (1)
3. If (error is PG) and (incerror is NG) then (sortida is PP) (1)
4. If (error is Z) and (incerror is PG) then (sortida is PP) (1)
5. If (error is Z) and (incerror is NG) then (sortida is NP) (1)
6. If (error is Z) and (incerror is Z) then (sortida is Z) (1)
7. If (error is NG) and (incerror is PG) then (sortida is NP) (1)
8. If (error is NG) and (incerror is Z) then (sortida is NM) (1)
9. If (error is NG) and (incerror is NG) then (sortida is NG) (1)
10. If (error is PP) and (incerror is PG) then (sortida is PM) (1)
11. If (error is PP) and (incerror is Z) then (sortida is PP) (1)
12. If (error is PP) and (incerror is NG) then (sortida is Z) (1)
13. If (error is NP) and (incerror is PG) then (sortida is Z) (1)
14. If (error is NP) and (incerror is Z) then (sortida is NP) (1)
15. If (error is NP) and (incerror is NG) then (sortida is NM) (1)

- **Tensió de sortida amb $R = 1,1 \Omega$**

La figura 18 representa la tensió de sortida, el temps d'establiment és de 2,3 ms i el valor en estat estacionari és de 5 V.

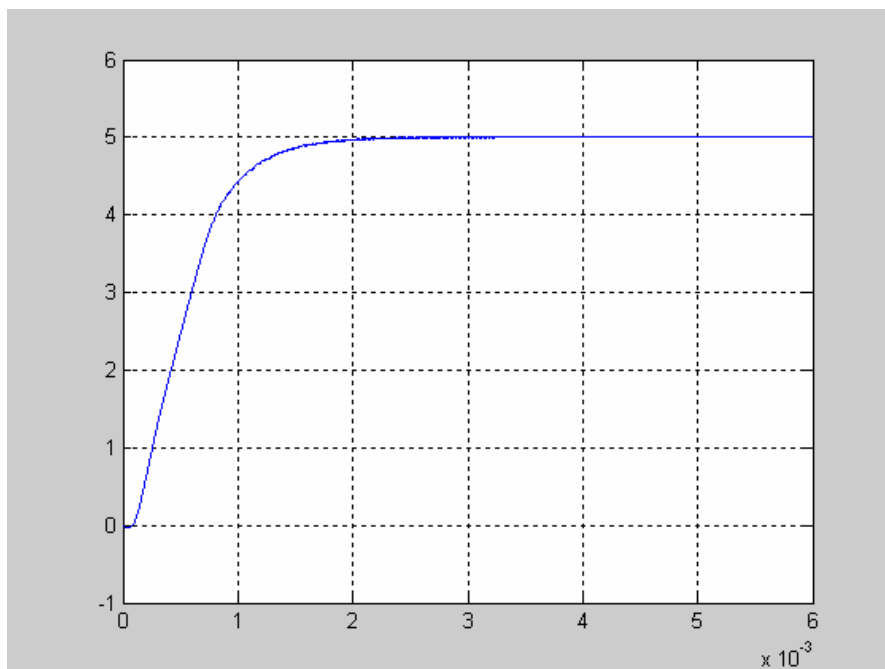


Figura 18. Simulació de la tensió de sortida amb $R = 1,1 \Omega$

- **Corrent a l'inductor amb $R = 1,1 \Omega$**

La figura 19 representa el corrent a l'inductor, el temps d'establiment és de 2,3 ms, es pot observar que l'inductor treballa en tot moment en mode de conducció continu, el corrent mig és de 4,55 A.

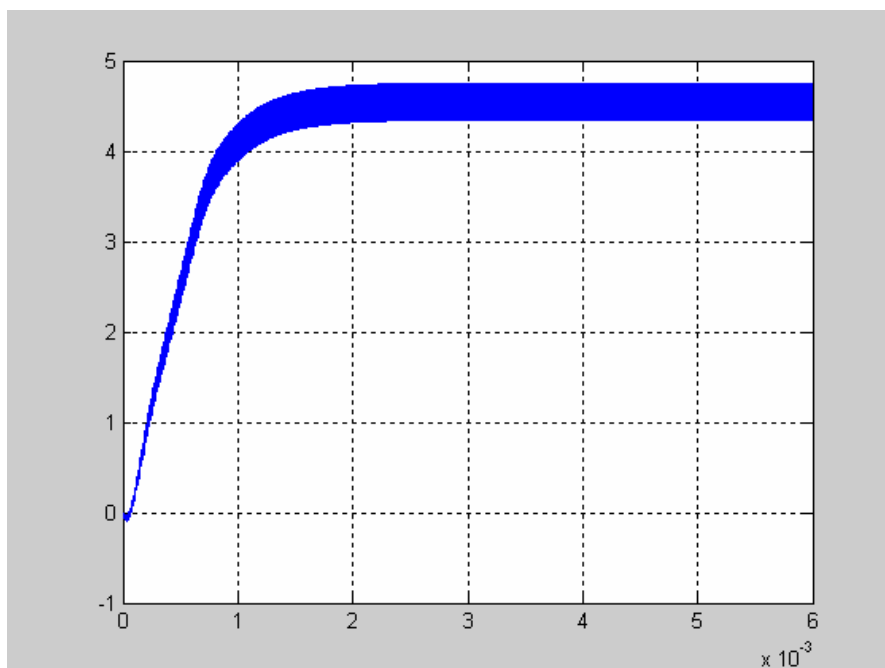


Figura 19. Simulació del corrent a l'inductor amb $R = 1,1 \Omega$

- **Tensió de sortida amb $R = 2,2 \Omega$**

La figura 20 representa la tensió de sortida, el temps d'establiment és de 2,1 ms i el valor en estat estacionari és de 5 V.

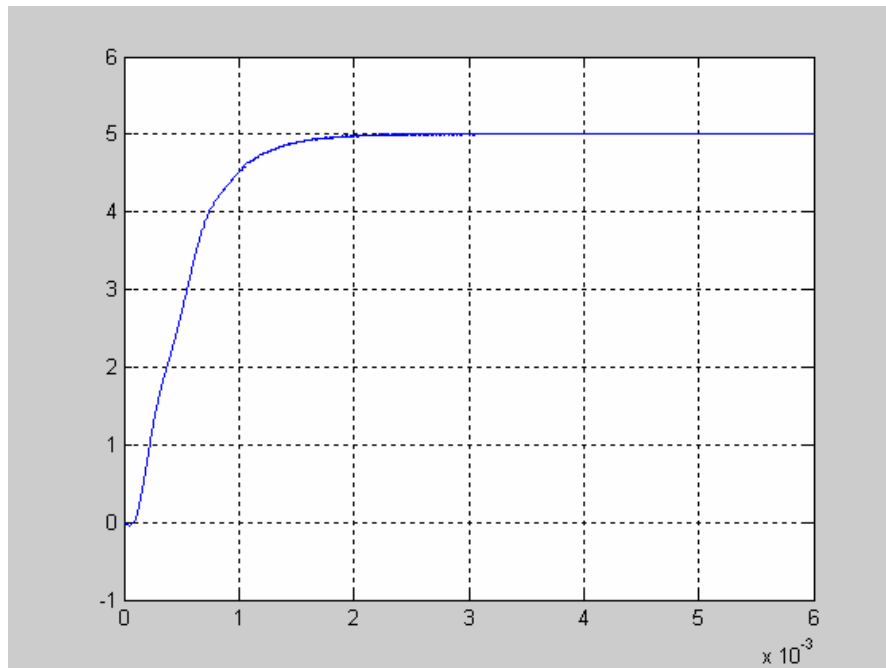


Figura 20. Simulació de la tensió de sortida amb $R = 2,2 \Omega$

- **Corrent a l'inductor amb $R = 2,2 \Omega$**

La figura 21 representa el corrent a l'inductor, el temps d'establiment és de 2,1 ms, el corrent mig és de 2,27 A.

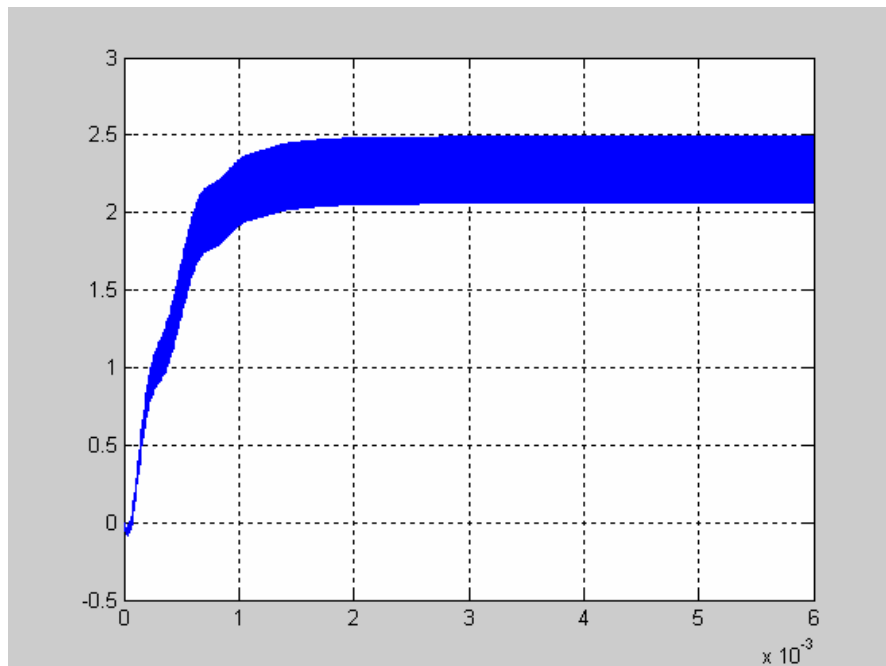


Figura 21. Simulació del corrent a l'inductor amb $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 1,1 \Omega$ (20 W) a $R = 2,2 \Omega$ (10 W)**

Realitzada la pertorbació als 3 ms s'observa a la figura 22 com es produeix un sobrepic de la tensió de sortida que arriba fins als 6,9 V i un pic de $-0,85$ V respecte al valor estacionari de la tensió de sortida, el temps d'establiment és de 1,2 ms.

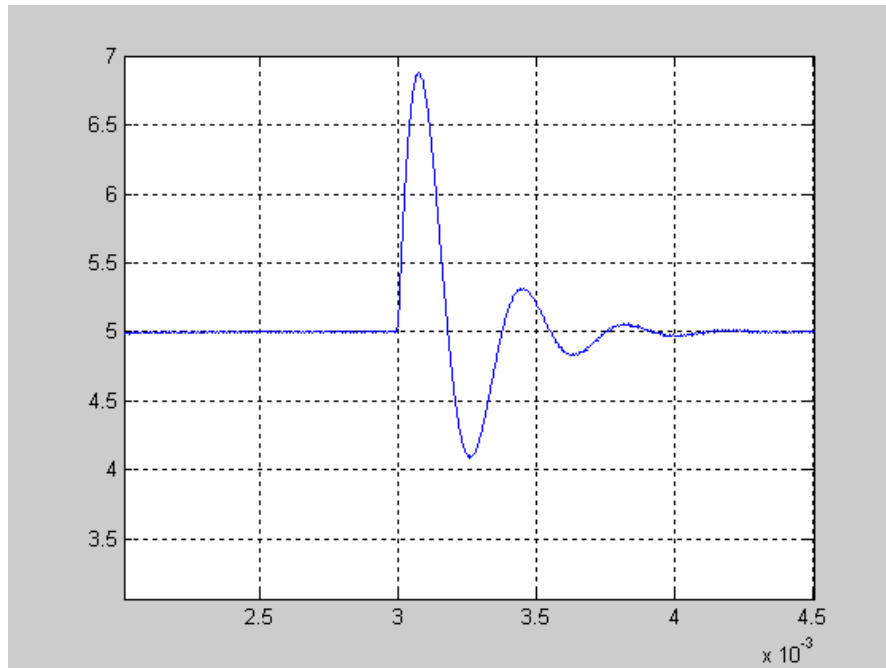


Figura 22. Simulació de la tensió de sortida amb canvi de càrrega de $R = 1,1 \Omega$ a $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 2,2 \Omega$ (10 W) a $R = 1,1 \Omega$ (20 W)**

Realitzada la pertorbació als 3 ms s'observa a la figura 23 com es produeix un pic de $-1,85$ V respecte al valor estacionari de la tensió de sortida i un sobrepic que arriba fins als 5,95 V, el temps d'establiment és de 1,3 ms.

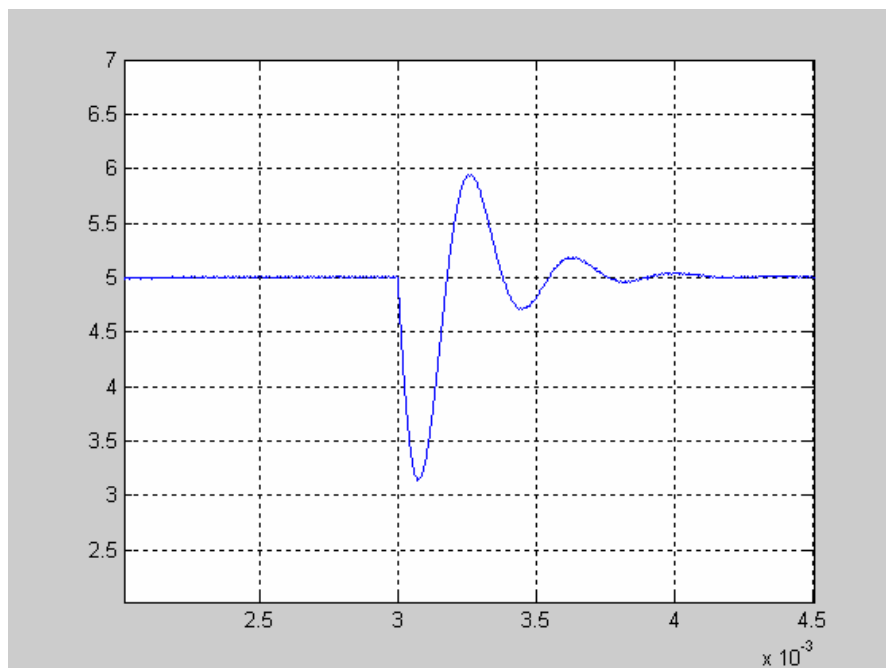


Figura 23. Simulació de la tensió de sortida amb canvi de càrrega de $R = 2,2 \Omega$ a $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 24 com es produeix un pic de -1 V respecte al valor estacionari de la tensió de sortida i un temps d'establiment de 2 ms.

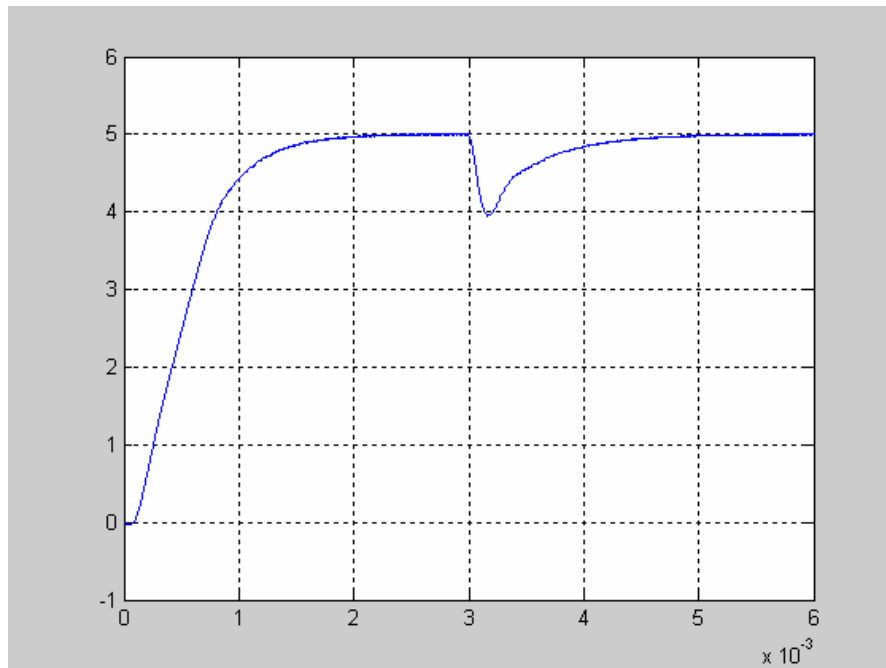


Figura 24. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 12 V a 9,6 V i $R = 1,1 \Omega$

- **Corrent a l'inductor. Canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 25 com es produeix un pic de $-1,27 \text{ A}$ respecte el valor mig del corrent a l'inductor i un temps d'establiment de 2 ms. Després de la pertorbació l'arissat del corrent disminueix.

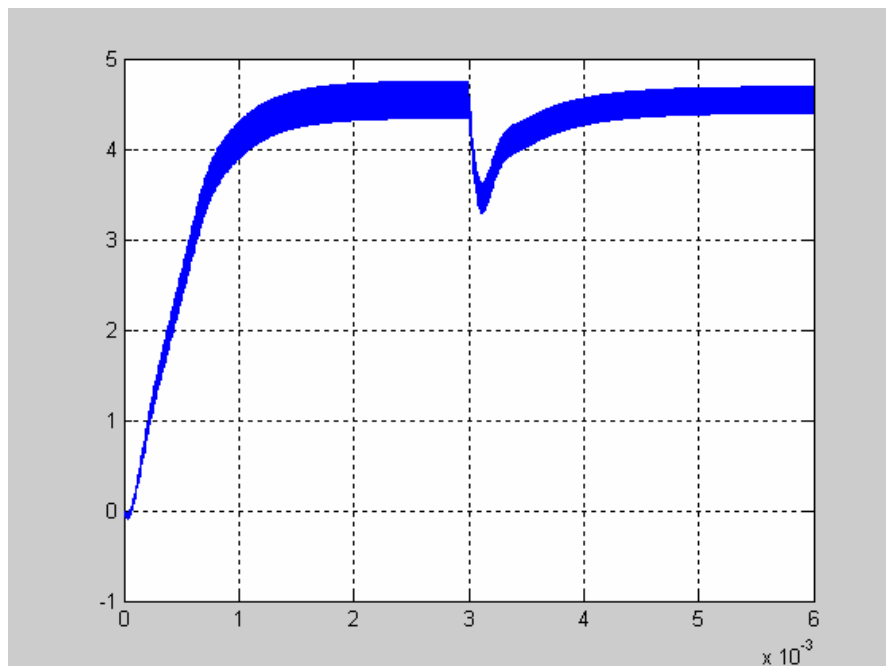


Figura 25. Simulació del corrent a l'inductor amb canvi de càrrega de 12 V a 9,6 V i $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 9,6 V a 12 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 26 com es produeix un sobrepic de la tensió de sortida que arriba fins als 6,2 V i un temps d'establiment de 2 ms. El temps d'establiment de l'arrancada és 3 ms.

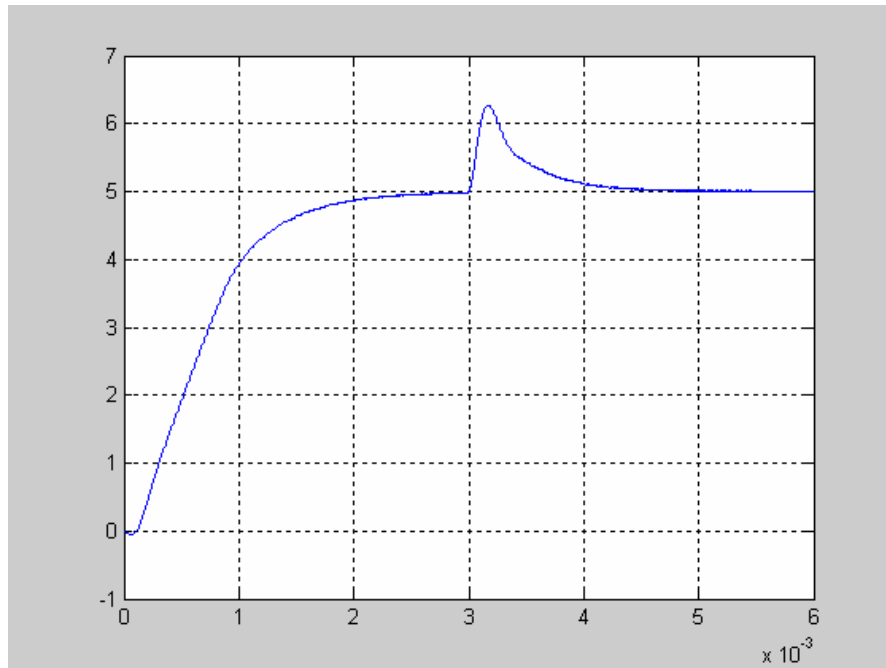


Figura 26. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 9,6 V a 12 V i $R = 1,1 \Omega$

- **Corrent a l'inductor. Canvi de tensió d'entrada de 9,6 V a 12 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació s'observa a la figura 27 com es produeix un sobrepic que arriba fins als 6 A i un temps d'establiment de 2 ms. Després de la pertorbació l'arriestat del corrent augmenta. El temps d'establiment de l'arrancada és 3 ms.

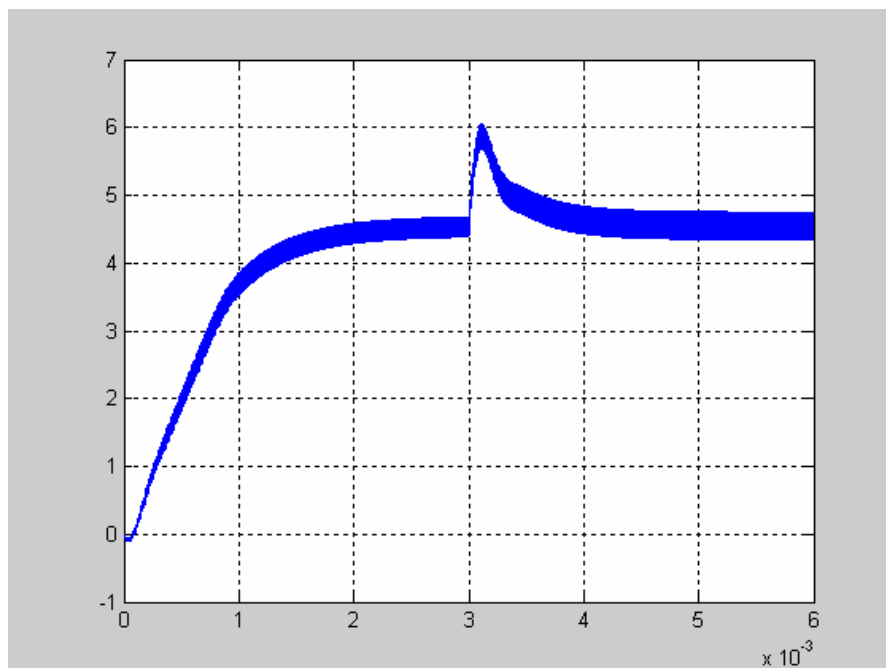


Figura 27. Simulació del corrent a l'inductor amb canvi de càrrega de 9,6 V a 12 V i $R = 1,1 \Omega$

7.3 Conjunts Borrosos (3 error, 3 increment error, 5 sortida)

En aquest segon cas s'obtingran tres conjunts borrosos per l'error i tres per l'increment de l'error, la sortida en tindrà cinc del tipus escalar.

La forma de les funcions de pertinença i els rangs de l'error són els mostrats a la figura 28.

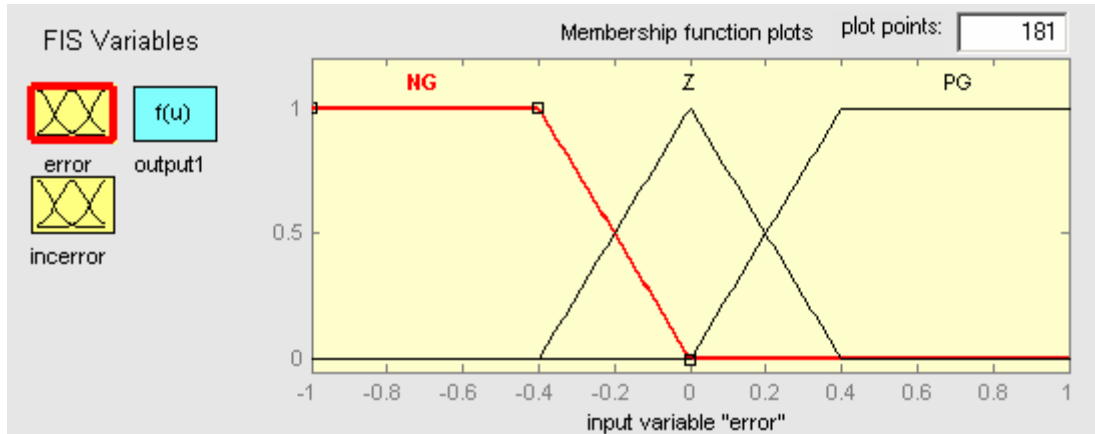


Figura 28. Conjunt borrós de l'error

La forma de les funcions de pertinença i els rangs de l'increment de l'error són els mostrats a la figura 29.

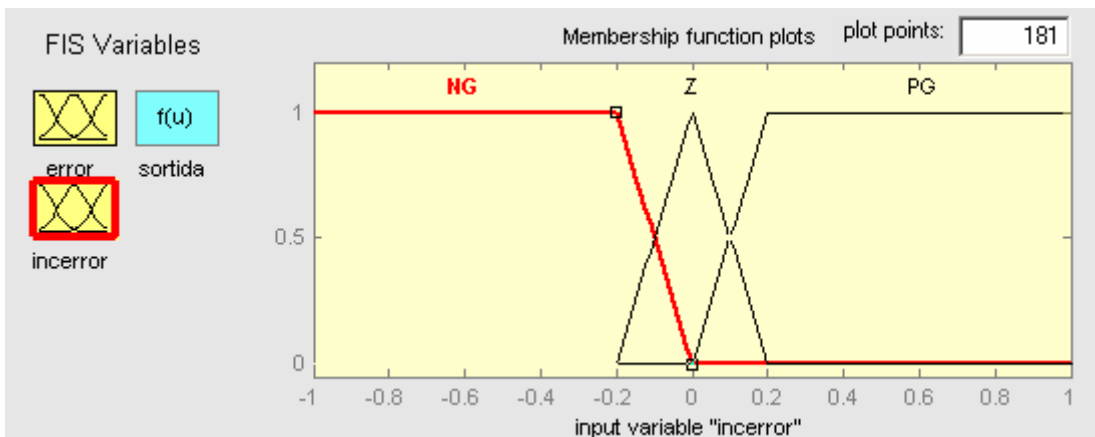


Figura 29. Conjunt borrós de l'increment de error

La sortida tindrà els següents valors:

- PG = 0.002
- PP = 0.001
- Z = 0
- NP = -0.001
- NG = -0.002

Les bases de regles per a aquest segon cas seran:

1. If (error is PG) and (incerror is PG) then (output1 is PG) (1)
2. If (error is PG) and (incerror is Z) then (output1 is PP) (1)
3. If (error is PG) and (incerror is NG) then (output1 is Z) (1)
4. If (error is Z) and (incerror is PG) then (output1 is PP) (1)
5. If (error is Z) and (incerror is NG) then (output1 is NP) (1)
6. If (error is Z) and (incerror is Z) then (output1 is Z) (1)
7. If (error is NG) and (incerror is PG) then (output1 is Z) (1)
8. If (error is NG) and (incerror is Z) then (output1 is NP) (1)
9. If (error is NG) and (incerror is NG) then (output1 is NG) (1)

- **Tensió de sortida amb $R = 1,1 \Omega$**

La figura 30 representa la tensió de sortida, el temps d'establiment és de 2,3 ms i el valor en estat estacionari és de 5 V.

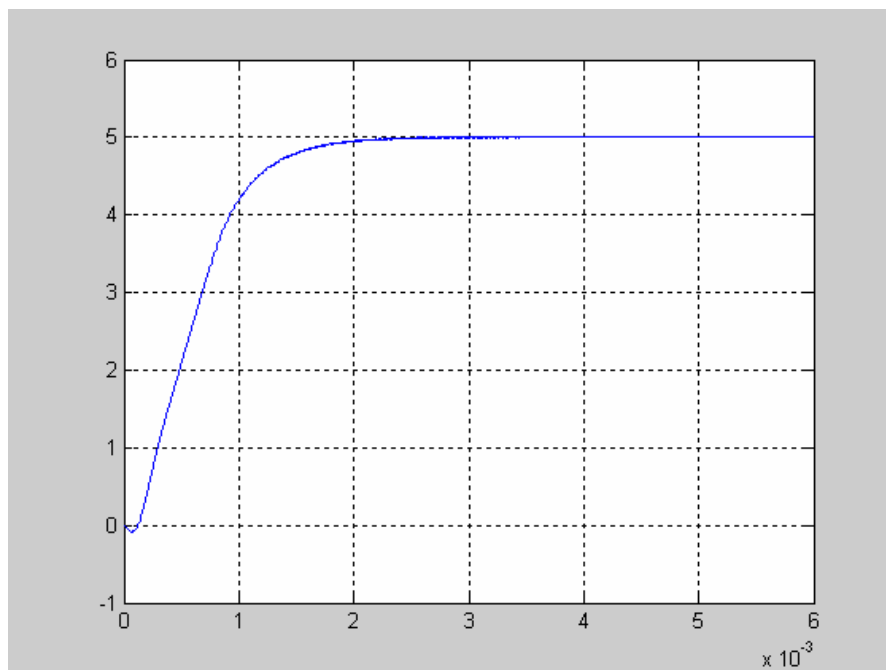


Figura 30. Simulació de la tensió de sortida amb $R = 1,1 \Omega$

- **Corrent a l'inductor amb $R = 1,1 \Omega$**

La figura 31 representa el corrent a l'inductor, el temps d'establiment és de 2,3 ms, es pot observar que l'inductor treballa en tot moment en mode de conducció continu, el corrent mig és de 4,55 A.

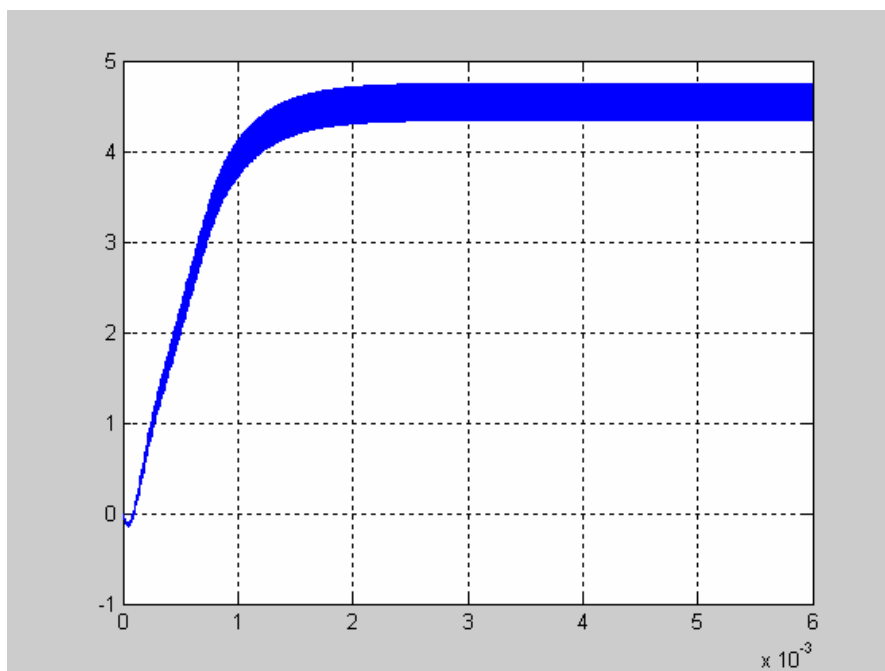


Figura 31. Simulació del corrent a l'inductor amb $R = 1,1 \Omega$

- **Tensió de sortida amb $R = 2,2 \Omega$**

La figura 32 representa la tensió de sortida, el temps d'establiment és de 2,1 ms i el valor en estat estacionari és de 5 V.

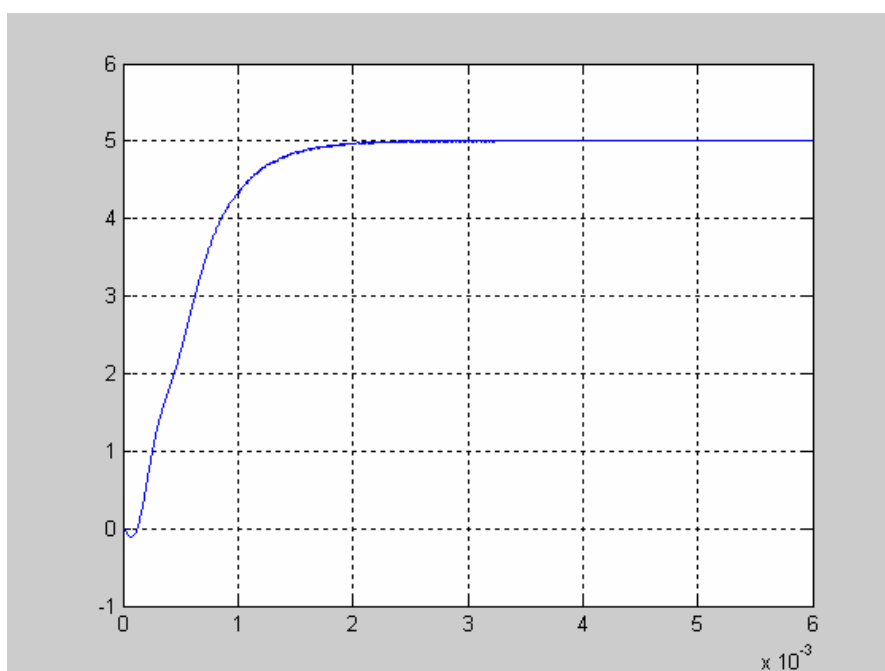


Figura 32. Simulació de la tensió de sortida amb $R = 2,2 \Omega$

- **Corrent a l'inductor amb $R = 2,2 \Omega$**

La figura 33 representa el corrent a l'inductor, el temps d'establiment és de 2,1 ms, el corrent mig és de 2,27 A.

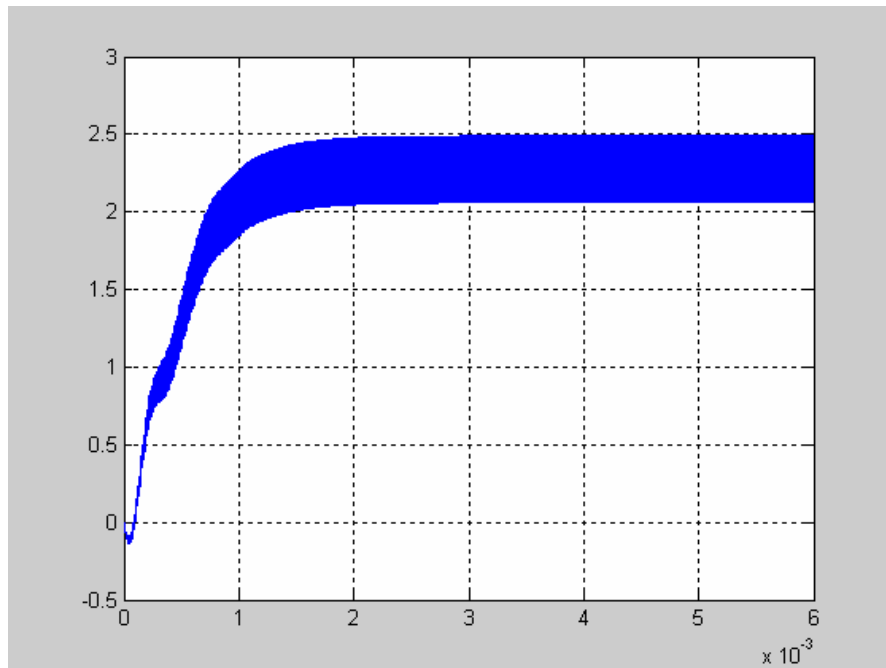


Figura 33. Simulació del corrent a l'inductor amb $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 1,1 \Omega$ (20 W) a $R = 2,2 \Omega$ (10 W)**

Realitzada la pertorbació als 3 ms s'observa a la figura 34 com es produeix un sobrepic de la tensió de sortida que arriba fins als 6,8 V i un pic de $-0,7$ V respecte al valor estacionari de la tensió de sortida, el temps d'establiment és de 1,2 ms.

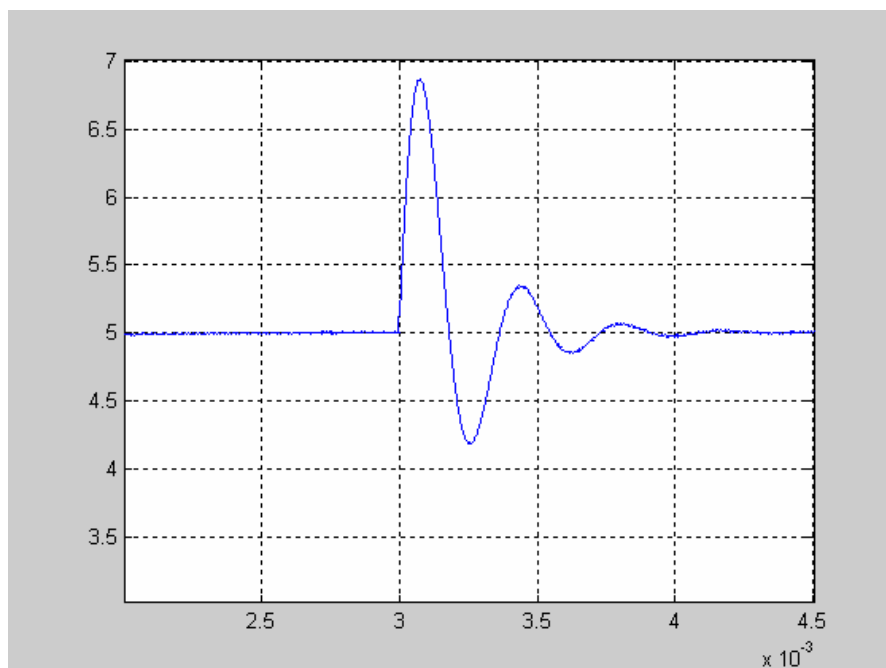


Figura 34. Simulació de la tensió de sortida amb canvi de càrrega de $R = 1,1 \Omega$ a $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 2,2 \Omega$ (10 W) a $R = 1,1 \Omega$ (20 W)**

Realitzada la pertorbació als 3 ms s'observa a la figura 35 com es produeix un pic de $-1,8 \text{ V}$ respecte al valor estacionari de la tensió de sortida i un sobrepic que arriba fins als $5,8 \text{ V}$, el temps d'establiment és de $1,2 \text{ ms}$.

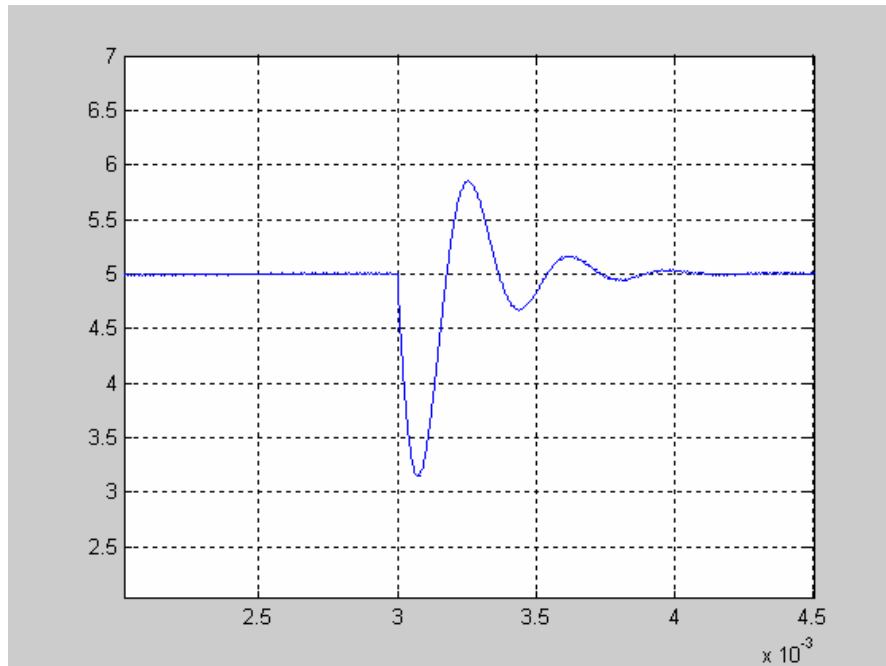


Figura 35. Simulació de la tensió de sortida amb canvi de càrrega de $R = 2,2 \Omega$ a $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 12 V a $9,6 \text{ V}$ amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 36 com es produeix un pic de -1 V respecte al valor estacionari de la tensió de sortida i un temps d'establiment de 2 ms .

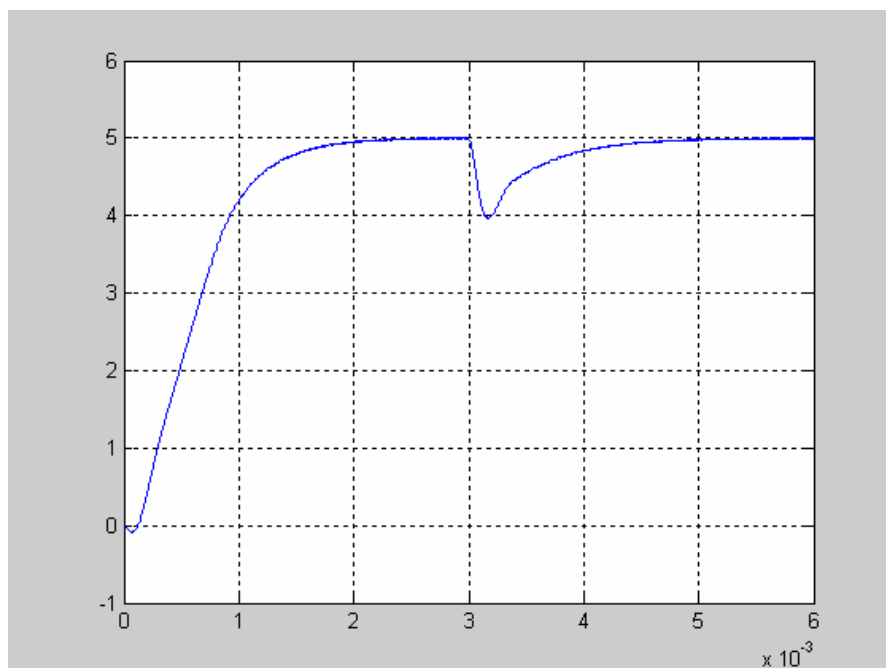


Figura 36. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 12 V a $9,6 \text{ V}$ i $R = 1,1 \Omega$

- **Corrent a l'inductor. Canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 37 com es produeix un pic de $-1,27 \text{ A}$ respecte el valor mig del corrent a l'inductor i un temps d'establiment de 2 ms. Després de la pertorbació l'arissat del corrent disminueix.

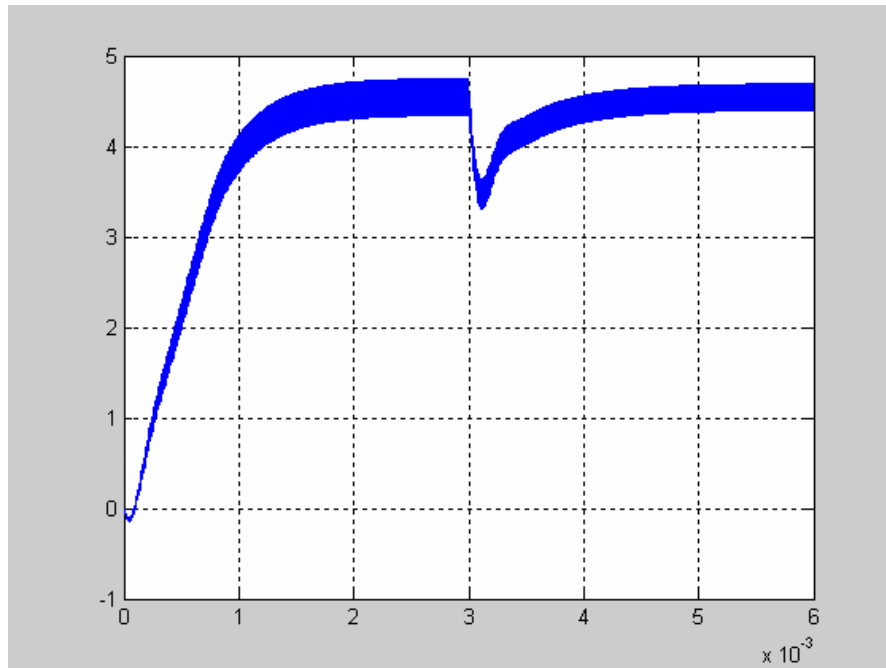


Figura 37. Simulació del corrent a l'inductor amb canvi de càrrega de 12 V a 9,6 V i $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 9,6 V a 12 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 38 com es produeix un sobrepic de la tensió de sortida que arriba fins als 6,2 V i un temps d'establiment de 2 ms. El temps d'establiment de l'arrancada és 3 ms.

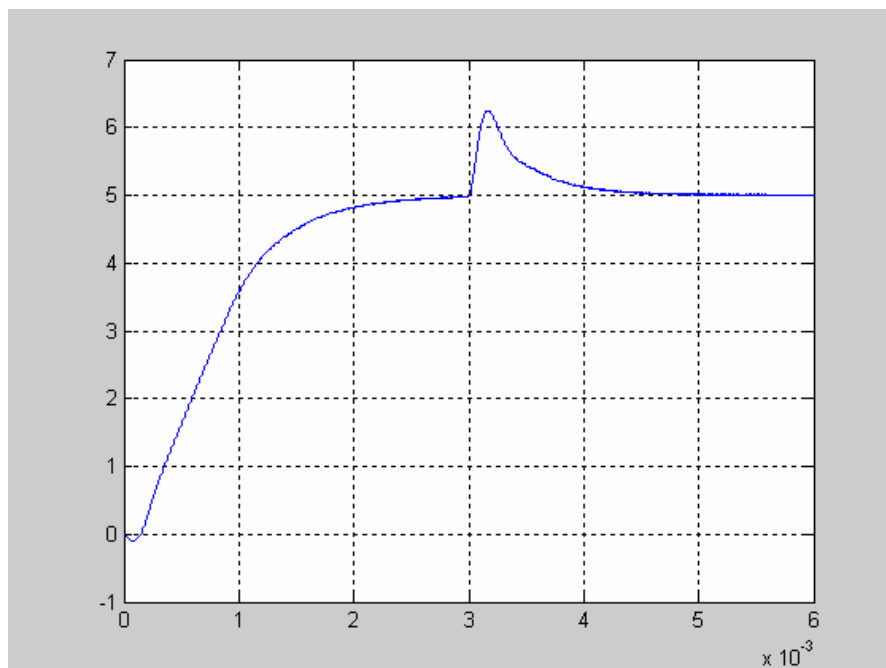


Figura 38. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 9,6 V a 12 V i $R = 1,1 \Omega$

- **Corrent a l'inductor. Canvi de tensió d'entrada de 9,6 V a 12 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 39 com es produeix un sobrepic que arriba fins els 6 A i un temps d'establiment de 2 ms. Després de la pertorbació l'arissat del corrent augmenta. El temps d'establiment de l'arrancada és de 3 ms.

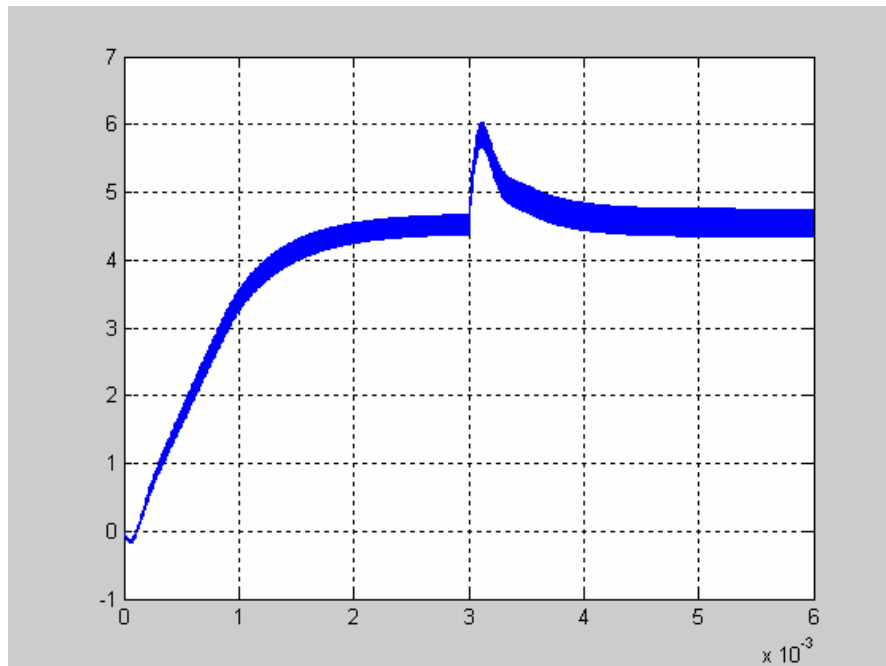


Figura 39. Simulació del corrent a l'inductor amb canvi de càrrega de 9,6 V a 12 V i $R = 1,1 \Omega$

7.4 Conjunts Borrosos (2 error, 2 increment error, 3 sortida)

En aquest darrer cas s'obtingran dos conjunts borrosos per l'error i dos per l'increment de l'error, la sortida en tindrà tres del tipus escalar.

La forma de les funcions de pertinença i els rangs de l'error són els mostrats a la figura 40.

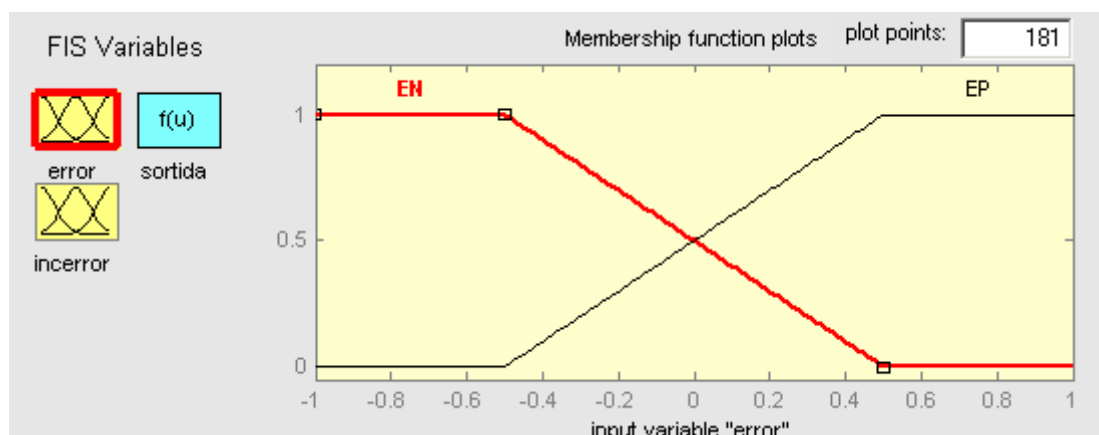


Figura 40. Conjunt borros de l'error

La forma de les funcions de pertinença i els rangs de l'increment de l'error són els mostrats a la figura 41.

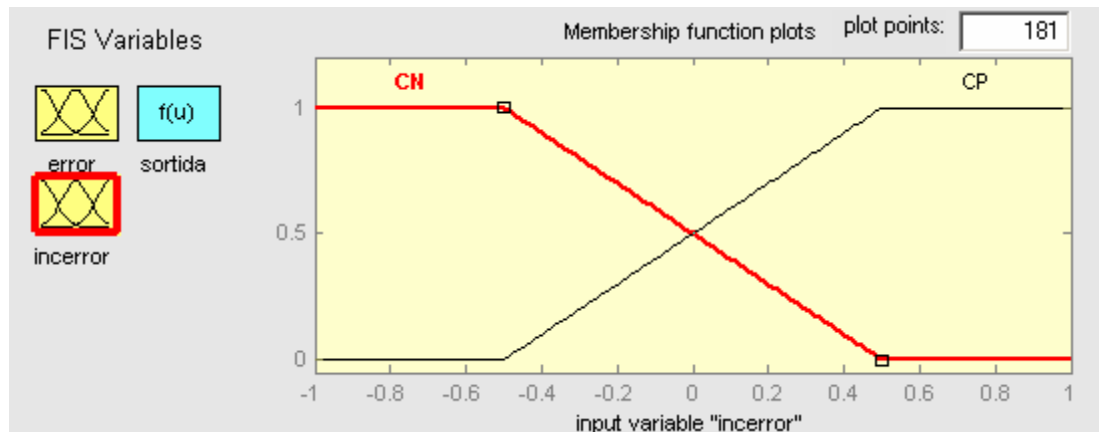


Figura 41. Conjunt borros de l'increment de error

La sortida tindrà els següents valors:

- $P = 0.003$
- $Z = 0$
- $N = -0.003$

Les bases de regles per a aquest tercer cas seran:

1. If (error is EP) and (incerror is CP) then (sortida is P) (1)
2. If (error is EP) and (incerror is CN) then (sortida is Z) (1)
3. If (error is EN) and (incerror is CP) then (sortida is Z) (1)
4. If (error is EN) and (incerror is CN) then (sortida is N) (1)

- **Tensió de sortida amb $R = 1,1 \Omega$**

La figura 42 representa la tensió de sortida, el temps d'establiment és de 1,8 ms i el valor en estat estacionari és de 5 V.

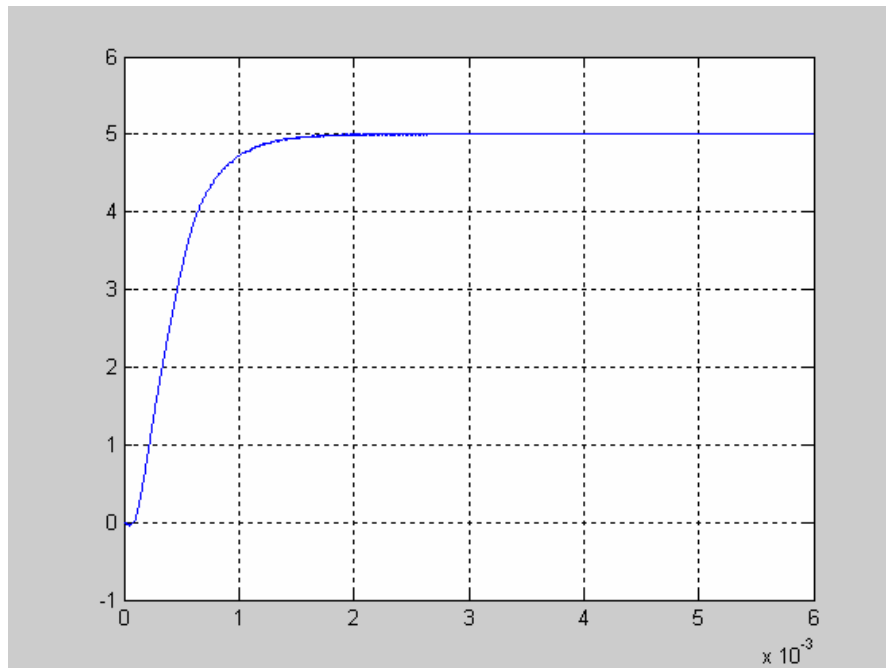


Figura 42. Simulació de la tensió de sortida amb $R = 1,1 \Omega$

- **Corrent a l'inductor amb $R = 1,1 \Omega$**

La figura 43 representa el corrent a l'inductor, el temps d'establiment és de 1,8 ms, es pot observar que l'inductor treballa en tot moment en mode de conducció continu, el corrent mig és de 4,55 A.

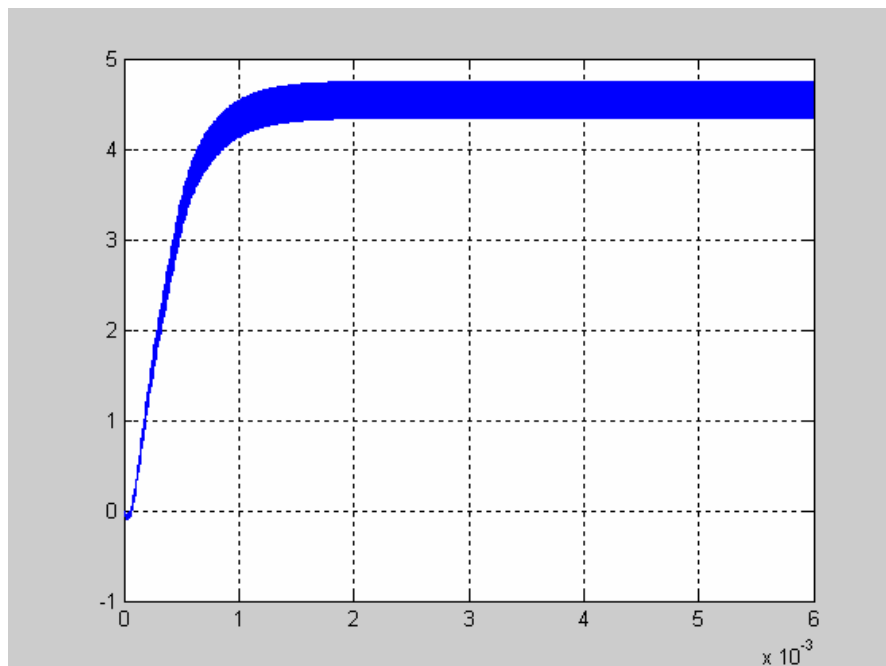


Figura 43. Simulació del corrent a l'inductor amb $R = 1,1 \Omega$

- **Tensió de sortida amb $R = 2,2 \Omega$**

La figura 44 representa la tensió de sortida, el temps d'establiment és de 1,6 ms i el valor en estat estacionari és de 5 V.

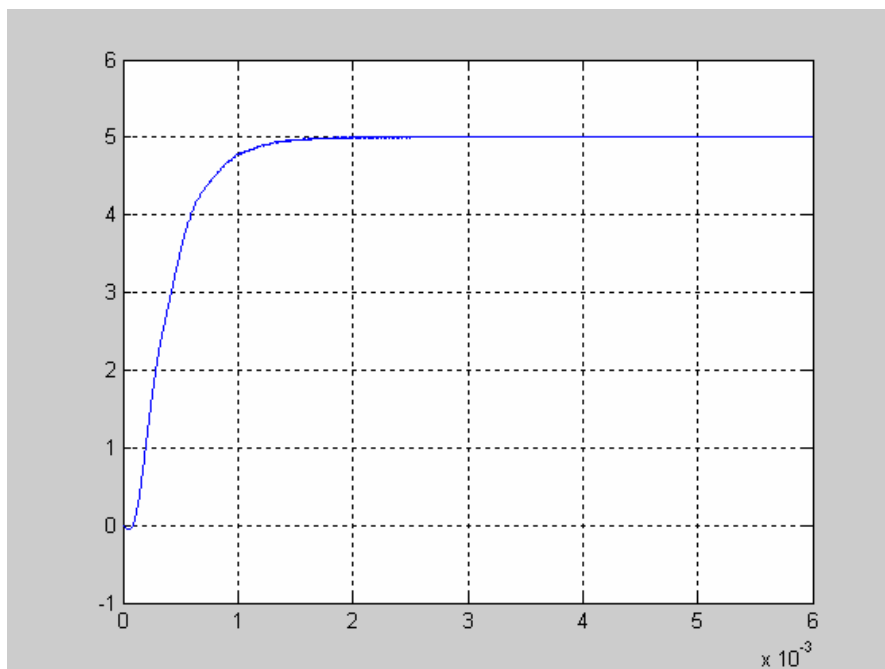


Figura 44. Simulació de la tensió de sortida amb $R = 2,2 \Omega$

- **Corrent a l'inductor amb $R = 2,2 \Omega$**

La figura 45 representa el corrent a l'inductor, el temps d'establiment és de 1,6 ms, el corrent mig és de 2,27 A.

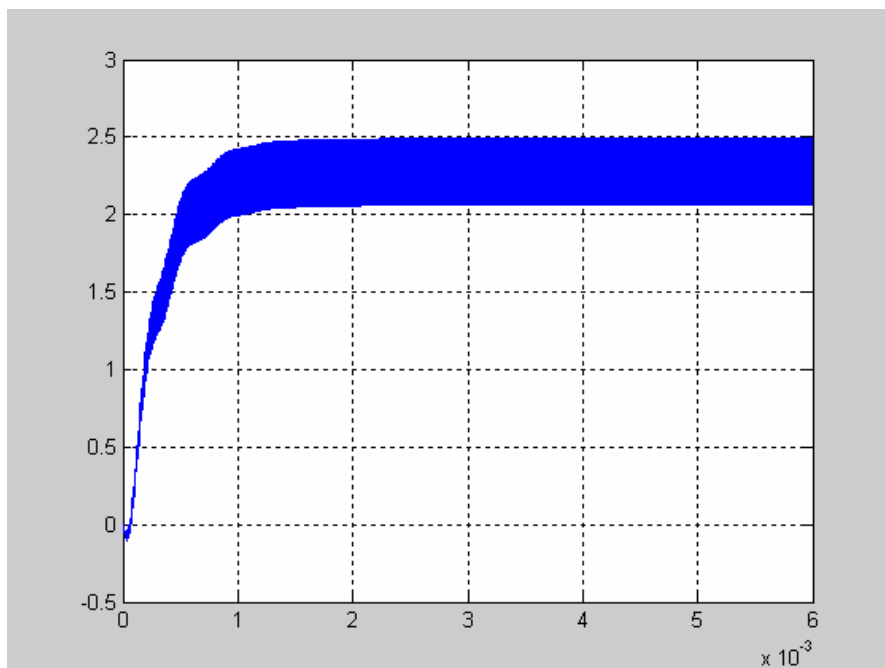


Figura 45. Simulació del corrent a l'inductor amb $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 1,1 \Omega$ (20 W) a $R = 2,2 \Omega$ (10 W)**

Realitzada la pertorbació als 3 ms s'observa a la figura 46 com es produeix un sobrepic de la tensió de sortida que arriba fins als 6,9 V i un pic de $-0,8$ V respecte al valor estacionari de la tensió de sortida, el temps d'establiment és de 1 ms.

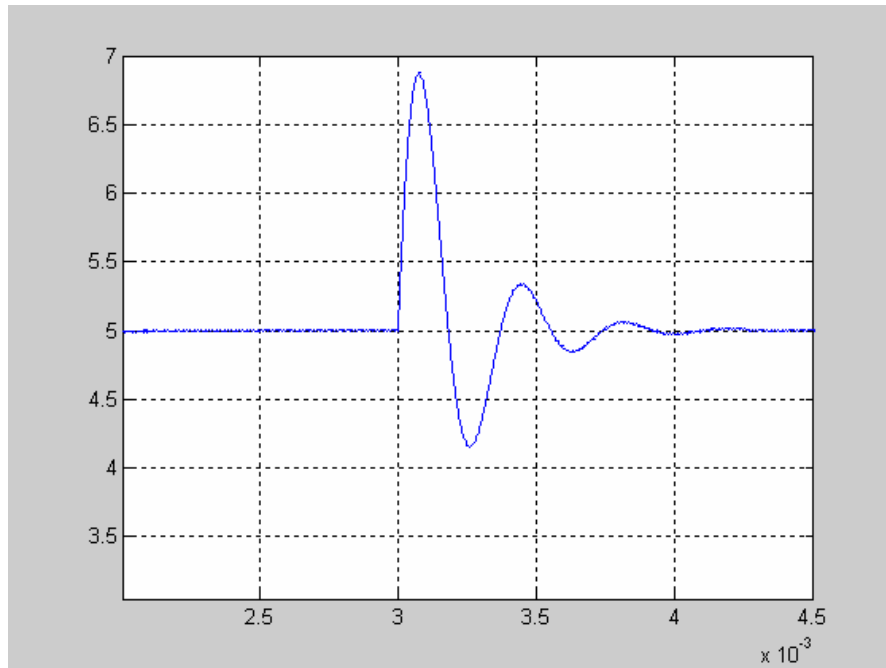


Figura 46. Simulació de la tensió de sortida amb canvi de càrrega de $R = 1,1 \Omega$ a $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 2,2 \Omega$ (10 W) a $R = 1,1 \Omega$ (20 W)**

Realitzada la pertorbació als 3 ms s'observa a la figura 47 com es produeix un pic de $-1,9$ V respecte al valor estacionari de la tensió de sortida i un sobrepic que arriba fins als 5,9 V, el temps d'establiment és de 1,1 ms.

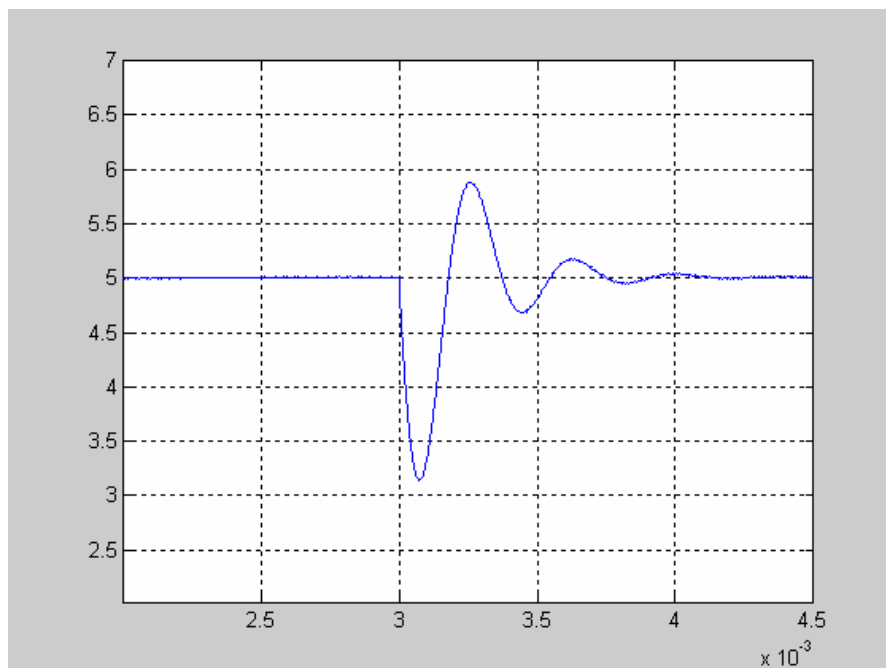


Figura 47. Simulació de la tensió de sortida amb canvi de càrrega de $R = 2,2 \Omega$ a $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 48 com es produeix un pic de -1 V respecte al valor estacionari de la tensió de sortida i un temps d'establiment de 1,6 ms.

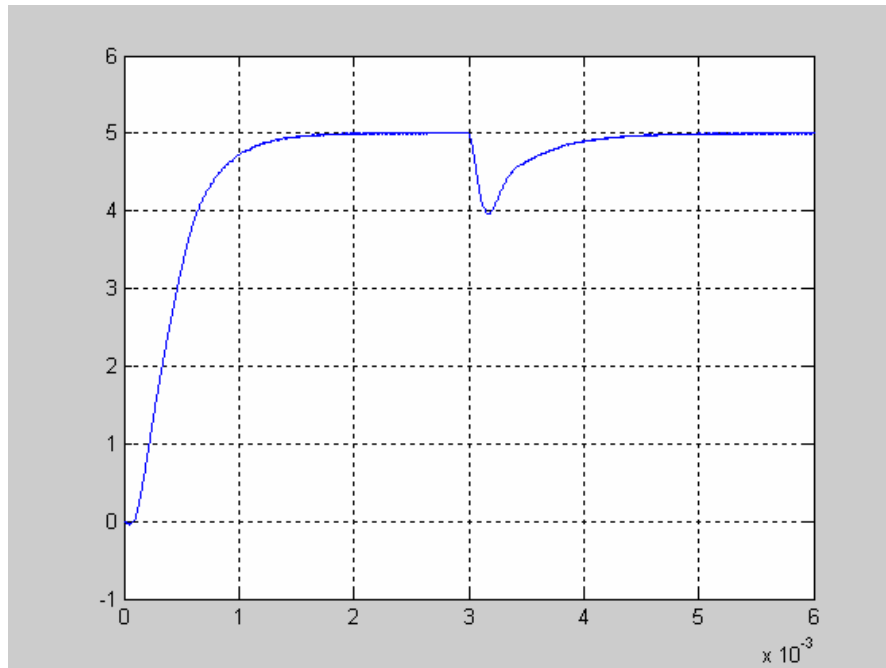


Figura 48. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 12 V a 9,6 V i $R = 1,1 \Omega$

- **Corrent a l'inductor. Canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 49 com es produeix un pic de $-1,27 \text{ A}$ respecte el valor mig del corrent a l'inductor i un temps d'establiment de 1,6 ms. Després de la pertorbació l'arissat del corrent disminueix.

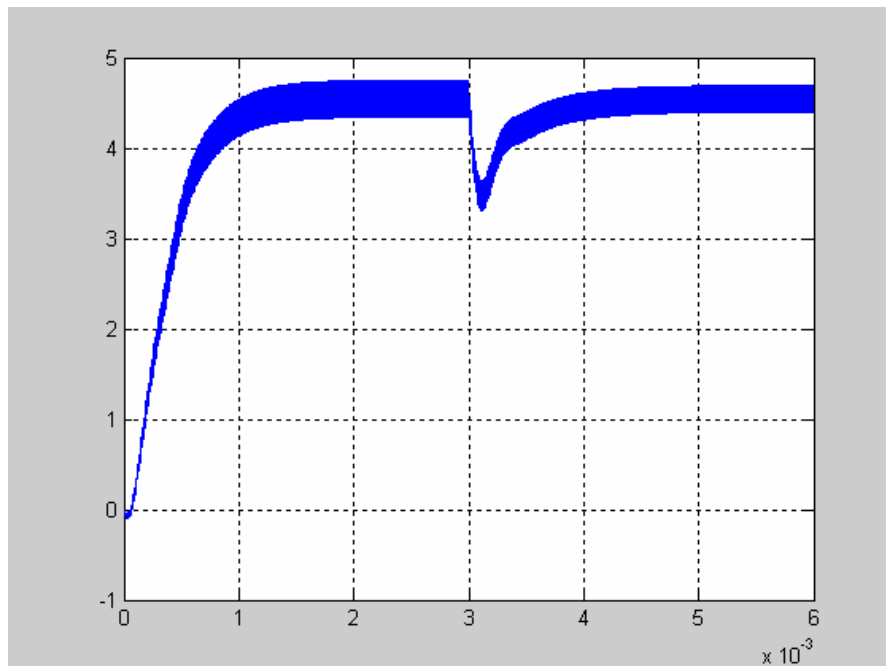


Figura 49. Simulació del corrent a l'inductor amb canvi de càrrega de 12 V a 9,6 V i $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 9,6 V a 12 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 50 com es produeix un sobrepic de la tensió de sortida que arriba fins als 6,2 V i un temps d'establiment de 1,3 ms. El temps d'establiment de l'arrancada és de 2,3 ms

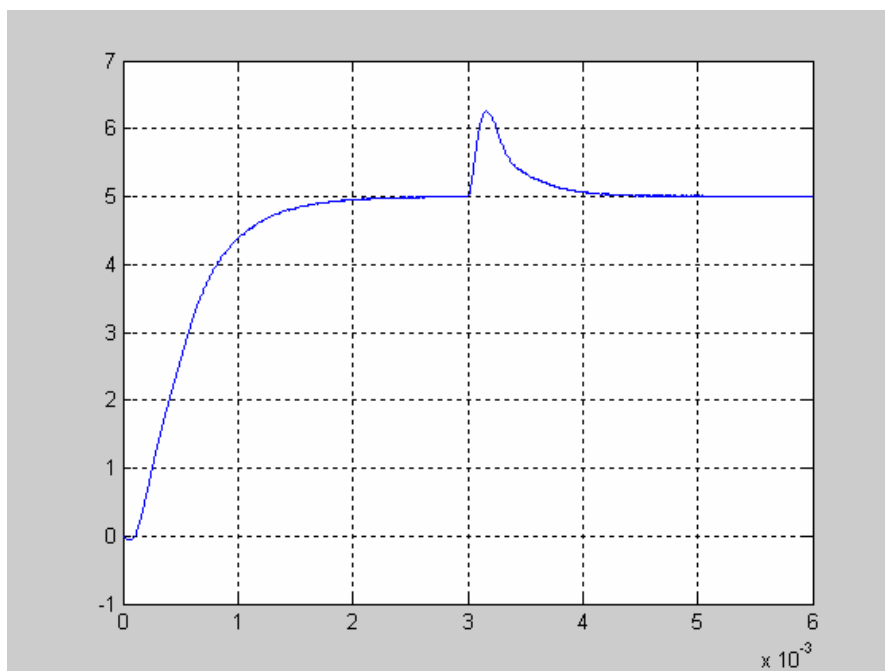


Figura 50. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 9,6 V a 12 V i $R = 1,1 \Omega$

- **Corrent a l'inductor. Canvi de tensió d'entrada de 9,6 V a 12 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació s'observa a la figura 51 com es produeix un sobrepic que arriba fins als 6 A i un temps d'establiment de 1,3 ms. Després de la pertorbació l'arriestat del corrent augmenta. El temps d'establiment de l'arrancada és de 2,3 ms

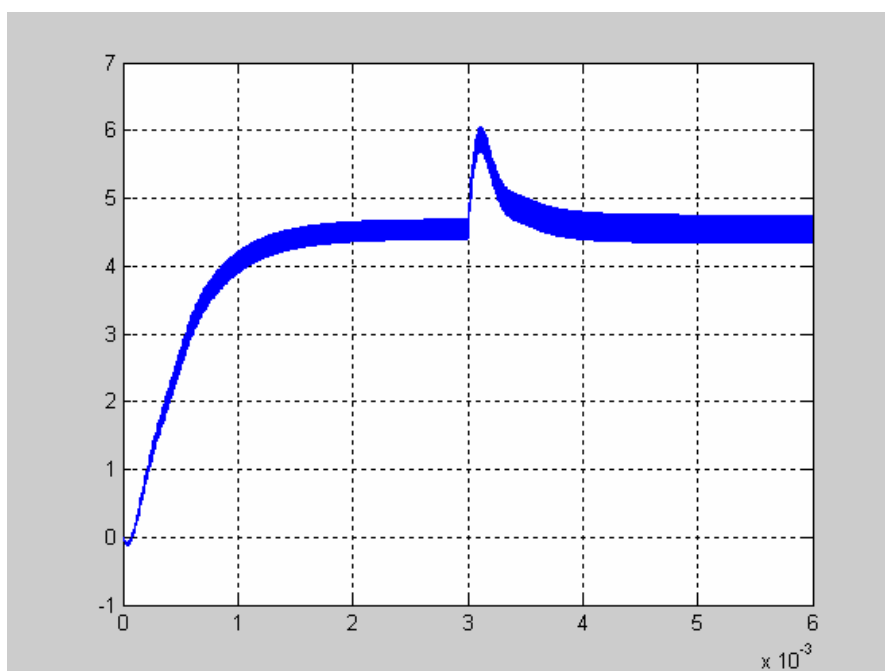


Figura 51. Simulació del corrent a l'inductor amb canvi de càrrega de 9,6 V a 12 V i $R = 1,1 \Omega$

Les conclusions a les qual es poden arribar després d'haver dissenyat diferents conjunts borrosos tant per l'error com per l'increment de l'error, així com per la sortida és que s'ha d'arribar a un compromís entre el temps que tarda el sistema en establitzar-se després d'arrancar i el temps que tarda en establitzar-se després d'haver-se produït un canvi de càrrega o un canvi de la tensió d'entrada. Aquest compromís ve donat pel número de conjunts borrosos, pel rang de les diferents funcions de pertinença, així com pels valors de les funcions de pertinença de la sortida.

En aquest cas, també es pot arribar a la conclusió que no per tenir més conjunts borrosos la resposta del sistema serà millor, ja que pels tres casos dissenyats les respostes no difereixen molt unes de les altres.

8 Control de Corrent Màxim

8.1 Funcionament

La sortida del convertidor es controla mitjançant el corrent de pic de l'inductor (i_L). El senyal d'entrada de control és el corrent de referència $i_{REF}(t)$, sent el seu valor el que controla el PMOS, tenint en compte que $i_L(t)$ seguirà l'evolució del corrent de referència ($i_{REF}(t)$). El cicle de treball $d(t)$ no es controla de forma directa, però depèn del corrent de referència ($i_{REF}(t)$), així com del corrent a l'inductor, de la tensió de sortida i de la tensió d'alimentació.

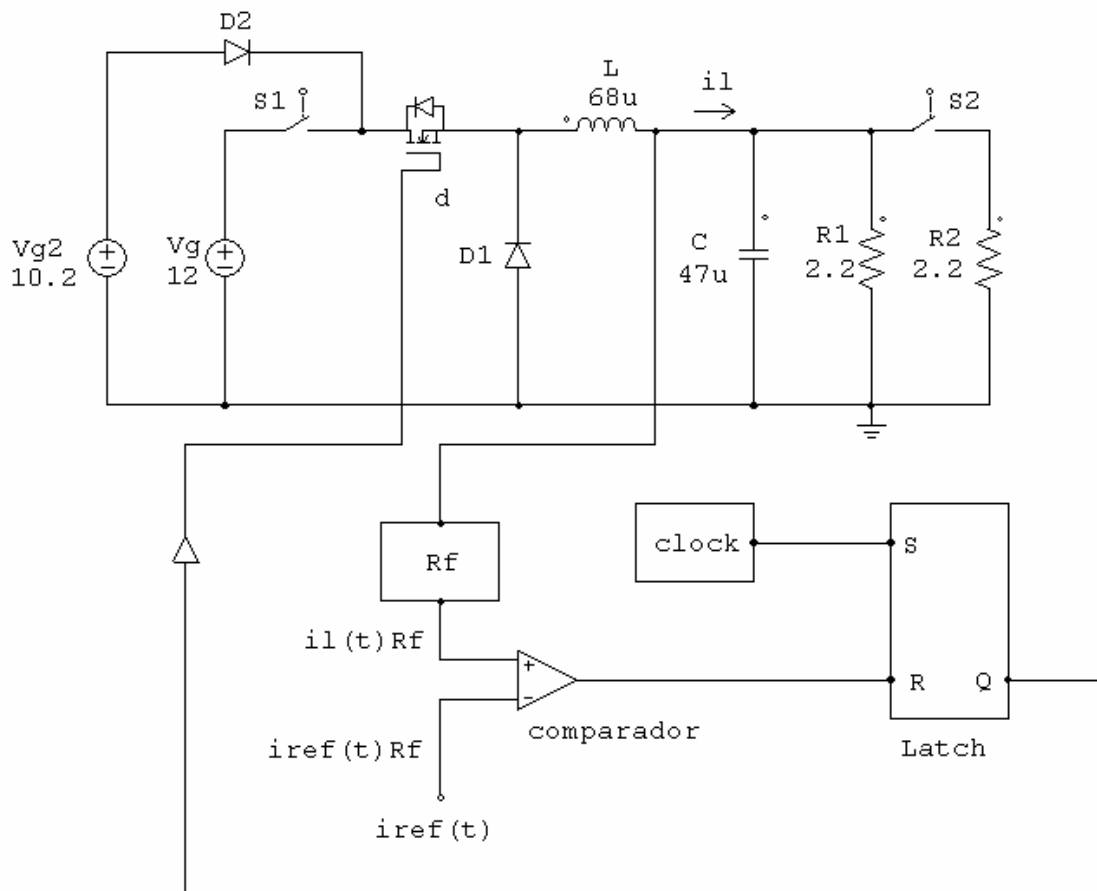


Figura 52. Esquema bàsic del control de corrent màxim d'un convertidor Buck

El circuit de la figura 52 representa l'esquema bàsic del control a freqüència constant per pic de corrent. El pols de rellotge a l'entrada Set del Latch inicia el període de commutació (transistor ON), provocant que la sortida Q del Latch es mantingui en alt, i per tant fent conduir el transistor. Mentre el transistor condueix, el corrent $i_L(t)$ augmenta amb un pendent positiu m_1 , el qual depèn dels valors de la inductància i de la tensió del convertidor.

Quan el corrent a l'inductor $i_L(t)$ s'iguali al corrent de control $i_{REF}(t)$, el controlador commuta el transistor a OFF i el corrent a l'inductor decreix amb un pendent negatiu m_2 per a la resta de període de commutació.

Normalment s'utilitza un llaç de tensió per regular la tensió de sortida $V_O(t)$, per fer-ho es compara la tensió de sortida del convertidor Buck amb una tensió de referència per així poder generar un senyal d'error. Aplicant aquest senyal d'error a una xarxa compensadora s'obindrà el senyal de control $i_{REF}(t)$.

8.2 Inestabilitat per $D > 0,5$

Com es demostrarà més endavant, un convertidor amb control de corrent màxim és inestable quan en estat estacionari el cicle de treball és superior a 0,5. Per a evitar aquesta inestabilitat, es modificarà el control introduint una rampa addicional al corrent de sensat de la bobina $i_L(t)$.

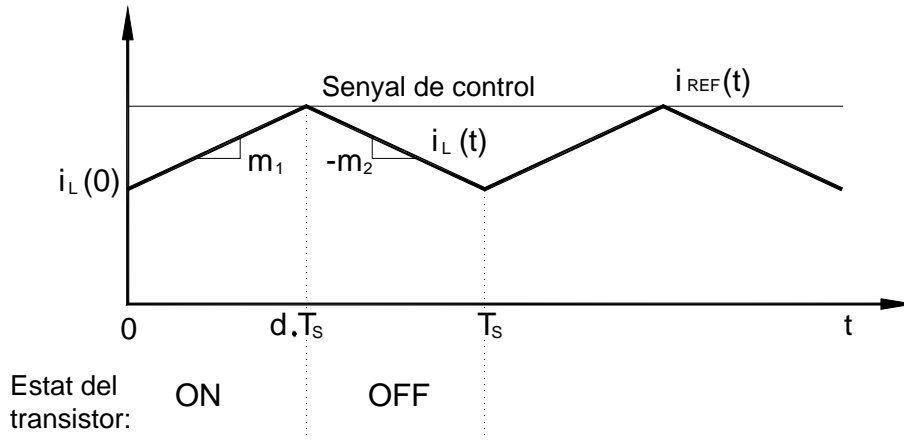


Figura 53. Forma d'ona del corrent a l'inductor i del senyal de control i_{REF} per circuit de la figura 52

La figura 53 mostra la forma d'ona genèrica del corrent a l'inductor $i_L(t)$ operant en mode de conducció continu. El corrent $i_L(t)$ augmenta amb un pendent positiu m_1 durant el primer subinterval i disminueix amb un pendent $-m_2$ durant el segon subinterval. Les expressions generals dels pendents m_1 i $-m_2$ són:

$$m_1 = \frac{V_g - V_O}{L} \quad (44)$$

$$-m_2 = \frac{V_g}{L} \quad (45)$$

on

V_g : Tensió d'entrada del Buck.

V_O : Tensió de sortida del Buck.

L : Inductància de la bobina.

Una vegada coneguts els pendents m_1 i $-m_2$ es poden determinar les relacions entre $i_L(0)$, i_{REF} , $i_L(Ts)$ i $d \cdot Ts$.

Durant el primer subinterval, el corrent a l'inductor creix amb un pendent m_1 fins que s'iguali al senyal de control i_{REF} .

$$i_L(d \cdot Ts) = i_{REF} = i_L(0) + m_1 \cdot d \cdot Ts \quad (46)$$

Desenvolupant d

$$d = \frac{i_{REF} - i_L(0)}{m_1 \cdot Ts} \quad (47)$$

De manera similar, per al segon subinterval tenim que

$$i_L(Ts) = i_L(d \cdot Ts) - m_2 \cdot d' \cdot Ts \quad (48)$$

i substituint l'equació (46) en (48) obtenim

$$i_L(Ts) = i_L(0) + m_1 \cdot d \cdot Ts - m_2 \cdot d' \cdot Ts \quad (49)$$

En estat estacionari, $i_L(0) = i_L(Ts)$, $d = D$, $m_1 = M_1$ i $m_2 = M_2$. Inserint aquestes relacions en l'equació (49) tenim que

$$M_1 \cdot D \cdot Ts - M_2 \cdot D' \cdot Ts = 0 \quad (50)$$

O el que és el mateix

$$\frac{M_2}{M_1} = \frac{D}{D'} \quad (51)$$

Considerem ara una petita pertorbació del corrent a l'inductor en $t = 0$.

$$i_L(0) = I_{L0} + \hat{i}_L(0) \quad (52)$$

Per estudiar l'estabilitat del control de corrent màxim quan s'aplica una petita pertorbació $\hat{i}_L(nT_s)$, hem de considerar que la pertorbació tendeix a zero després de n períodes.

I_{L0} és el valor de $i_L(0)$ en estat estacionari i es considera que $\hat{i}_L(0)$ és una pertorbació petita comparada amb I_{L0} .

En la figura 54 es mostren les formes d'ona del corrent a l'inductor $i_L(t)$ i del corrent a l'inductor pertorbat $\hat{i}_L(t)$. Per a que quedi més clar, el valor de la pertorbació del corrent a l'inductor s'ha exagerat.

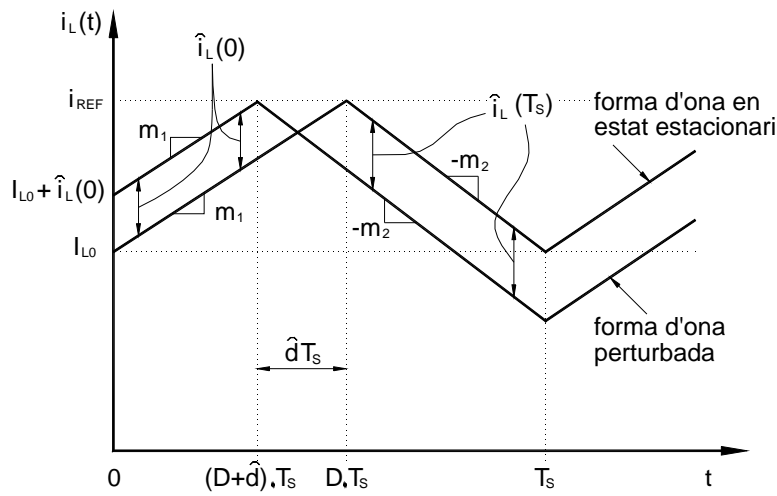


Figura 54. Formes d'ona del corrent a l'inductor, estacionari i pertorbat

El convertidor opera en estat estacionari, per tant, els pendents m_1 i m_2 essencialment no varien. Es considera que el valor $\hat{i}_L(0)$ és positiu, llavors el valor $\left(\hat{d} \cdot T_s\right)$ és negatiu. En l'interval $0 \leq t \leq \left(D + \hat{d}\right) \cdot T_s$ la diferència entre les formes d'ona és $\hat{i}_L(0)$. Per la qual cosa en el següent subinterval $\left(D + \hat{d}\right) \cdot T_s \leq t \leq T_s$ la diferència entre les formes d'ona és $\hat{i}_L(T_s)$, sent aquest un valor negatiu.

Es pot utilitzar la forma d'ona en estat estacionari en l'interval $\left(D + \hat{d}\right) \cdot T_s \leq t \leq T_s$ per a expressar $\hat{i}_L(0)$ com el pendent m_1 multiplicat per l'interval $-\hat{u} \cdot T_s$.

$$\hat{i}_L(0) = -m_1 \cdot \hat{d} \cdot T_s \quad (53)$$

Amb el mateix criteri es pot utilitzar la forma d'ona pertorbada per a expressar $\hat{i}_L(T_s)$ com a la pendent $-m_2$ multiplicada per l'interval $-\hat{d} \cdot T_s$.

$$\hat{i}_L(T_s) = m_2 \cdot \hat{d} \cdot T_s \quad (54)$$

Utilitzant l'expressió (53) per a eliminar la variable \hat{d} de l'equació (54) ens queda

$$\hat{i}_L(T_s) = \hat{i}_L(0) \left(-\frac{m_2}{m_1} \right) \quad (55)$$

I tenint en compte l'expressió (51), l'equació (55) ens queda

$$\hat{i}_L(T_s) = \hat{i}_L(0) \left(-\frac{D}{D'} \right) \quad (56)$$

Generalitzant per a n períodes de commutació, obtenim la següent expressió:

$$\hat{i}_L(n \cdot T_s) = \hat{i}_L((n-1) \cdot T_s) \left(-\frac{D}{D'} \right) = \hat{i}_L(n \cdot T_s) = \hat{i}_L(0) \left(-\frac{D}{D'} \right)^n \quad (57)$$

$$\alpha = -\frac{D}{D'} \quad (58)$$

Si n tendeix a infinit, la pertorbació $\hat{i}_L(n \cdot T_s)$ tendeix a zero quan α és inferior a la unitat i tendeix a infinit quan α és major a la unitat.

$$\left| \hat{i}_L(n \cdot T_s) \right| \rightarrow \begin{cases} 0 \text{ quan } \left| -\frac{D}{D'} \right| < 1 \\ \infty \text{ quan } \left| -\frac{D}{D'} \right| > 1 \end{cases} \quad (59)$$

Per tant, per a que el controlador operi de forma estable és necessari que

$$D < 0,5 \quad (60)$$

8.3 Rampa de Compensació del Control de Corrent Màxim

La inestabilitat per a cicles de treball majors a 0,5 és un inconvenient important del control de corrent màxim, el qual no depèn de la tipologia del convertidor. Per a fer que el convertidor sigui estable per a tots els cicles de treball possibles s'afegeix una rampa artificial de compensació al corrent de sensat.

Aquesta rampa compensadora té efectes qualitius de reduir el guany del llaç de realimentació de sensat de corrent.

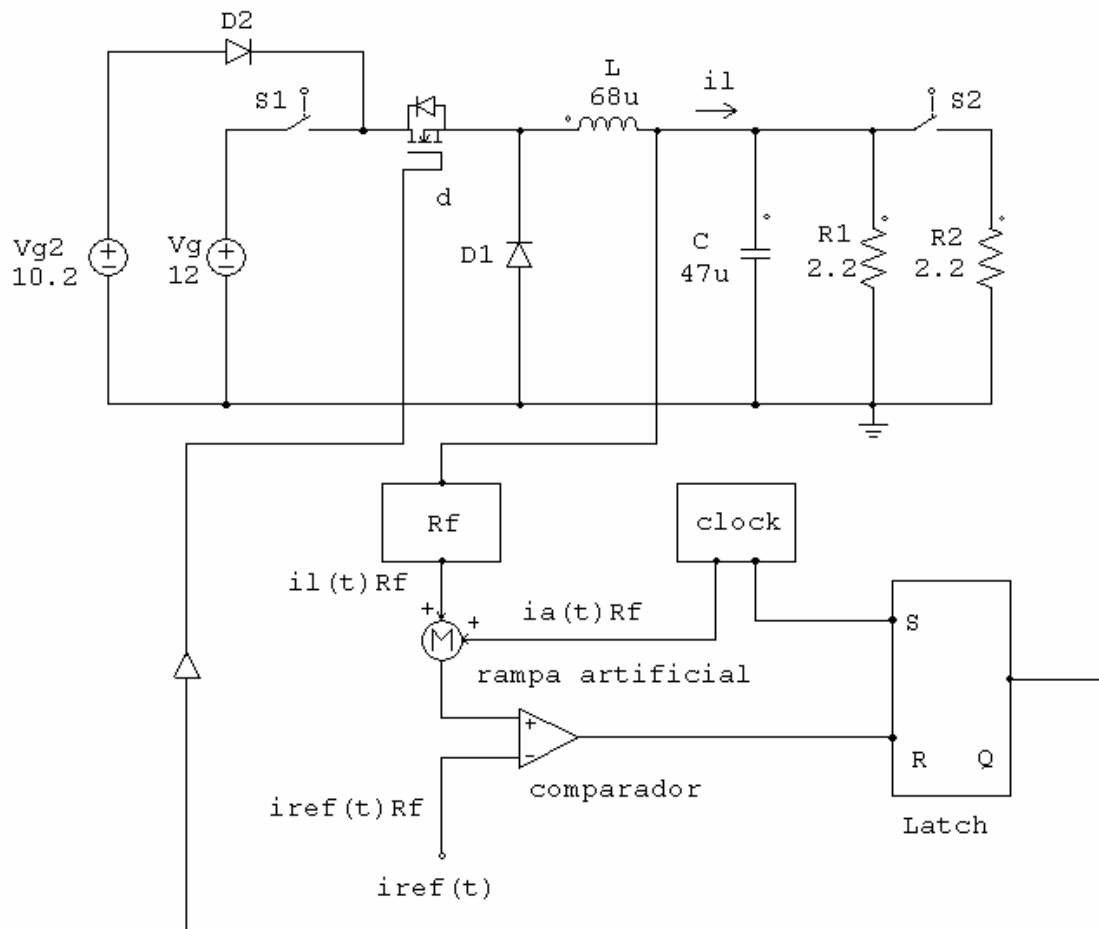
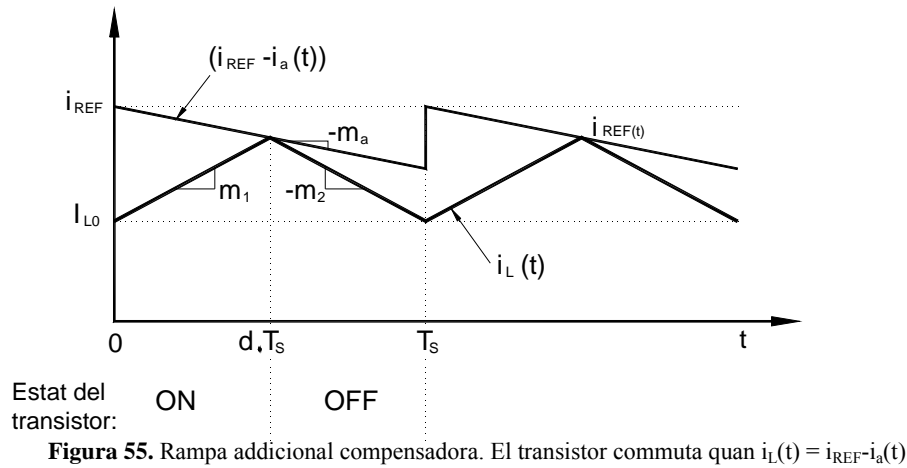


Figura 56. Estabilització del control de corrent màxim amb rampa addicional

La rampa artificial presenta un pendent m_a que farà que el controlador faci commutar el transistor a OFF quan

$$i_{REF} = i_a(d \cdot T_s) + i_L(d \cdot T_s) \quad (61)$$

On $i_a(t)$ és la forma d'ona de la rampa artificial. D'aquesta manera, el transistor commutarà a OFF quan el corrent de la bobina sigui igual a

$$i_L(d \cdot T_s) = i_{REF} - i_a(d \cdot T_s) \quad (62)$$

A continuació analitzarem l'estabilitat del control de corrent màxim amb la rampa compensadora.

La relació entre $\hat{i}_L(0)$ i $\hat{i}_L(T_s)$ es pot determinar únicament considerant l'interval $(D + \hat{d}) \cdot T_s \leq t \leq T_s$. Les expressions $\hat{i}_L(0)$ i $\hat{i}_L(T_s)$ es poden expressar en funció de m_1 , m_2 i m_a .

$$i_L(0) = -\hat{d} \cdot T_s \cdot (m_1 + m_a) \quad (63)$$

$$i_L(T_s) = -\hat{d} \cdot T_s \cdot (m_a + m_2) \quad (64)$$

Aïllant les variables del cicle de treball \hat{d} en les equacions anteriors

$$\hat{i}_L(T_s) = \hat{i}_L(0) \left(-\frac{m_2 - m_a}{m_1 + m_a} \right) \quad (65)$$

Aplicant l'anàlisi per a n intervals de commutació, l'expressió (65) queda

$$\hat{i}_L(n \cdot T_s) = \hat{i}_L((n-1) \cdot T_s) \left(-\frac{m_2 - m_a}{m_1 + m_a} \right) = \hat{i}_L(0) \left(-\frac{m_2 - m_a}{m_1 + m_a} \right)^n = \hat{i}_L(0) \beta^n \quad (66)$$

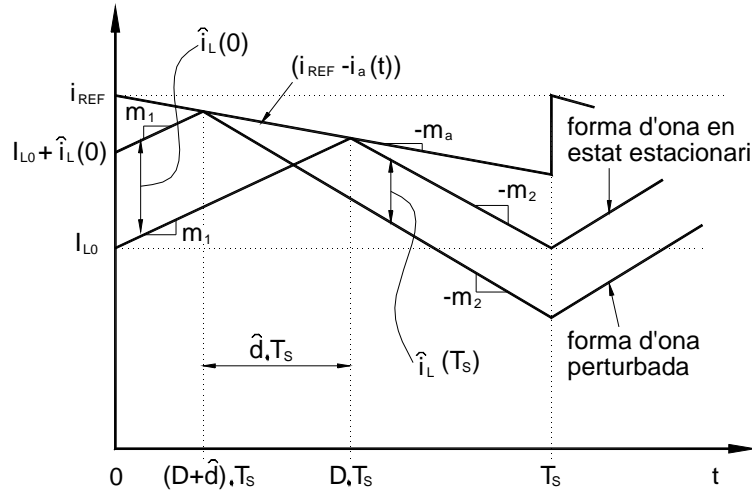


Figura 57. Formes d'ona del corrent a l'inductor, estacionari i pertorbat amb rampa de compensació

Per a n períodes de commutació la magnitud de pertorbació evolucionarà segons

$$\left| \hat{i}_L \cdot (n \cdot T_s) \right| \rightarrow \begin{cases} 0 & \text{quan } \left| -\frac{m_2 - m_a}{m_1 + m_a} \right| < 1 \\ \infty & \text{quan } \left| -\frac{m_2 - m_a}{m_1 + m_a} \right| > 1 \end{cases} \quad (67)$$

Per a que el control sigui estable s'ha de complir que el pendent m_a tingui un valor tal que β sigui menor a la unitat.

$$\beta = -\frac{m_2 - m_a}{m_1 + m_a} \quad (68)$$

Si considerem coneguts els valors dels pendents m_1 i m_2 , podem utilitzar l'expressió (51) per a aïllar m_1 de l'equació (68) i expressar β en funció de D , m_2 i m_a .

$$\beta = -\frac{1 - \frac{m_a}{m_2}}{\frac{D'}{D} + \frac{m_a}{m_2}} \quad (69)$$

Un valor usual per a m_a és

$$m_a = \frac{1}{2} \cdot m_2 \quad (70)$$

Es pot verificar que amb la relació de l'equació (70) $\beta = -1$ per a un cicle de treball de $D = 1$. Aquest és el mínim valor de m_a per a $D = 1$ que assegura l'estabilitat.

Un altre valor típic és

$$m_a = m_2 \quad (71)$$

El qual provoca que el valor de β sigui zero per a tots els possibles valors de D . I com a resultat $\hat{i}_L(T_S)$ és zero per a qualsevol valor de $\hat{i}_L(0)$. Això fa que el controlador no es satori. El sistema resol qualsevol error passats n períodes de commutació (T_S).

8.4 Model Simulink amb Control de Corrent Màxim

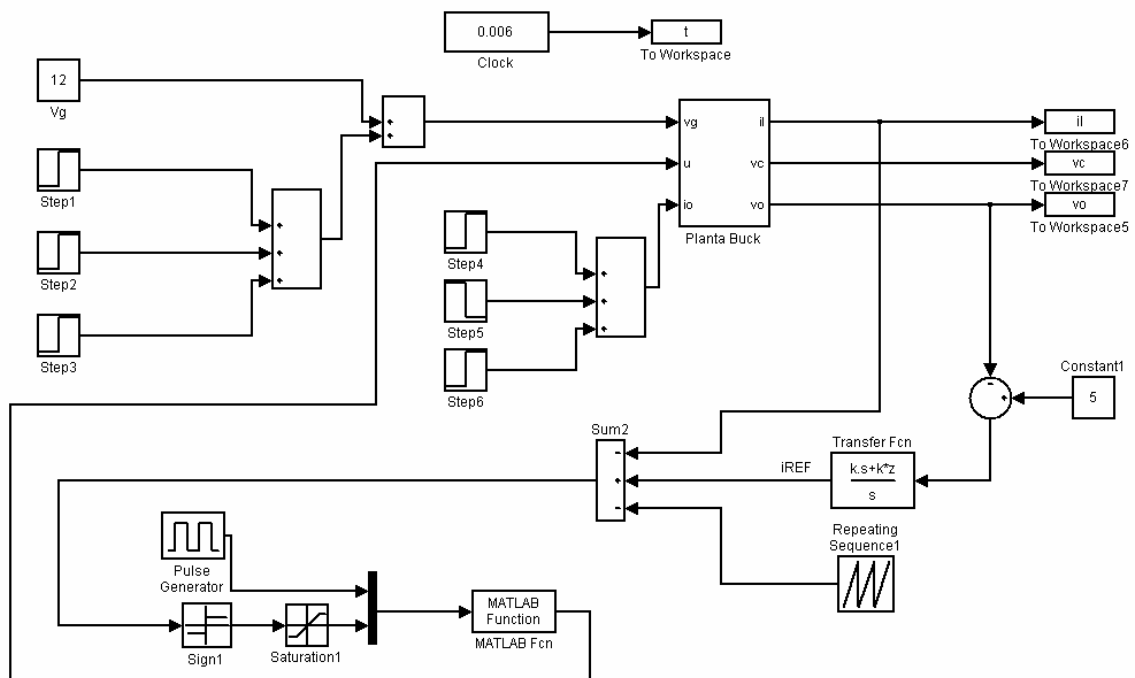


Figura 58. Model simulink amb control de corrent màxim

El model simulink del convertidor Buck amb control de corrent màxim de la figura 58 està format per:

- La planta del convertidor Buck (figura 5) obtinguda a l'apartat 4.3.
- El bloc PWM el qual representa la rampa de compensació.
- Un llaç de tensió per regular la tensió de sortida $V_O(t)$, per fer-ho es compara la tensió de sortida del convertidor Buck amb una tensió de referència per així poder generar un senyal d'error. Aplicant aquest senyal d'error al bloc transfer Fcn, el

qual mitjançant un programa realitza un control PI analògic, generarem el corrent de referència (i_{REF}).

- Un sumatori on s'inclourà el corrent de l'inductor, el PWM (que representa la rampa de compensació) i el corrent de referència (i_{REF}).
- El bloc Sign, amb el que aconseguim que si l'entrada a aquest bloc és positiva la sortida valdrà 1, si és 0 valdrà 0 i si és negativa valdrà -1.
- Un generador de polsos.
- Un bloc que realitzarà l'operació de comparar la generació de polsos amb el resultat obtingut al bloc Sign. Aquest bloc anomenat MATLAB Function crida a un petit programa que realitzarà aquesta operació.

- **Programa que genera el control PI analògic per obtenir el corrent i_{REF} .**

```
% disseny d'un controlador PI: k*(s+z)/s
%per un sistema G(s)=num/den garantitzant un marge de fase desitjat.
num=[4491.84 608280170]
den=[1 18443.31 450303881.39]
% disseny del PI
fim=60; % marge de fase desitjat
w=logspace(-3,5,1000);
[m,f]=bode(num,den,w);
ind=find(f<(-180+fim+5));
z=w(ind(1))/10
k=1/m(ind(1))
[ng,dg]=series([k k*z],[1 0],num,den);
figure(1)
margin(ng,dg)
```

Codi 1. Disseny d'un control PI analògic

Per a poder generar el control PI analògic s'ha de calcular la funció de transferència

$$G(s) = \frac{V_o}{i_{REF}} \text{ que s'introduirà al programa.}$$

Sabent que

$$\dot{X}(t) = A \cdot x(t) + B \cdot u(t) \quad (72)$$

$$s \cdot x(s) = A \cdot x(s) + B \cdot u(s) \quad (73)$$

Desenvolupant tenim que

$$(s \cdot I - A) \cdot x(s) = B \cdot u(s) \quad (74)$$

i deixant-ho en funció de $X(s)$ i $u(s)$ l'equació (74) queda de la següent manera

$$\frac{\begin{bmatrix} i_L \\ v_C \end{bmatrix}(s)}{u(s)} = (s \cdot I - A)^{-1} \cdot B \quad (75)$$

on

$$\begin{bmatrix} i_L \\ v_C \end{bmatrix}(s) = x(s) \quad (76)$$

El valor de la matriu A s'ha agafat el valor de A_2 de l'equació (23) i el de la matriu B el de B_1 de la mateixa equació, per tant després de realitzar la matriu inversa de $(s \cdot I - A)^{-1}$ tenim que l'equació (75) té el resultat següent:

$$\frac{\begin{bmatrix} i_L \\ v_C \end{bmatrix}(s)}{u(s)} = \frac{\begin{bmatrix} 240000 \cdot s + 4288560000 \\ 536040000 \end{bmatrix}}{s^2 + 18443,31 \cdot s + 450303881,39} \quad (77)$$

Les funcions de transferència de $G_{ui_L}(s)$ i $G_{uv_C}(s)$ són:

$$G_{ui_L}(s) = \frac{i_L(s)}{u(s)} = \frac{240000 \cdot s + 4288560000}{s^2 + 18443,31 \cdot s + 450303881,39} \quad (78)$$

$$G_{uv_C}(s) = \frac{v_C(s)}{u(s)} = \frac{536040000}{s^2 + 18443,31 \cdot s + 450303881,39} \quad (79)$$

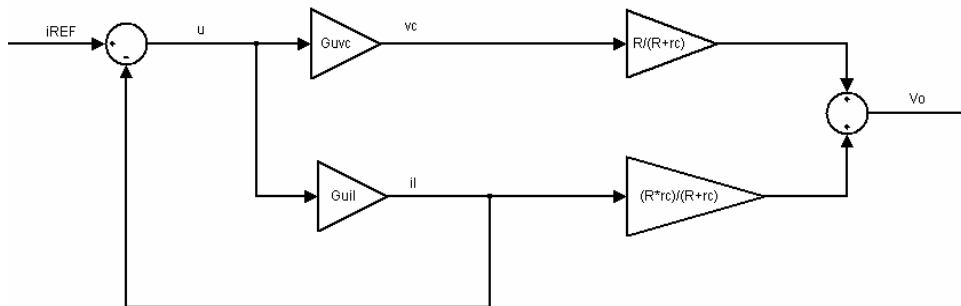


Figura 59. Diagrama de blocs per obtenir V_O en funció de i_{REF}

De la figura 59 es pot deduir que

$$u(s) = i_{\text{REF}}(s) - i_L(s) \quad (80)$$

De les equacions (78) i (79) podem desenvolupar

$$i_L(s) = G_{ui_L}(s)u(s) \quad (81)$$

$$v_C(s) = G_{uv_C}(s)u(s) \quad (82)$$

i substituint l'equació (81) en l'equació (80) tenim que

$$u(s) = i_{\text{REF}} - G_{ui_L}(s)u(s) \quad (83)$$

De l'equació (7) sense tenir en compte la pertorbació del corrent (i_O) sabem el valor de V_O

$$V_O = \left(\frac{R \cdot r_C}{R + r_C} \right) i_L + \left(\frac{R}{R + r_C} \right) V_C, \quad (84)$$

substituint les equacions (81) i (82) a aquesta darrera equació ens queda

$$V_O = \left[\left(\frac{R \cdot r_C}{R + r_C} \right) G_{ui_L}(s) + \left(\frac{R}{R + r_C} \right) G_{uv_C}(s) \right] u(s), \quad (85)$$

aplicant a l'equació (85) l'equació (83) tenim que

$$V_O = \left[\left(\frac{R \cdot r_C}{R + r_C} \right) G_{ui_L}(s) + \left(\frac{R}{R + r_C} \right) G_{uv_C}(s) \right] \left(i_{\text{REF}} - G_{ui_L}(s) u(s) \right) \quad (86)$$

i un cop desenvolupat

$$\frac{V_O}{i_{\text{REF}}} = \left(\frac{R \cdot r_C}{R + r_C} \right) G_{ui_L}(s) + \left(\frac{R}{R + r_C} \right) G_{uv_C}(s) \quad (87)$$

Finalment aplicant els valors corresponents a cada variable obtenim la funció de transferència de $G(s) = \frac{V_o}{i_{REF}}$ que s'aplicarà al numerador (num) i denominador (den) de codi 1.

$$\frac{V_o}{i_{REF}} = \frac{4491,84 \cdot s + 608280170}{s^2 + 18443,31 \cdot s + 450303881,39} \quad (88)$$

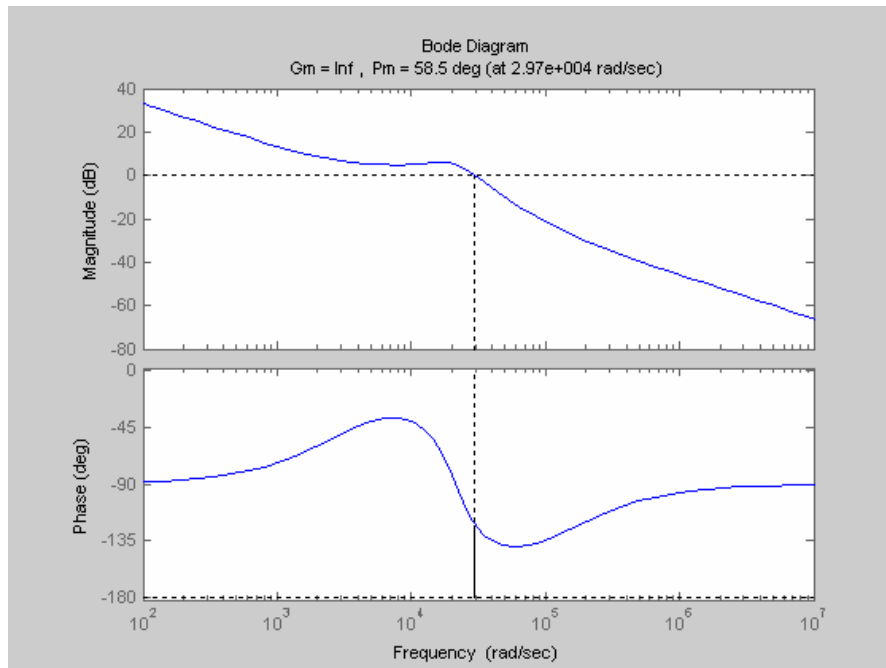


Figura 60. Diagrama de bode

- **Programa aplicat al bloc MATLAB Function**

```
function valor = latch(v)

global valor;

if v(1)==1
    valor=1;
else
    if v(2)==0
        valor=0;
    end
end
```

Codi 2. Latch

Amb aquest codi aconseguim generar el període del cicle de treball, si el generador de polsos està a 1 la sortida valdrà 1, per tant el període del cicle de treball també estarà a 1. En canvi quan la variable que proporciona el bloc Sign està a 0 (la qual cosa voldrà dir que s'ha igualat el corrent a l'inductor (i_L) amb el corrent de referència (i_{REF})) el període del cicle de treball estarà a 0.

- **Tensió de sortida amb $R = 1,1 \Omega$**

La figura 61 representa la tensió de sortida, el temps d'establiment és de 3 ms i el valor en estat estacionari és de 5 V.

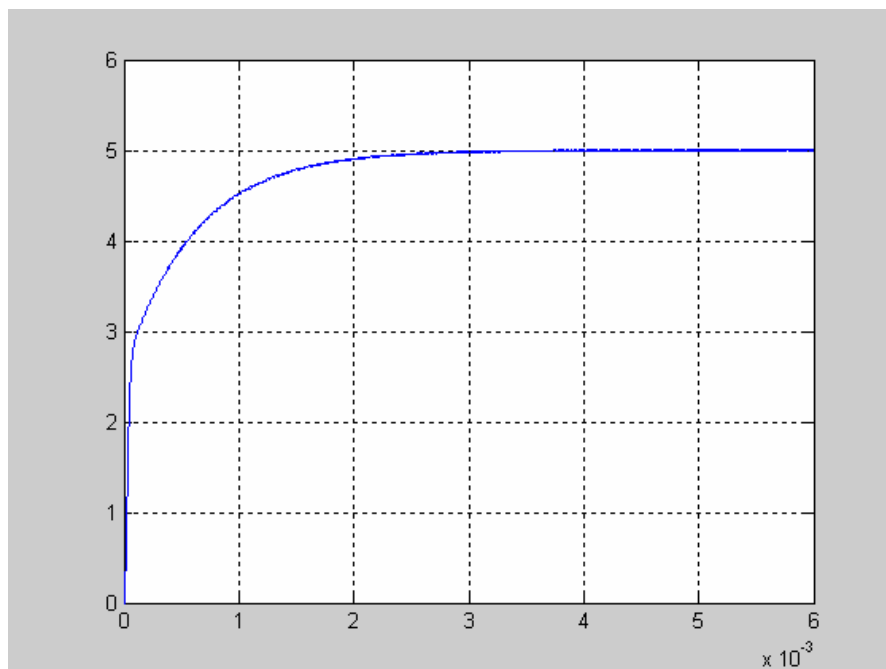


Figura 61. Simulació de la tensió de sortida amb $R = 1,1 \Omega$

- **Corrent a l'inductor amb $R = 1,1 \Omega$**

La figura 62 representa el corrent a l'inductor, el temps d'establiment és de 3 ms, es pot observar que l'inductor treballa en tot moment en mode de conducció continu, el corrent mig és de 4,55 A.

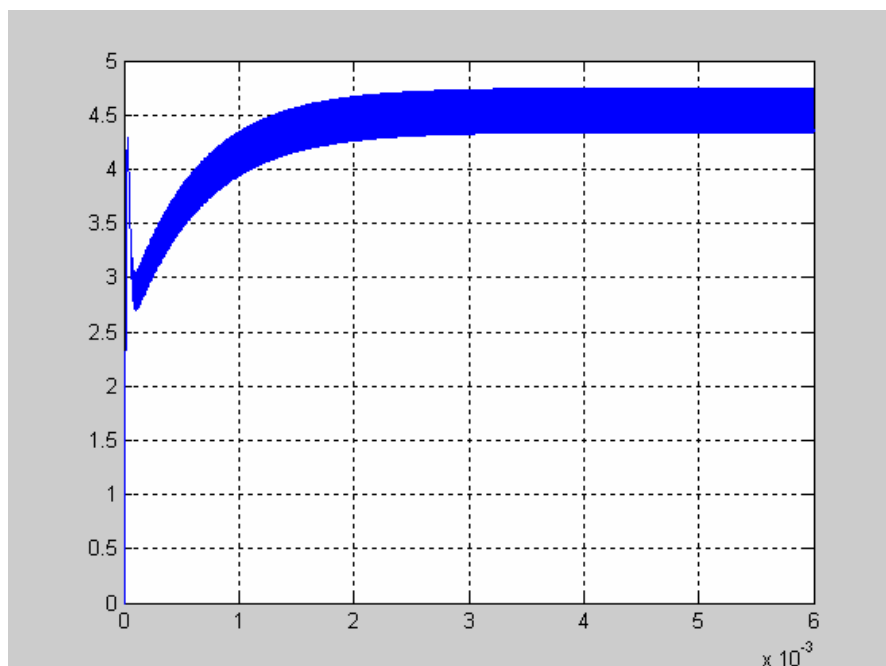


Figura 62. Simulació del corrent a l'inductor amb $R = 1,1 \Omega$

- **Tensió de sortida amb $R = 2,2 \Omega$**

La figura 63 representa la tensió de sortida, el temps d'establiment és de 2,3 ms i el valor en estat estacionari és de 5 V.

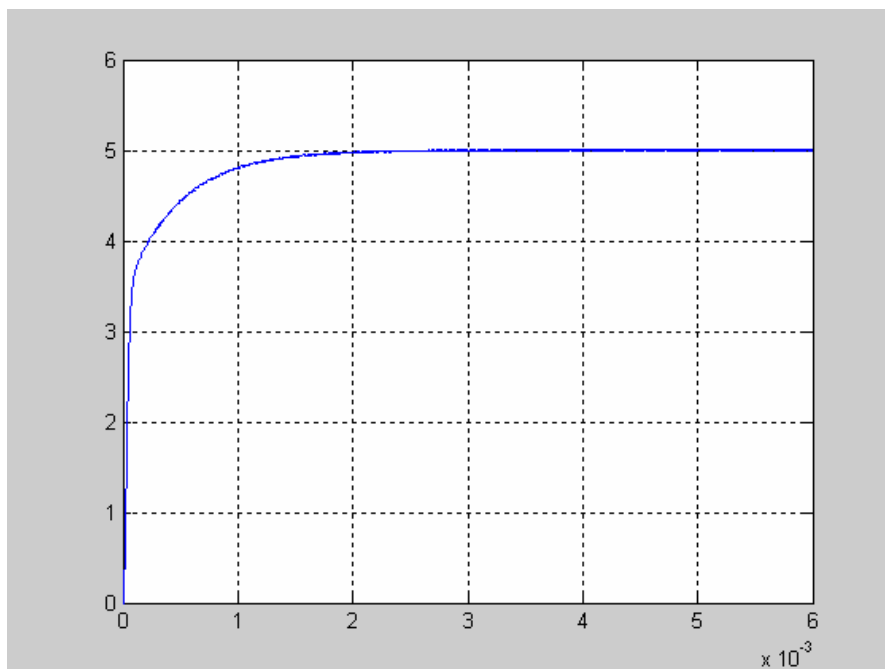


Figura 63. Simulació de la tensió de sortida amb $R = 2,2 \Omega$

- **Corrent a l'inductor amb $R = 2,2 \Omega$**

La figura 64 representa el corrent a l'inductor, s'observa com es produeix un sobrepic que arriba fins als 4,2 A, el temps d'establiment és de 2,3 ms, el corrent mig és de 2,27 A.

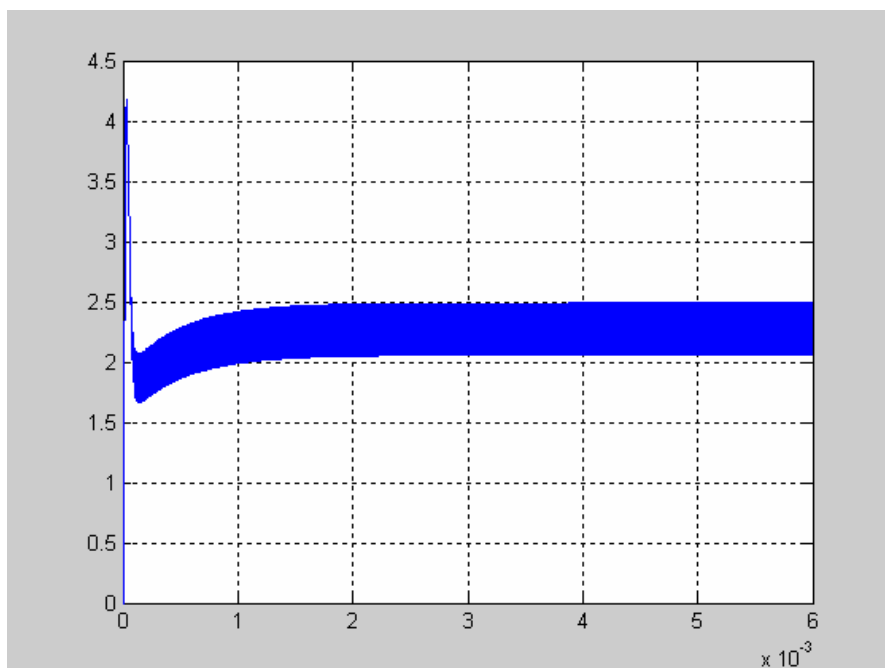


Figura 64. Simulació del corrent a l'inductor amb $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 1,1 \Omega$ (20 W) a $R = 2,2 \Omega$ (10 W)**

Realitzada la pertorbació als 3 ms s'observa a la figura 65 com es produeix un sobrepic de la tensió de sortida que arriba fins als 6,2 V, el temps d'establiment és de 2,3 ms.

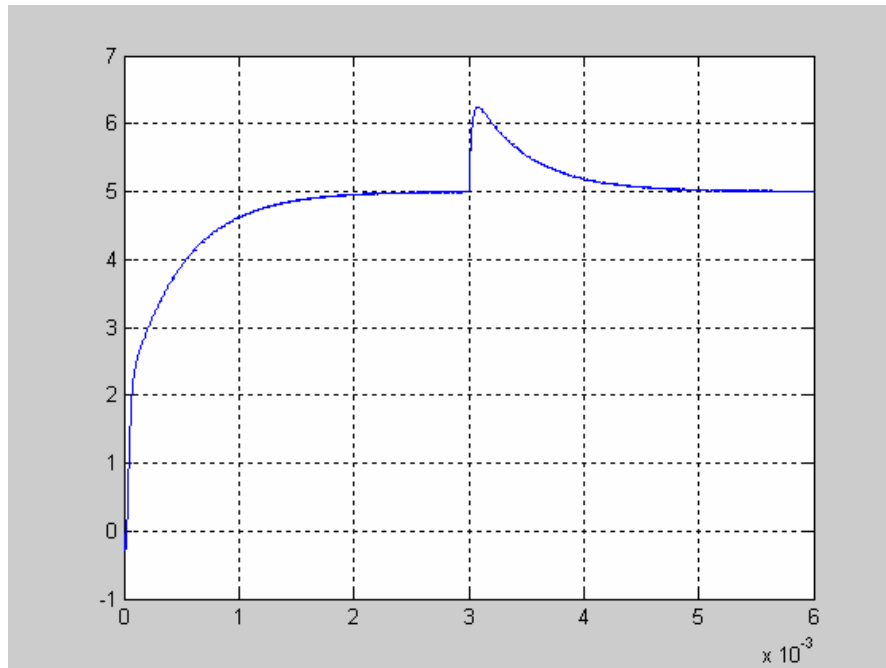


Figura 65. Simulació de la tensió de sortida amb canvi de càrrega de $R = 1,1 \Omega$ a $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 2,2 \Omega$ (10 W) a $R = 1,1 \Omega$ (20 W)**

Realitzada la pertorbació als 3 ms s'observa a la figura 66 com es produeix un pic de $-1,3$ V respecte al valor estacionari de la tensió de sortida, el temps d'establiment és de 2,3 ms.

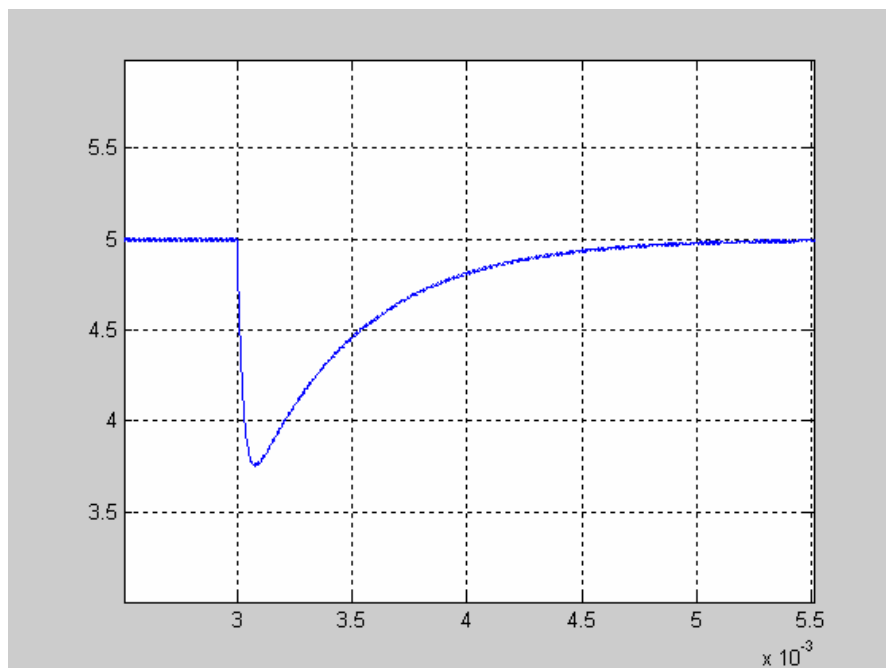


Figura 66. Simulació de la tensió de sortida amb canvi de càrrega de $R = 2,2 \Omega$ a $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 67 com es produeix un pic que no arriba a $-0,1$ V respecte al valor estacionari de la tensió de sortida i un temps d'establiment de 1 ms.

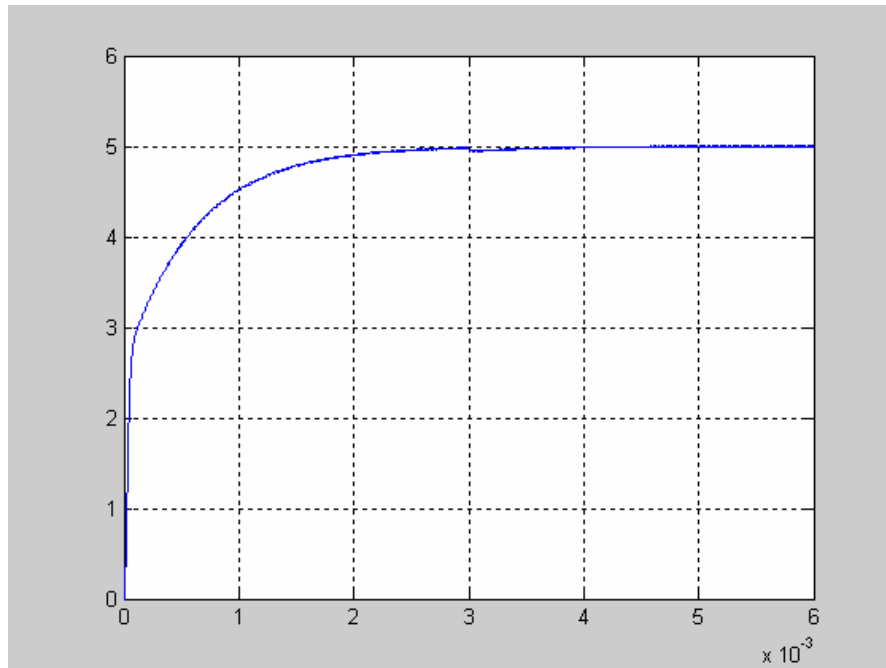


Figura 67. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 12 V a 9,6 V i $R = 1,1 \Omega$

- **Corrent a l'inductor. Canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 68 com no es produeix cap pic, té un temps d'establiment de 1 ms. Després de la pertorbació l'arrissat del corrent disminueix.

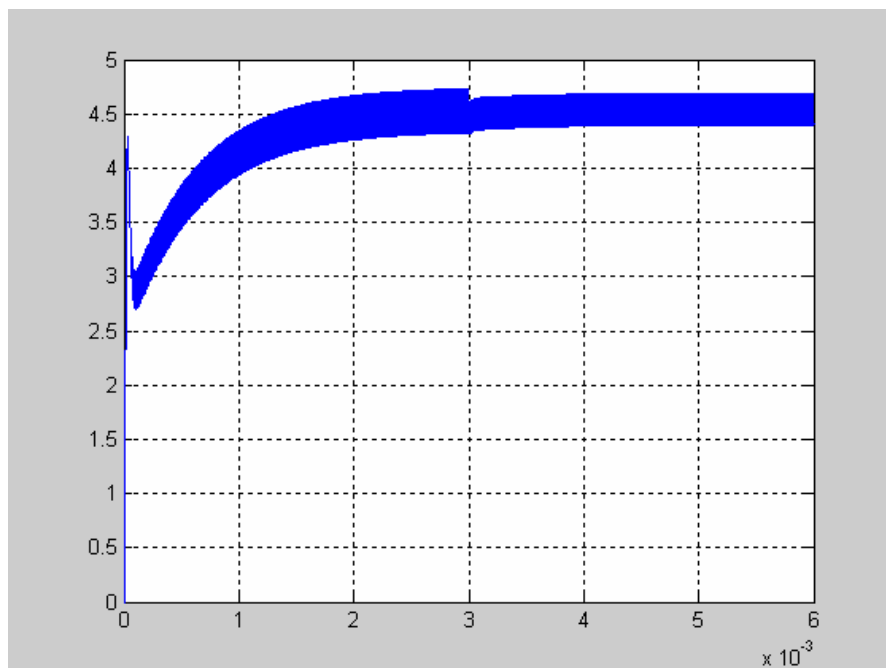


Figura 68. Simulació del corrent a l'inductor amb canvi de càrrega de 12 V a 9,6 V i $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 9,6 V a 12 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació als 3 ms s'observa a la figura 69 com es produeix un sobrepic de la tensió de sortida que no arriba fins als 5,05 V i un temps d'establiment de 1 ms.

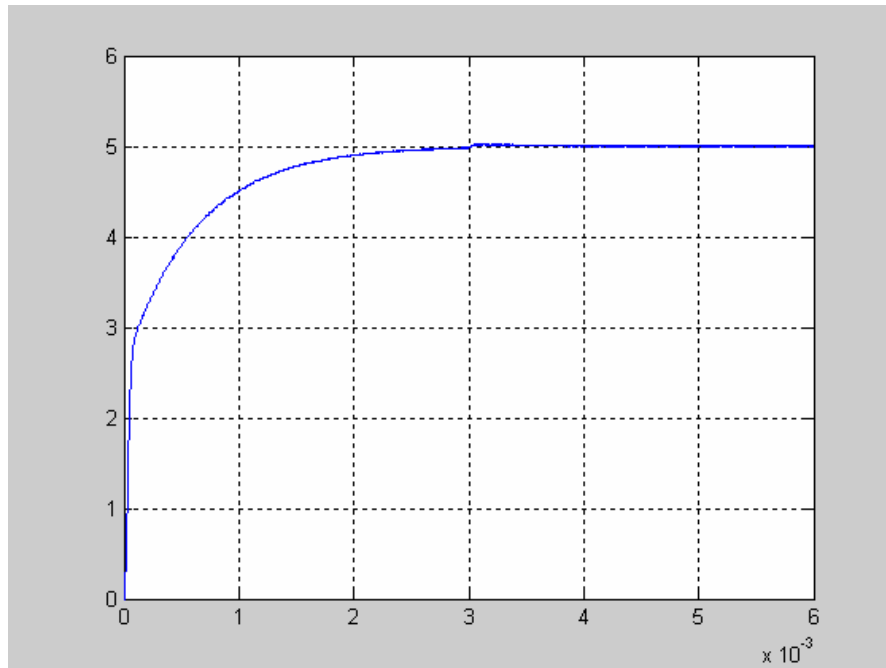


Figura 69. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 9,6 V a 12 V i $R = 1,1 \Omega$

- **Corrent a l'inductor. Canvi de tensió d'entrada de 9,6 V a 12 V amb $R = 1,1 \Omega$**

Realitzada la pertorbació s'observa a la figura 70 com no es produeix cap sobrepic, té un temps d'establiment de 1 ms. Després de la pertorbació l'arrissat del corrent augmenta.

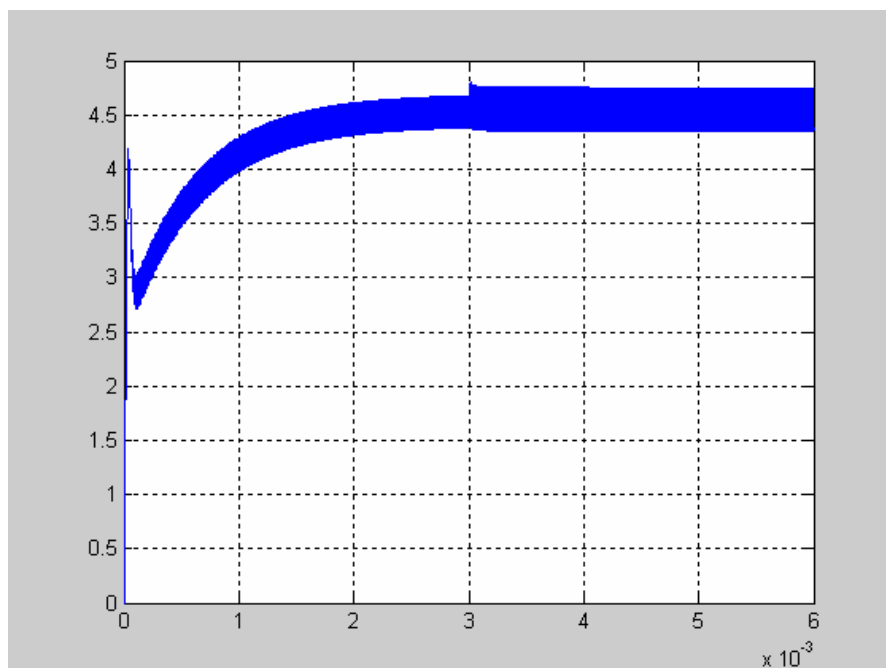


Figura 70. Simulació del corrent a l'inductor amb canvi de càrrega de 9,6 V a 12 V i $R = 1,1 \Omega$

Si es comparen els resultats obtinguts amb el control basat en lògica borrosa i amb el control de corrent màxim es pot arribar a la conclusió que el temps d'establiment de l'arrancada és més ràpid mitjançant el control basat en lògica borrosa. Si es produeixen canvis de tensió d'entrada els millor resultats s'obtenen amb el control de corrent màxim, ja que quasi no s'aprecien variacions de la tensió de sortida quan es produeixen els canvis. Quan es produeixen canvis de càrrega, amb el control basat en lògica borrosa obtenim un menor temps d'establiment després de realitzar el canvi però un major sobrepic en front del control de corrent màxim on tenim menys sobrepic però més temps d'establiment.

9 Desenvolupament Físic del Control Basat en Lògica Borrosa

9.1 Introducció

Per a implemetar la part de control del convertidor Buck es farà servir un microcontrolador de la casa Microchip. L'elecció d'aquesta marca és degut a que tenen una sèrie d'elements de suport que fan que la programació sigui molt senzilla.

Disposa d'un depurador i programador bàsic (MPLAB ICD2), aquest es mostra en la figura 71, és un depurador de codi font en ensamblador o C, amb possibilitat d'executar pas a pas i situar punts de parada molt flexibles. És una eina de baix cost fabricada per Microchip que pot ser utilitzada com un programador de dispositius dsPIC30F.

Característiques fonamentals:

- Alta velocitat d'operació.
- Connexió amb el PC per port sèrie o USB.
- Pot ser utilitzar com un programador de baix cost.
- Suporta tot el rang de la tensió d'alimentació.



Figura 71. MPLAB ICD2

Per programar els diferents microcontroladors utilitzarem el programa MPLAB IDE, juntament amb el compilador de C anomenat C30. Amb aquests, aconseguim una visualització amena i senzilla del codi elaborat, a més d'una fàcil execució i compilació.

9.2 Microcontrolador dsPIC30F3010

S'ha optat per fer servir el microcontrolador dsPIC30F3010 ja que ens permet treballar en nombres fraccionals i disposa dels mòduls PWM i ADC que necessitem per

generar el període del cicle de treball i convertir l'adquisició de les dades de la sortida del convertidor. A més a més ens permet treballar a una freqüència de rellotge de fins a 120 MHz.

9.2.1 Característiques Principals del Microcontrolador dsPIC30F3010

- Freqüència d'operació: 40 MHz mitjançant rellotge extern.
4 MHz a 10 MHz mitjançant oscil·lador extern, amplificables mitjançant un multiplicador intern (F_{CLK}).
- Memòria de programa: 24 Kbytes de memòria FLASH.
- Memòria de dades: 1 Kbytes de memòria RAM i 1 Kbytes de memòria EEPROM.
- 29 fonts d'interrupció, de les quals 3 són externes i 8 poden ser seleccionades amb nivell de prioritat.
- 6 sortides PWM, on les seves característiques estan explicades a l'apartat corresponent al PWM.
- Conversor analògic digital de 10 bits, on les seves característiques estan explicades a l'apartat corresponent al CAD.
- Power-on Reset (POR), Power-up Timer (PWRT) and Oscillator Start-up Timer (OST).
- Watchdog Time (WDT).
- Codi de protecció programable.

9.3 Mòdul PWM

9.3.1 Introducció

PWM són les sigles de *Pulse Width Modulation* o Modulació per Amplada de Pols. Avui dia molts dels microcontroladors comercials incorporen aquesta funció hardware, que es pot utilitzar per aconseguir una sortida analògica a partir d'un senyal digital a través de la variació del valor eficaç del senyal. Això s'aconsegueix modulant l'amplada del pols en un tren de polsos.

Per un pols més ample, el valor eficaç del senyal és major que per un pols més estret, pel que variant l'amplada de pols del tren de polsos del senyal es pot aconseguir un senyal on el seu valor eficaç variï de la forma desitjada.

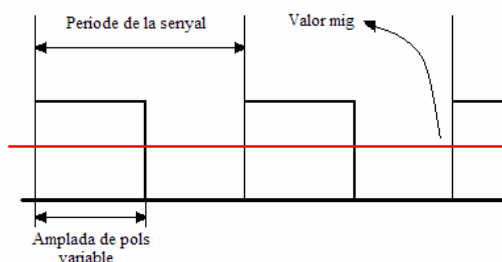


Figura 72. Tren de polsos d'amplada variable

9.3.2 Estructura general

A la figura 73 es mostra un esquema general del mòdul PWM del dsPIC30F3010.

El mòdul PWM disposa de 3 generadors PWM i cadascun d'ells disposa de dos pins per a la sortida dels senyals d'amplada de pols variable. També disposa de dos pins de fallada i dos generadors de temps mort.

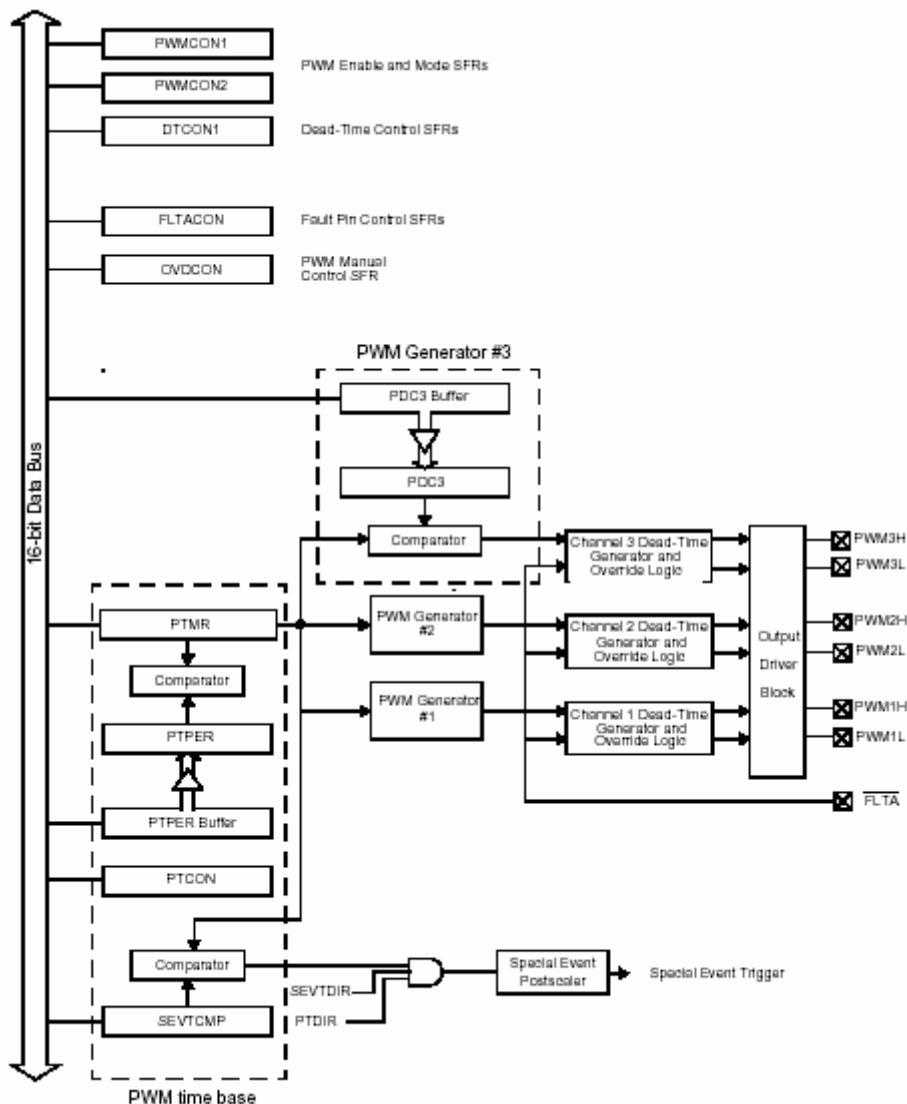


Figura 73. Esquema general del mòdul PWM

9.3.3 Generació de la base de temps

La base de temps estableix els instants en que finalitzen els cicles de treball, així com els instants de començament d'un nou període per al senyal de sortida desitjada.

La base de temps del PWM està proveïda d'un temporitzador de 15 bits amb un preescaler i un postescaler. Els 15 bits del temporitzador són accessibles a través del registre PTMR. La base de temps s'activa o desactiva mitjançant el bit 15 de PTCON.

L'usuari pot definir la base de temps establint el període i el cicle de treball desitjat, valors que haurà de carregar als registres PTPER i PDCx.

9.3.3.1 Principi de funcionament de la base de temps.

El temporitzador comença a comptar incrementant el valor del seu registre associat (PTMR), amb cada pols del senyal del rellotge que li arriba. La freqüència del rellotge (F_{CLK}) pot ser definida per l'usuari i podrà ser tan petita com la freqüència de treball del dsPIC30F3010 (F_{CY}).

Aquest valor contingut al registre PTMR es compara cada T_{CY} (període de treball del dsPIC30F3010) amb el període del senyal desitjat introduït al registre PTPER. En el moment en que el valor del temporitzador coincideixi amb el valor carregat al PTPER, començarà un nou període.

Al mateix temps, el valor del temporitzador es compara cada $T_{CY}/2$ amb el valor del cicle de treball desitjat introduït al registre PDCx. En el moment que el valor del temporitzador coincideixi amb el valor carregat al registre PDCx, la sortida canviarà d'estat. Si estava a nivell alt, passarà a nivell baix i viceversa.

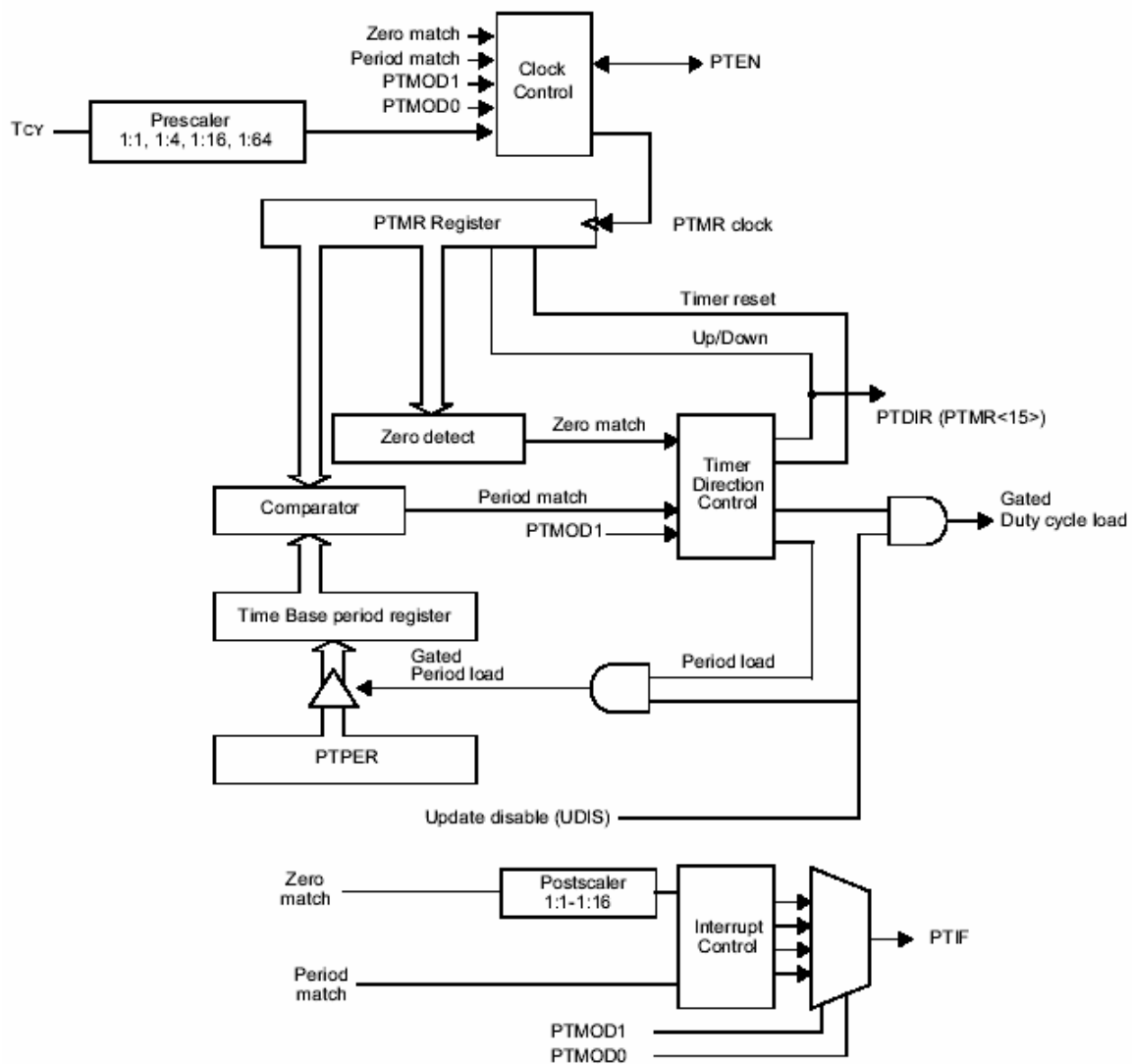


Figura 74. Diagrama de la base de temps del PWM

9.3.3.2 Mode de funcionament de la base de temps.

La base de temps del PWM es pot configurar per quatre modes diferents de funcionament mitjançant els bits PTMOD del registre de control PTCN. Aquests són:

- Mode normal.
- Mode d'únic esdeveniment.
- Mode ascendent/descendent.
- Mode ascendent/descendent amb doble interrupció.

Mode normal

En aquest mode, la base de temps del PWM compta ascendentment fins que assoleix el valor del període carregat al registre PTPER. Quan això succeeix, es reseteja el registre PTMR, comença una nova compta i es genera una interrupció. Aquesta seqüència es manté mentre el bit PTEN del registre PTCN està actiu. El postescaler pot ser utilitzat en aquest mode per reduir la freqüència de les interrupcions.

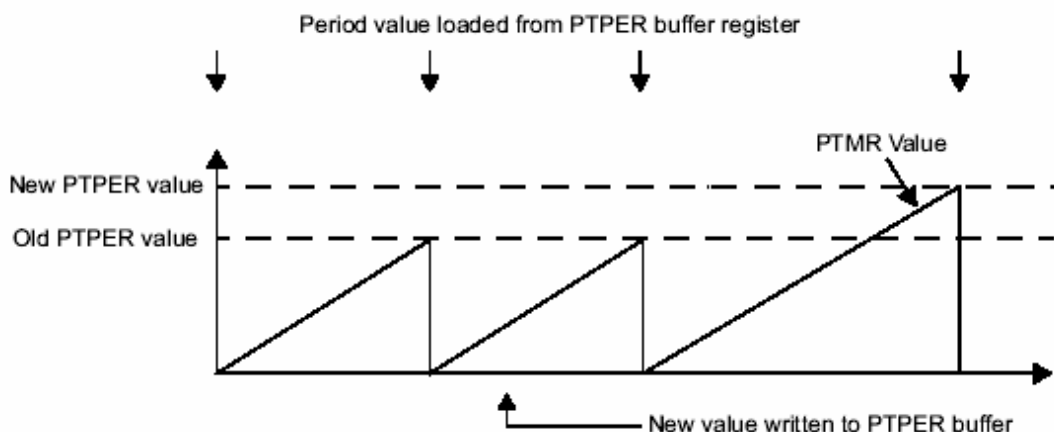


Figura 75. Mode de funcionament normal de la base de temps

Mode d'únic esdeveniment

En aquest mode el temporitzador comença la seva compta ascendent en el moment en el que el bit PTEN del registre PTCN es posat a 1. En l'instant que el PTMR assoleix el valor del període (PTPER), el temporitzador (PTMR) es reseteja, es genera una interrupció i el bit PTEN es posat a 0 amb el que la base de temps queda deshabilitada. El postescaler no té cap efecte quan es treballa en aquest mode.

Mode ascendent/descendent

En aquest mode la base de temps compta en sentit ascendent fins que assoleix el valor del període contingut en el registre PTPER. En aquest moment el temporitzador començarà a comptar en sentit descendent. Quan el valor del registre PTMR assoleix el valor 0 es genera una interrupció i comença novament la compta ascendent. El bit PTDIR del registre PTMR que és només de lectura, indica la direcció de la compta. En aquest mode es pot utilitzar el postescaler per reduir la freqüència de les interrupcions.

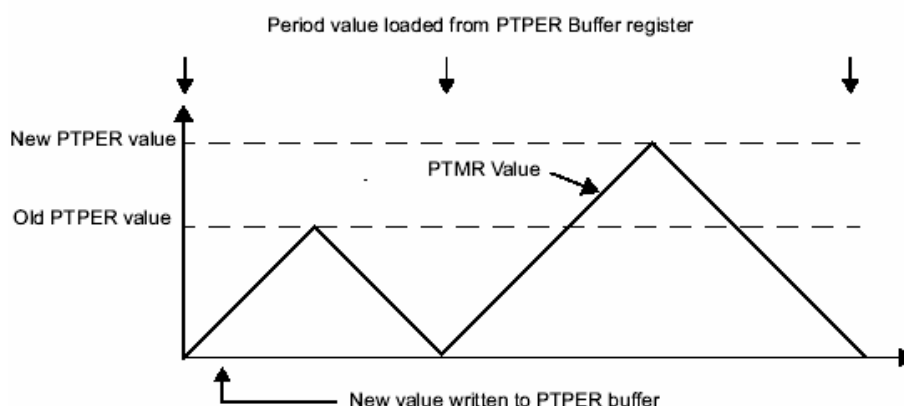


Figura 76. Mode de funcionament ascendent/descendent de la base de temps

Mode ascendent/descendent amb doble interrupció

El funcionament en aquest mode és idèntic a l'anterior, amb l'única diferència que les interrupcions es generen quan el temporitzador arriba a 0 i també quan assoleix el valor del període.

9.3.3.3 Prescaler i postescaler de la base de temps.

Prescaler

El prescaler és basa en un divisor de polsos a la sortida del rellotge i divideix el nombre de polsos d'aquest, permetent fer més lent el senyal de sortida PWM. El factor de divisió pot escollir-se entre 1:1, 1:4, 1:16 o 1:64 que se selecciona mitjançant els bits PTCKPS del registre de control PTCON.

El comptador del prescaler es posa a '0' quan succeeix qualsevol de les següents situacions:

- Escriptura del registre PTMR.
- Escriptura del registre PTCON.
- Reseteig de qualsevol dispositiu.

Postescaler

La sortida del detector de zero (que és el que detecta quan el PTMR arriba a 0) pot ser postescalada de manera opcional amb un control de 4 bits, amb el que es pot reduir la freqüència de generació de les interrupcions. El postescaler és útil quan el cicle de treball del PWM no necessita ser actualitzat cada cicle PWM.

A l'igual que el prescaler, el comptador del postescaler es posa a '0' quan succeeix qualsevol de les següents situacions:

- Escriptura del registre PWM.
- Escriptura del registre PTCON.
- Reseteig de qualsevol dispositiu.

9.3.4 Selecció del període i del cicle de treball

Per a calcular el valor adequat que s'ha de carregar a PTPER i PDCx per aconseguir el senyal de sortida desitjada s'haurà d'aplicar la següent fórmula.

$$PTPER = \frac{F_{CY}}{F_{PWM} \cdot \text{Pr eescalat}} - 1 \quad (89)$$

Mitjançant aquesta fórmula s'obté el valor del període del senyal de sortida desitjada que s'ha de carregar al registre PTPER en funció de la freqüència de treball del dsPIC30F3010 (F_{CY}), la freqüència desitjada per al senyal de sortida (F_{PWM}) i el preescalat seleccionat.

$$PDCx = 2 \cdot PTPER \cdot \text{CicleTreball} \quad (90)$$

Mitjançant aquesta fórmula es calcula el valor del cicle de treball del senyal de sortida desitjat que s'ha de carregar en el registre PDCx, o el que és el mateix, l'amplada desitjada dels polsos del senyal de sortida. Aquest valor és funció del cicle de treball, donat en tant per 1 el període del senyal i del valor carregat en PTPER trobat amb la fórmula anterior.

Més endavant, en l'explicació del diferents registres, es calcularà el valor adequat del període del senyal de sortida desitjat.

9.3.5 Tipus de senyals de sortida

El tipus de senyal de sortida dels generadors PWM depèn del mode de funcionament establert per la base de temps. Per cada mode de funcionament, el tipus de senyal de sortida serà diferent.

Mode de funcionament de la base de temps	Tipus de senyal de sortida
Normal	Flanc alineat
Únic esdeveniment	Pols únic
Ascendent/descendent (els dos tipus)	Centre alineat

Taula 3. Tipus de senyals de sortida per cada mode de funcionament de la base de temps

9.3.5.1 Flanc alineat

El període i el cicle de treball dels senyals de sortida dels canals PWM, venen especificats en els registres PTPER i PDCx respectivament. El període és el mateix per tots els canals però el cicle de treball és específic de cadascun d'ells.

Quan la base de temps treballa en règim normal, les sortides de tots els canals PWM que es trobin habilitats, s'activaran a nivell alt al començament del període PWM, és a dir,

quan el PTMR valgui 0. La sortida de cada canal s'activarà quan el valor del PTMR coincideixi amb el valor del cicle de treball carregat al seu respectiu registre PDCx.

Si el valor carregat al registre PDCx és zero, la sortida corresponent estarà inactiva durant tot el període PWM i si aquest valor és major que el contingut al registre PTPER, la sortida estarà activada durant tot el període.

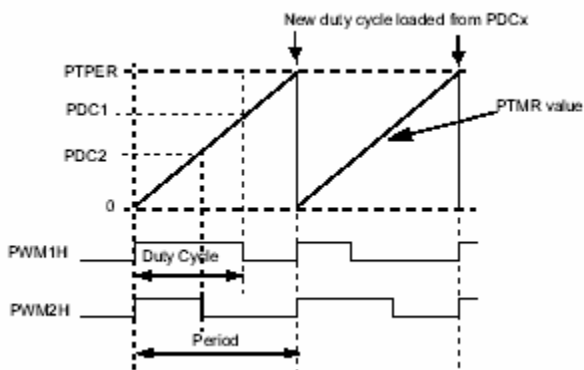


Figura 77. Senyal de flanc alineat

9.3.5.2 Pols únic

Quan la base de temps està configurada en mode de funcionament d'únic esdeveniment, la base de temps comença a funcionar a l'instant en que el bit PTEN s'activi. En aquest moment, el PTMR comença la seva compta ascendent i al mateix temps s'activen a nivell alt els senyals de sortida dels canals que es trobin habilitats. Aquests senyals romandran actius fins que el temporitzador PTMR assoleixi el valor del cicle de treball de cada canal. Per tant, la duració dels polsos del senyal de sortida de cada canal estarà determinada pel valor del registre PDCx corresponent.

Quan el PTMR assoleix el valor del període carregat al registre PTPER, es reseteja el registre PTMR i totes els senyals de sortida es desactiven. A més a més, el bit PTEN es posa automàticament a '0' amb el que la base de temps queda desactivada. El mòdul PWM no tornarà a operar fins que el bit PTEN sigui posat a '1' per software.

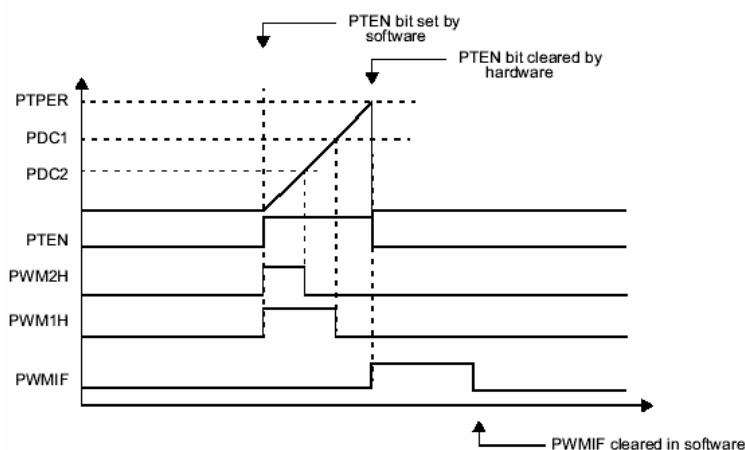


Figura 78. Senyal de pols únic

9.3.5.3 Centre alineat

Els senyals de centre alineat són generats pel mòdul PWM quan la base de temps està configurada per treballar en qualsevol dels dos modes ascendent/descendent.

Quan el temporitzador PTMR comença la compta ascendent, s'activen les sortides dels canals PWM habilitats. En el moment en que el PTMR assoleix el valor del cicle de treball d'un canal PWM, la sortida d'aquest es desactiva.

Quan el PTMR assoleix el valor del registre PTPER, comença a comptar descendentment i quan torna a assolir de nou el valor del cicle de treball del canal PWM, el seu senyal torna a posar-se a '1'. Aquesta seqüència es repeteix contínuament mentre el bit PTEN es trobi a '1'.

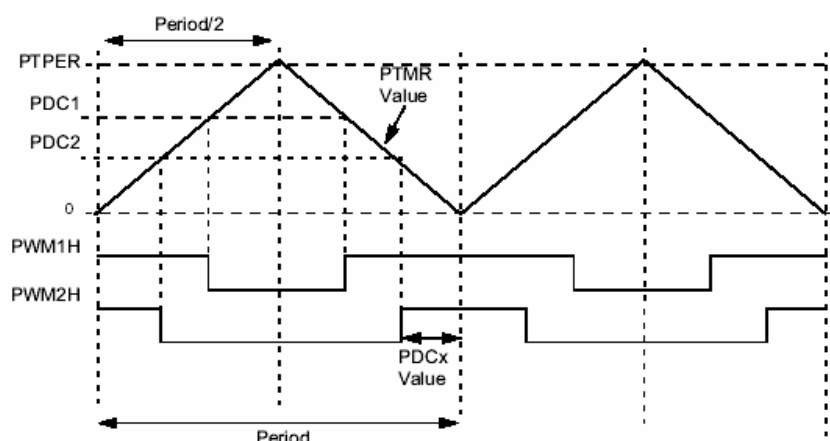


Figura 79. Senyal de centre alineat

9.3.6 Modes de sortida

Tots els canals PWM tenen dues sortides diferents, l'alta PWMxH i la baixa PWMxL. El mòdul PWM pot estar configurat per a què aquestes sortides treballin en mode complementari o en mode independent.

Mode independent

Al mode independent les dues sortides del mateix canal són iguals. Aquest mode es selecciona activant el bit PMODx corresponent al registre PWMCON1. Els generadors de temps mort són deshabilitats quan es treballa en aquest mode. El mode independent s'utilitza per a controlar càrregues com les que es mostren a la figura 80.

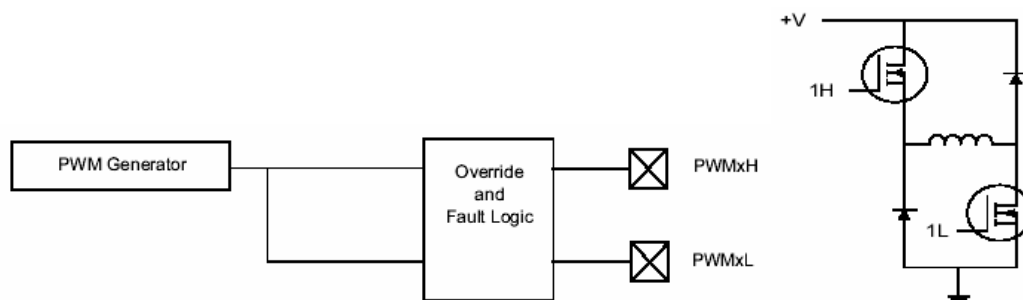


Figura 80. Diagrama de blocs del mode de sortida independent doble i estructura d'un inversor asimètric que actua com a càrrega simple

Mode complementari

Al mode complementari, la sortida PWMxL és la inversa de PWMxH. Aquest mode es selecciona posant a '0' el bit PMODx corresponent del registre PWMCON1. Quan el dsPIC30F3010 treballa en aquest mode es poden introduir al senyal temps morts, que són curts períodes de temps durant els quals ambdues sortides estaran inactives. El mode complementari s'utilitza per controlar càrregues com les que es mostren a la figura 81.

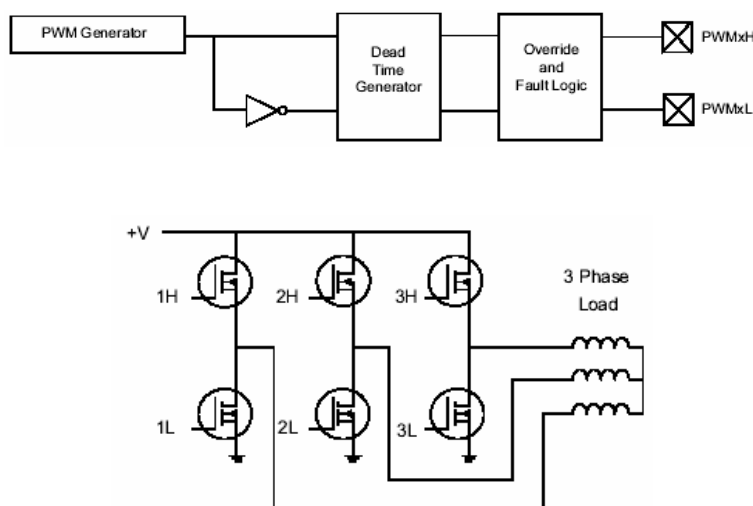


Figura 81. Configuració interna i utilització del mode complementari

9.3.7 Registres de configuració i control.

A la part superior de l'esquema de la figura 73 s'ubiquen els registres de configuració i els registres que controlen recursos específics del mòdul. Aquests registres s'hauran de carregar amb els valors apropiats en funció del tipus de senyal que es vol obtenir. Tots aquests registres estan connectats al bus de dades del sistema, que té 16 bits, igual que el mida dels registres.

PTCON: Registre de control de la base de temps.

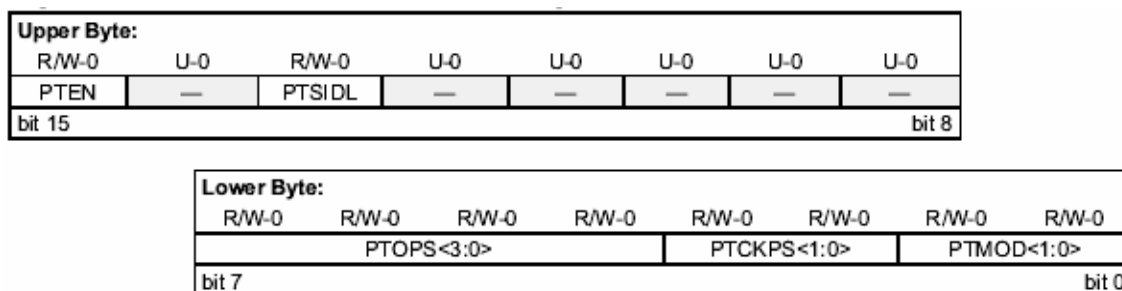


Figura 82. Registre PTCN

- PTEN: quan PTEN = 1 la base de temps està activada i quan es posa a 0 es desactiva.
- PSIDL: quan PTSIDL = 1 es para la base de temps i si es posa a 0 torna a funcionar.

- PTOPS: 4 bits que serveixen per seleccionar el valor del postescaler (1:1, 1:2, ..., 1:16).
- PTCKPS: 2 bits que serveixen per seleccionar el preescaler del període d'entrada al rellotge (1:1, 1:4, 1:16, 1:64).
- PTMOD: 2 bits que serveixen per seleccionar el mode de funcionament de la base de temps.
 - Mode normal (00).
 - Mode d'únic esdeveniment (01).
 - Mode ascendent /descendent (10).
 - Mode ascendent/descendent amb doble interrupció (11).

El registre **PTCON** s'ha configurat amb el valor **0x8000**, on hem seleccionat que la base de temps estigui activada (PTEN = 1), que la base de temps estigui en funcionament (PTSIDL = 0), no s'ha seleccionat postescaler ni preescaler (PTOPS = 0000 i PTCKPS = 00, respectivament) i s'ha seleccionat la base de temps amb el mode de funcionament normal (PTMOD = 00). Per tant, el tipus de senyal de sortida serà de flanc alineat degut a l'elecció del mode de funcionament de la base de temps.

PWMCONx: Registres de control.

Upper Byte:							
U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	PMOD4	PMOD3	PMOD2	PMOD1
bit 15				bit 8			

Lower Byte:							
R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
PEN4H	PEN3H	PEN2H	PEN1H	PEN4L	PEN3L	PEN2L	PEN1L
bit 7				bit 0			

Figura 83. Registre PWMCON1

- PMOD4 – PMOD1: Indiquen el mode de la sortida del parell de pins PWM. Si es posen a 1, el mode de sortida serà independent i si estan a 0, el mode de sortida serà complementari.
- PEN4H – PEN1H: Activen els pins PWMxH com sortides si es posen a 1, si estan a 0, el pin serà de propòsit general E/S.
- PEN4L – PEN1L: Activen els pins PWMxL com sortides si es posen a 1, si estan a 0, el pin serà de propòsit general E/S.

El registre **PWMCON1** s'ha seleccionat amb el valor **0x0101**. Com només necessito generar un sol senyal PWM s'ha seleccionat el parell de pins PWM de la sortida 1 en mode independent (PMOD1 = 1), d'aquest parell de pins només es farà servir el pin de menys pes (PEN1L = 1), per tant, tots els demés pins valdran zero i així seran de propòsit general E/S.

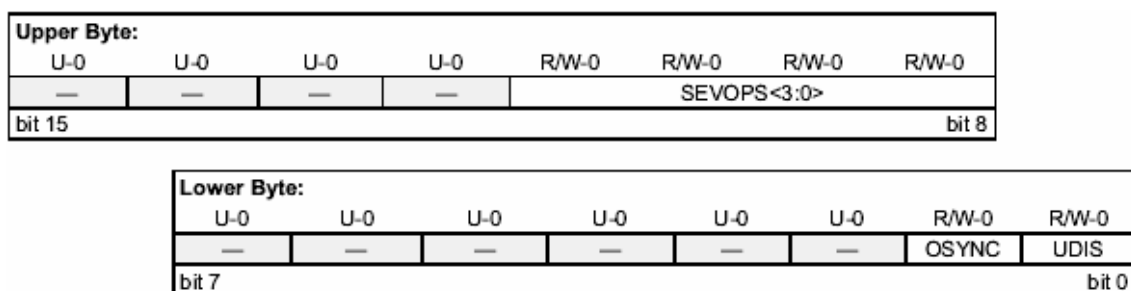


Figura 84. Registre PWMCON2

- SEVOPS: 4 bits que serveixen per a seleccionar el postescaler del disparador del PWM (1:1, 1:2, 1:4, 1:8, 1:16).
- OSYNC: Quan es posa a 1, la sortida està sincronitzada amb la base de temps i si està a 0, la sortida es produeix al següent cicle (TCY).
- UDIS: Quan es posa a 1 deshabilita l'actualització del PWM i si es posa a 0 l'habilita.

El registre **PWMCON2** s'ha seleccionat amb el valor **0x0002**, on no s'ha seleccionat postescaler del disparador del PWM (SEVOPS = 0000), la sortida estarà sincronitzada amb la base de temps (OSYNC = 1) i l'actualització del PWM està habilitada (UDIS = 0).

OVDCON: Registre de control de cancel·lació.

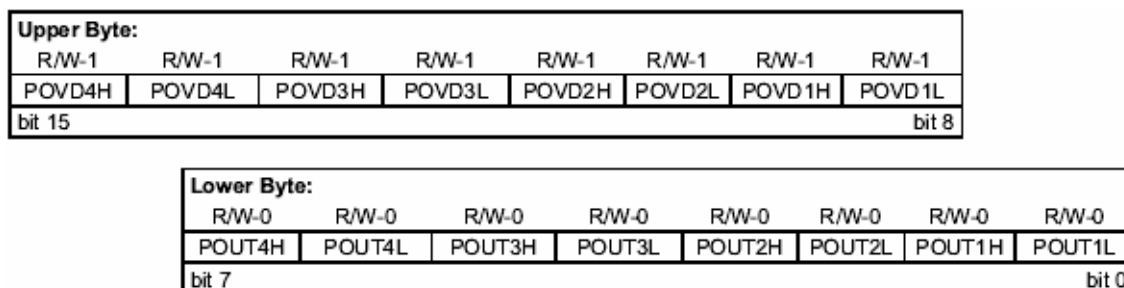


Figura 85. Registre OVDCON

- POVD4H – POVD1L: Indiquen segons el seu valor per qui és controlat la sortida PWMxH/PWMxL. Si està a 1, pel generador PWM i si està a 0, pel bit corresponent POUTxH/L.
- POUT4H/POUT1L: Indiquen el valor de la sortida (1 o 0) quan el bit corresponent POVDxH/L està a 0.

El registre de control de cancel·lació **OVDCON** s'ha seleccionat amb el valor **0x0100**, ja que l'única sortida que es fa servir (POVD1L = 1) està controlada pel generador PWM. Totes les altres sortides estan controlades pel bit corresponent POUT.

Registres PDCx.

Per generar un senyal de polsos d'amplada de pols variable, el primer que hem de determinar és el període del propi senyal i el seu cicle de treball (amplada del pols).

El cicle de treball del senyal es carregarà al registre PDCx. Com que el dsPIC30F3010 té tres canals del PWM, haurem de carregar el cicle de treball en el registre corresponent al canal que s'utilitzarà, en el nostre cas el canal 1. Així pel canal 1 s'utilitza el registre PDC1. Aquest cicle de treball s'anirà actualitzant cada període de senyal. La fórmula la qual calcula aquest cicle de treball és la (99) d'aquest capítol.

Registres PTPER.

En aquest registre es carrega el període del senyal. El registre PTPER és únic per a tots els canals, sent el període del senyal el mateix pels quatre canals del PWM

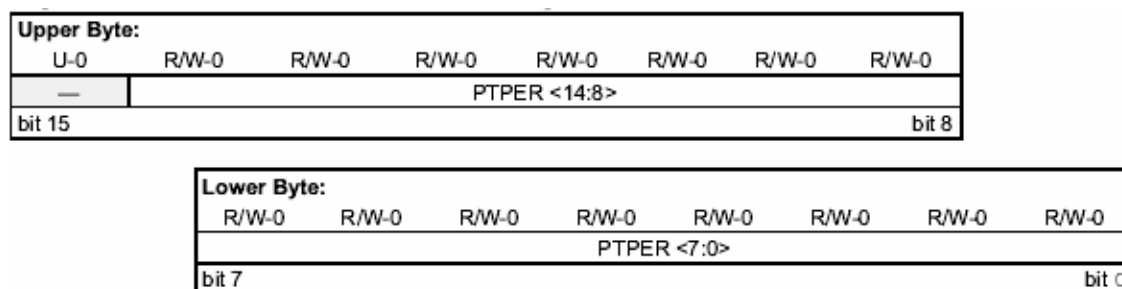


Figura 86. Registre PTPER

- PTPER: 15 bits que contenen el valor del període del senyal.

La fórmula que es fa servir per calcular aquest registre és la (89), la qual és $PTPER = \frac{F_{CY}}{F_{PWM} \cdot \text{Preescalat}} - 1$. Per tant, la freqüència d'oscil·lació o treball (F_{CY}) serà la freqüència de rellotge (F_{CLK}) dividit entre quatre.

$$F_{CY} = \frac{F_{CLK}}{4} \quad (91)$$

En el projecte actual, per a generar la freqüència de rellotge fem servir un cristall extern de 7,3728 MHz que l'amplifiquem amb un multiplicador intern del dsPIC30F3010, on les possibles multiplicacions són per 4, 8 i 16 (XT PLL/x4, x8 i x16); i com volem que el nostre microcontrolador vagi a la màxima freqüència s'ha multiplicat per 16, obtenint una $F_{CLK} = 120$ MHz. La freqüència del cicle de treball (F_{PWM}) al nostre cas és de 100 kHz i el preescalat seleccionat és de 1. Sabent això ja es pot calcular el valor adequat de PTPER.

$$PTPER = \frac{120 \cdot 10^6}{4 \cdot 100 \cdot 10^3 \cdot 1} - 1 = 299 \quad (92)$$

Registres PTMR.

Aquest registre és un temporitzador de 15 bits que serveix per a la generació de la base de temps. El valor del temporitzador s'anirà incrementant o decrementant amb el senyal del rellotge que li arriba. Aquest temporitzador juga un paper molt important en el funcionament del mòdul, ja que el seu valor s'anirà comprovant amb el valor carregat al PDCx i a la vegada, amb el valor PTPER, per obtenir l'amplada de pols desitjada.

Upper Byte:							
R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTDIR	PTMR <14:8>						
bit 15	bit 8						

Lower Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTMR <7:0>							
bit 7	bit 0						

Figura 87. Registre PTMR

- PTDIR: Indica si la base de temps compta ascendent (PTDIR=0) o descendent.
- PTMR: Bits que indiquen el valor del comptador.

En el nostre cas el registre **PTMR** contarà ascendentment (**PTDIR=0**).

9.3.8 Sincronització amb ADC

El mòdul PWM té un disparador especial que li permet sincronitzar la base de temps amb el conversor analògic-digital. El temps d'adquisició i conversió A/D pot ser programat per a que es produeixi a qualsevol punt del període PWM.

Hi ha cops que la realització del mostreig i conversió de les dades a l'inici del període dona resultats incorrectes degut al soroll. En el nostre cas el mostreig i conversió es fa a l'inici del període PWM però no ens afecta. Si haguéssim tingut problemes l'única cosa que haguéssim hagut de fer es introduir un temps de retard mitjançant el registre SVTCMP per així mostrejar un temps després de començar el període PWM.

El dsPIC30F3010 disposa d'un registre dedicat a aquest recurs, és el SVTCMP. Aquest registre disposa de 15 bits en el que es carrega el valor que se compara amb PTMR (recordar que PTMR és un temporitzador de 15 bits). El bit SEVTDIR només s'utilitza en el cas en que la base de temps treballi en mode ascendent/descendent i indica si el dispar es produeix en la conta ascendent (SEVTDIR = 0) o en la descendent (SEVTDIR = 1).

Upper Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SEVTDIR	SEVTCMP <14:8>						
bit 15	bit 8						

Lower Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SEVTCMP <7:0>							
bit 7	bit 0						

Figura 88. Registre SVTCMP

Per tant el registre **SVTCMP** s'ha seleccionat amb el valor **0x0000**, ja que la base de temps treballa en mode ascendent (SEVTDIR = 0) i aquesta està sincronitzada amb el conversor analògic-digital a l'inici de la base de temps. És a dir, just quan comença un període PWM també comença el mostreig i conversió A/D.

9.4 Mòdul ADC

9.4.1 Introducció

Un conversor analògic digital té la missió de convertir senyals analògiques, que per la seva naturalesa són contínues en el temps, en digitals que són discretes en el temps, és a dir, permet convertir un senyal analògic d'entrada a un número digital de 10 bits.

La conversió de senyals analògics en senyals digitals es realitza en tres etapes.

- Mostreig: Consisteix en obtenir un senyal discret en el temps a partir d'un senyal continu d'entrada.
- Quantificació del senyal: consisteix en representar l'amplitud de les mostres adquirides mitjançant un número finit de valors. Si el conversor és de n bits, hi haurà 2^n possibles valors.
- Codificació: és la representació del valor assignat al senyal, a la fase de quantificació, mitjançant els nivells de tensió '1' i '0'.

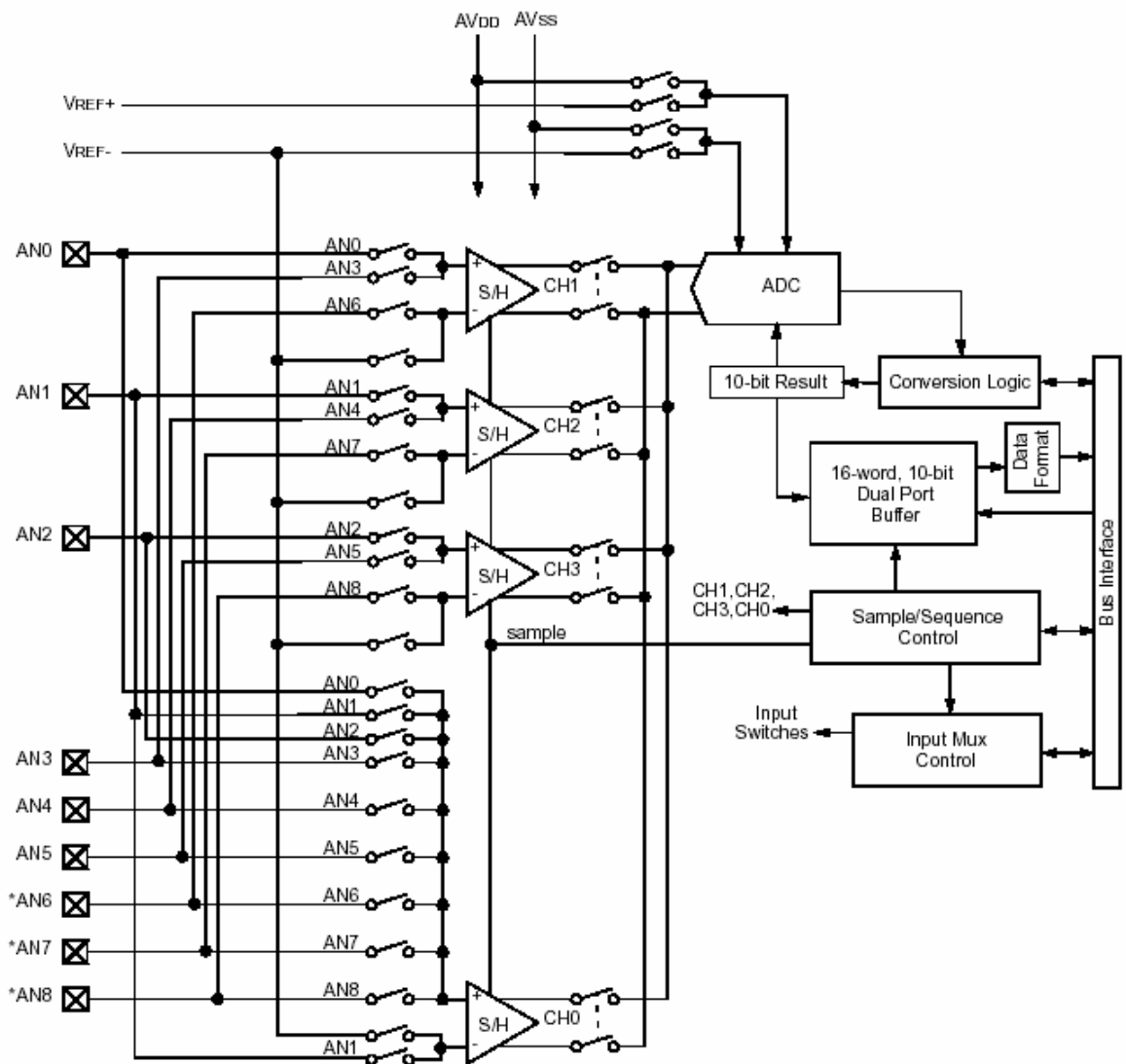
El conversor analògic digital de 10 bits del dsPIC30F3010 té les següents característiques principals.

- Resolució de 10 bits.
- Temps de mostreig de com a mínim 83,3 ns.
- Conversió per aproximacions successives.
- Velocitat de conversió de fins a 1000 ksps a 5 V (1 μ s de temps de conversió) i 100 ksps a 2,7 V.
- Fins a 6 pins analògiques d'entrada (canals).
- Pins d'entrada destinades a suportar el voltatge de referència extern.
- Quatre amplificadors unipolars de mostreig i retenció.
- Mostreig de fins a quatre pins d'entrada analògiques de forma simultània.
- Mode automàtic d'exploració de canal.
- Fonts seleccionable del disparador de la conversió.
- Buffer per a emmagatzemar el resultat de la conversió de 16 paraules.
- Modes de selecció per a l'ompliment del buffer.
- Funcionament mentre la CPU es troba en els modes Sleep i Idle.
- La tensió analògica de referència pot ser seleccionada per software.
- Alimentació única compresa entre 2,7 i 5,5 V.

A la figura 89 es mostra el diagrama per blocs del conversor analògic digital de 10 bits, que pot tenir fins a 6 pins o canals analògics d'entrada, denominats AN0-AN5. A més a més dues d'aquestes entrades analògiques hauran de ser compartides per a poder introduir el voltatge de referència extern.

Les entrades analògiques estan connectades via multiplexors a quatre amplificadors de mostreig i retenció que s'anomenen CH0-CH3. Un, dos o quatre d'aquests amplificadors de mostreig i retenció hauran d'estar actius per a recollir la informació d'entrada.

S'empren multiplexors per a connectar el CAD amb els diferents senyals adquirits. Un multiplexor analògic és un dispositiu capaç de seleccionar seqüencialment els diferents senyals analògics d'entrada i connectar-lo amb una única sortida. Està format per un conjunt d'interruptors analògics on les sortides estan connectades a un mateix punt i d'un circuit de control capaç de seleccionar i activar l'interruptor desitjat en cada moment a partir d'un codi digital. El multiplexor ha de ser molt ràpid i ha de funcionar en perfecte sincronisme amb el CAD, connectant els senyals d'entrada un poc abans de començar les lectures i desconnectant-los un poc abans de connectar el següent canal per evitar efectes creuats entre canals. A mesura que augmenta el número de canals multiplexats ha d'augmentar també la freqüència de mostreig per mantenir l'ample de banda assignats als canal, és a dir, per a que la freqüència de mostreig de cada canal no es vegi afectada.



* = Not available on dsPIC30F3010.

Figura 89. Diagrama de blocs del mòdul conversor analògic digital de 10 bits

9.4.2 Registres de control

El mòdul analògic digital té sis registres de control i estat per a la seva configuració i utilització.

- ADCON1: Registre de control analògic digital 1.
- ADCON2: Registre de control analògic digital 2.
- ADCON3: Registre de control analògic digital 3.
- ADCHS: Registre de selecció de canal analògic d'entrada.
- ADPCFG: Registre de configuració del port en analògic o digital.
- ADCSSL: Registre de selecció d'entrada per a l'exploració.

Els registres ADCON1, ADCON2 i ADCON3 són els encarregats de controlar l'operació del mòdul analògic digital, mentre que el registre ADCHS selecciona els pins d'entrada que seran connectats als amplificadors de mostreig i retenció. El registre ADPCFG s'encarrega de seleccionar els pins com entrades analògiques o com entrades o sortides digitals. Finalment el registre ADCSSL es dedica a seleccionar les entrades que seran explorades seqüencialment.

La configuració dels diferents registres serà explicada més endavant en l'apartat 9.4.15. En aquest apartat es veu clarament quins són els bits que formen cada un dels diferents registres.

9.4.3 Terminologia A/D i seqüència de conversió

En la figura 90 es mostra una seqüència de conversió bàsica i els termes que són utilitzats. El mostreig d'una entrada analògica on la tensió pot prendre infinits valors es realitza mitjançant l'ús de mostrejadors i retenidors que es denominen amplificadors S&H (Sample & Hold). Als amplificadors S&H també se'ls coneix com a canals S&H.

El conversor A/D de 10 bits té un total de quatre canals S&H, que es designen com CH0-CH3. Els canals S&H estan connectats als pins analògics mitjançant un multiplexor analògic d'entrada. Aquest multiplexor es controla mitjançant el registre ADCHS. En aquest registre existeixen dos grups de bits pel control del multiplexor que funcionen del mateix mode. Aquests bits permeten programar dues configuracions diferents del multiplexor analògic d'entrada que s'anomenen MUX A i MUX B. El conversor A/D pot ocasionalment permutar a configuració MUX A, a configuració MUX B i viceversa.

El temps de mostreig és el temps en el que l'amplificador S/H està connectat als pins analògics d'entrada per a rebre i capturar el senyal a convertir. El temps de mostreig pot iniciar-se manualment posant a '1' el bit SAMP (ADCON1 <1>) o automàticament mitjançant el hardware del conversor A/D. Pot acabar manualment posant a '0' el bit SAMP o automàticament mitjançant la sincronització de la font de conversió.

El temps de conversió és el temps requerit pel conversor A/D per a convertir el voltatge que prové de l'amplificador S/H en un valor digital. El conversor A/D es desconnecta dels pins de l'entrada analògica al finalitzar el temps de mostreig.

El conversor A/D necessita un cicle de rellotge A/D (T_{AD}) per a convertir cada un dels bits del resultat, més un cicle addicional de rellotge. Per tant, si afegim el T_{AD} mínim de mostreig es requereix un total de 12 cicles T_{AD} per a la realització d'una conversió completa en un CAD de 10 bits. Quan el temps de conversió es completa, el resultat es

carrega en un dels 16 registres A/D de resultat (ADCBUF0....ADCBUFF), el S&H pot tornar a connectar-se a les potes d'entrada, i la CPU podrà generar una interrupció si està programat per això.

La suma del temps de mostreig i el temps de conversió dóna lloc al temps total de conversió. Existeix un temps mínim de mostreig per assegurar-se de que l'exactitud donada per l'amplificador S/H sigui l'adequada. S'ha de destacar que existeixen múltiples opcions per a seleccionar el rellotge intern del conversor A/D. L'usuari ha d'elegir una opció del rellotge intern que no violi el valor mínim del TAD.

El conversor A/D de 10 bits ofereix múltiples possibilitats per a seleccionar la seqüència de mostreig i conversió. Aquesta seqüència pot resultar ser una seqüència molt simple, tal com es mostra a la figura 90. L'exemple d'aquesta figura utilitza un únic amplificador S/H. Una seqüència més elaborada permet realitzar múltiples conversions pel que és necessari utilitzar més d'un amplificador S/H.

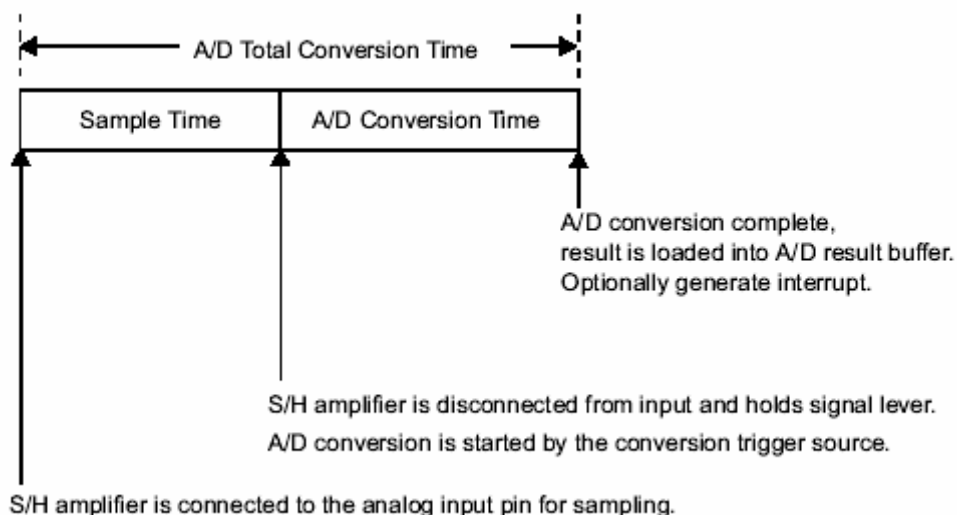


Figura 90. Seqüència de conversió bàsica

El número d'amplificadors S/H que s'utilitzen en la seqüència de mostreig i de conversió, queda determinat pels bits de control CHPS (ADCON2<9:8>). Una seqüència de mostreig i conversió que utilitza múltiples canals S/H pot ser mostrejada de forma simultània o seqüencial, sent controlada pel bit SIMSAN (ADCON1<3>).

Un mostreig simultani es realitza en el mateix instant de temps per a totes i cada una de les entrades analògiques. Per altra banda, un mostreig seqüencial és aquell en el que el temps de mostreig per a cada una de les entrades analògiques és diferent. La diferència entre els dos tipus de mostreig es presenta a la figura 91.

L'inici del mostreig es pot controlar mitjançant software posant a '1' el bit SAMP (ADCON1<1>). També podrà ser controlat automàticament mitjançant el propi hardware. Quan el conversor A/D opera en mode de mostreig automàtic, l'amplificador S/H es torna a connectar a als pins analògics d'entrada quan acaba la seqüència de mostreig i conversió. El mostreig automàtic es controla pel bit ASAM (ADCON1<2>).

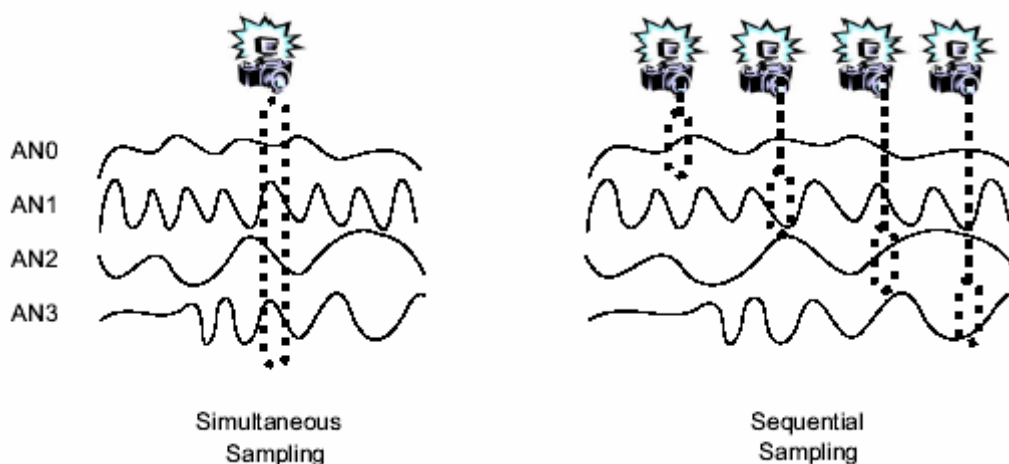


Figura 91. Diferència entre mostreig simultani i seqüencial

Si la font de conversió està sincronitzada, quan acaba el temps de mostreig comença la conversió A/D. La font de conversió sincronitzada és seleccionada pels bits de control SSRC (ADCON1<7:5>). També pot ser controlada manualment mitjançant software, posant a '0' el bit de control SAMP (ADCON1<1>).

Una de les fonts de conversió sincronitzada és la de conversió automàtica. El temps necessari entre conversió automàtica vindrà donat per un comptador o rellotge A/D. El mode automàtic de mostreig i el mode automàtic de conversió sincronitzada poden ser utilitzats a la vegada per a senyalar el final de les conversions realitzades, sense tenir que utilitzar cap tipus de software.

Al final de cada seqüència de mostreig i conversió es pot generar una interrupció, o dita interrupció es pot provocar després de múltiples seqüències de mostreig i conversió que vindran determinades per els bits de control SMPI (ADCON2<5:2>).

El número de seqüències de mostreig i conversió entre dues interrupcions està comprès entre 1 i 16. El número total de conversions realitzades entre interrupcions vindrà donat pel producte entre el número de canals per mostreig i el valor dels bits de control SMPI. El número total de conversions realitzades entre interrupcions no haurà d'excedir la longitud de la pila disposta per emmagatzemar aquests resultats.

9.4.4 Configuració del mòdul conversor analògic digital

La configuració comprèn principalment la selecció del temps de mostreig i la de tots els passos que s'han d'executar per a que el mostreig, retenció i posterior codificació es realitzi en els canals desitjats, seguint l'ordre de la seqüència elegida.

- Seleccionar els pins com entrades analògiques, ADPCFG<15>.
- Seleccionar la font de tensió de referència per a que coincideixi el rang de la conversió amb el de la tensió d'entrada, ADCON2<15:13>.
- Seleccionar el rellotge de conversió analògic, respecte al del processador, ADCON3<5:0>, per a que concordi amb la informació a adquirir.
- Determinar quants de canals de mostreig i retenció seran utilitzats, ADCON2<9:8> i ADPCFG<15:0>.
- Determinar com ocorrerà el mostreig ADCON1<3> i ADCSSL<15:0>.

- Determinar com seran assignades les entrades als canals de mostreig i retenció, ADCHS<15:0>.
- Seleccionar la seqüència de mostreig i retenció apropiada, ADCON1<7:0> i ADCON3<12:8>.
- Seleccionar com es representaran els resultats de la conversió al buffer de resultat, ADCON1<9:8>.
- Seleccionar el número de conversions que s'han d'executar per a que es generi una interrupció, ADCON2<5:2>.
- Encendre el mòdul analògic digital, ADCON1<15>.

9.4.5 Selecció de la font de voltatge de referència

El voltatge de referència utilitzat en el mòdul conversor analògic digital es selecciona amb els bits de control VCFG<2:0> situats en ADCON2<15:13>.

El voltatge de referència alt (V_{REFH}) i el voltatge de referència baix (V_{REFL}) podran ser les tensions internes AV_{DD} i AV_{SS} o les tensions V_{REF+} i V_{REF-} corresponents als pins d'entrada. En el dispositiu dsPIC30F3010 els pins d'entrada de la tensió de referència han de ser compartits amb les entrades AN0 i AN1. A més a més, el mòdul pot realitzar conversions amb aquests pins d'entrada quan estan sent compartits per V_{REF+} i V_{REF-} .

El voltatges de referència que sigui aplicat per als pins anteriorment descrites, hauran de complir certes especificacions elèctriques, amb la finalitat de no danyar el dispositiu.

La selecció d'aquesta tensió de referència s'explicarà més endavant.

9.4.6 Selecció del rellotge de conversió

El mòdul analògic digital té un límit superior per a la velocitat de conversió de dades. Per a esbrinar aquest límit s'utilitza un període de rellotge, T_{AD} , que és l'encarregat de determinar el temps de conversió, el qual és de 12 períodes de rellotge, és a dir, $12 T_{AD}$ per a cada dada o mostra.

Per a l'obtenció d'aquest senyal de rellotge es pot utilitzar una derivació del senyal de rellotge del sistema, o bé el senyal d'un circuit RC intern.

La selecció del període del senyal de rellotge i conversió es realitza per software, utilitzant per fer-ho els sis bits de control ADCS<5:0>, situats en ADCON3<5:0>, obtenint una ampla gamma d'elecció entre les 64 opcions possibles.

La següent equació proporciona el valor de T_{AD} en funció dels bits de control ADCS i del període d'oscil·lació o treball T_{CY} .

$$T_{AD} = \frac{T_{CY} \cdot (ADCS + 1)}{2} \quad (93)$$

$$ADCS = \frac{2 \cdot T_{AD}}{T_{CY}} - 1 \quad (94)$$

Per a una conversió analògica digital satisfactòria, el rellotge de conversió analògica digital (T_{AD}) haurà d'estar seleccionat de tal manera que com a mínim garanteixi un temps mínim T_{AD} de 83,3 ns. Quan s'expliqui la configuració dels diferents registres del A/D es calcularà el valor ADCS seleccionat.

El conversor analògic digital té una font de senyal de rellotge d'un circuit RC dissenyat específicament per a usar-lo en conversions. Aquesta font de senyal de rellotge haurà d'emprar-se quan el dsPIC30F3010 es trobi en mode SLEEP ja que en aquest mode no es processen instruccions i aquest serà l'únic senyal de rellotge disponible. Aquest senyal de rellotge obtingut de l'oscil·lador intern es selecciona activant els bits de control ADRC (ADCON3<7>).

9.4.7 Selecció d'entrades analògiques pel mostreig

Tots els amplificadors de mostreig i retenció tenen multiplexors analògics per a seleccionar l'entrada a mostrejar. Els bits ADCHS serveixen per a determinar l'entrada analògica seleccionada. En ocasions les entrades analògiques es poden repetir en seqüències de mostreig.

9.4.7.1 Configuració dels pins del port analògic

El registre ADPCFG especifica la condició dels pins analògics d'entrada. Un pin es configura com entrada analògica quan el corresponent bit PCFG (ADPCFG<n>) pren valor '0'. El registre ADPCFG estarà a '0' quan es provoca un Reset. Quan es configura una entrada analògica, el port digital E/S associat al mateix està deshabilitat per la qual cosa no consumeix corrent. Un pin actua com entrada digital quan el seu corresponent bit PCFG (ADPCFG<n>) pren valor '1'.

9.4.7.2 Selecció d'entrada dels canals 0, 1, 2 i 3

El canal 0 és el més flexible dels 4 canals en la selecció d'entrades. Els bits CH0SA<3:0> (ADCHS<3:0>) normalment selecciona les entrades analògiques de l'esmentat canal.

Es pot especificar mitjançant el bit ALTS (ADCON2<0>) que el mòdul alteri entre dues sèries d'entrades que estan seleccionades en successives mostres o captures.

Les entrades especificades per CH0SA<3:0> se les selecciona amb MUXA, mentre que a les entrades especificades per CH0SB<3:0> se les selecciona com a MUXB. Quan el bit ALTS pren valor '1', el mòdul altera entre les entrades MUXA en un mostreig i les entrades MUXB en el següent.

En els canals 1, 2 i 3 es pot elegir entre dos grups de 3 entrades. El bit CHXSA (ADCHS<5>) selecciona la font de les entrades analògiques positives dels canals 1, 2 i 3. Per altre banda, el bit CHXNA (ADCHS<7:6>) selecciona la font de les entrades analògiques negatives dels canals 1, 2, i 3.

9.4.8 Permís de funcionament del mòdul

Quan el bit ADON (ADCON1<15>) és un '1' el mòdul està en mode actiu i preparat per a ser utilitzat. Quan és un '0' el mòdul està deshabilitat.

Per a iniciar el funcionament partint del mode apagat, l'usuari ha d'esperar a que la part analògica del circuit s'estabilitzi, havent de consultar el temps especificat a les fulles de característiques del dispositiu corresponent i posar a '1' el bit ASAM (ADCON1<1>).

9.4.9 Especificacions de la seqüència de mostreig i conversió

9.4.9.1 Número de canals de mostreig i retenció

Els bits de control CHPS<1:>, situats en ADCON<9:8>, s'empren per a seleccionar els amplificadors de mostreig i retenció que seran utilitzats en la seqüència de mostreig i conversió. Existeixen les següents opcions:

- Només el canal CH0.
- Els canals CH0 i CH1.
- Els canals CH0, CH1, CH2 i CH3.

Els bits de control CHPS treballen en conjunció amb el bit SIMSAM, mostreig simultani, situat en ADCON1<3>.

9.4.10 L'inici del mostreig

En el mòdul analògic digital amb el que treballa el dsPIC30F3010 es pot iniciar el mostreig de forma manual o de forma automàtica.

Activant el bit de control SAMP situat en ADCON1<1>, comença el mostreig manual del mòdul analògic digital. El mostreig no torna a començar fins que el bit SAMP no torni a ser posat a un.

Activant el bit ASAM, situat en ADCON1<2> comença el mostreig en un determinat canal de forma automàtica, sempre que en aquest canal no s'estigui realitzant una conversió. En el cas en que el bit SIMSAM especifiqui la seqüència de mostreig, el mostreig d'un canal només tornarà a començar quan la conversió de la dada anterior a finalitzar. A més a més, si el bit SIMSAM especifica mostreig simultani, el mostreig d'un canal haurà de realitzar-se només quan hagi acabat la conversió de les dades de tots els canals restants.

9.4.11 El final del mostreig i el començament de la conversió

Els bits de control SSRC<2:0> (ADCON1<7:5>), són els encarregats de seleccionar la font de dispar de la conversió, que finalitzarà el mostreig i donarà començament a la seqüència de conversions prèviament seleccionada.

Les fonts de dispar de la conversió disponibles són seleccionables amb bits de control SSRC, la selecció s'haurà de realitzar quan el mòdul no estigui operant. Si l'usuari volgués canviar el seu valor quan el mòdul està en funcionament, haurà de deshabilitar-lo, posant a zero el bit de control ADON (ADCON1<15>).

Quan SSRC<2:0> = 000, el dispar de la conversió queda baix control software, i posant el bit de control SAMP (ADCON1<1>) a un començarà el mostreig. Posant-lo posteriorment a zero finalitzarà el mostreig i començarà la conversió.

9.4.12 Escriptura dels resultats a la pila

Una vegada que es completen les conversions els resultats s'escriuen en la pila de resultats. La memòria RAM té una capacitat de 16 paraules de 10 bits per a una conversió analògica digital de 10 bits. Per a accedir a ella, s'utilitza el direccionament de 16 direccions de l'espai SFR, que van des del ADCBUF0 al ADCBUFF.

9.4.12.1 Número de conversions per interrupció

Els bits SMPI<3:0> (ADCON2<5:2>) selecciona el número de conversions que s'executaran abans que la CPU sigui interrompuda.

El conversor A/D sempre comença a escriure els resultats de la conversió a l'inici de la pila després de cada interrupció. Per exemple, si SMPI<3:0> = 0000, els resultats de la conversió sempre es començaran a escriure a ADCBUF0.

9.4.12.2 Restriccions de la mida del buffer

L'usuari no pot combinar els bits de CHPS i SMPI per a obtenir més de 16 conversions per interrupció quan BUFM (ADCON2<1>) està a '0', o 8 conversions per interrupció quan BUFM (ADCON2<1>) està a '1'.

9.4.12.3 Mode i estat d'omplir la pila

Quan BUFM està a '1', les 16 paraules del resultat es divideixen en dos grups de 8 que reben de forma alterna el resultat provenint de la conversió després de cada interrupció.

La decisió d'elegir BUFM depèn del temps emprat en moure el contingut de la pila després de cada interrupció, que ve determinat per l'aplicació que s'està duent a terme. Si es disposa d'un processador que carregui ràpidament tot el resultat a la pila, dins del temps disponible per a realitzar el mostreig i la conversió, es podrà carregar BUFM amb un '0' i en aquest cas es podran realitzar més de 16 conversions per interrupció.

Quan es divideix la conversió utilitzant BUFM, el bit d'estat BUFS (ADCON2<7>) determina la meitat de la pila que s'està omplint. Si BUFS està a '0', s'omplirà des de ADCBUF0 fins ADCBUF7 i el software llegirà des de ADCBUF8 fins ADCBUFF, mentre que si BUFS està a '1', s'omplirà des de ADCBUF8 fins ADCBUFF i el software llegirà des de ADCBUF0 fins ADCBUF7.

9.4.13 Buffer del resultat de la conversió analògica digital

Està compost per un pot RAM dual de 16 paraules, anomenat ADCBUF, per a emmagatzemar el resultat de la conversió. La localització dels 16 resultats està referenciat mitjançant ADCBUF0, ADCBUF1, ..., ADCBUFE, ADCBUFF i en cada un d'ells es carrega el resultat de cada conversió que ocuparà 16 bits. Els buffers de resultats són únicament de lectura.

9.4.14 Lectura de la pila de resultats A/D

La mida de les posicions de la RAM és de 10 bits per a un conversor analògic digital de 10 bits, el esmentat valor queda automàticament convertit a un dels quatre formats seleccionables quan es porta a terme la lectura des de la pila. Els bits de FORM<1:0> (ADCON1<9:8>) seleccionen el format.

El hardware disponible proporciona un resultat de 16 bits per a tots i cadascun dels formats. En la figura 92 es mostren els formats seleccionables emprant els bits de control FORM<1:0> per a un conversor analògic digital de 10 bits.

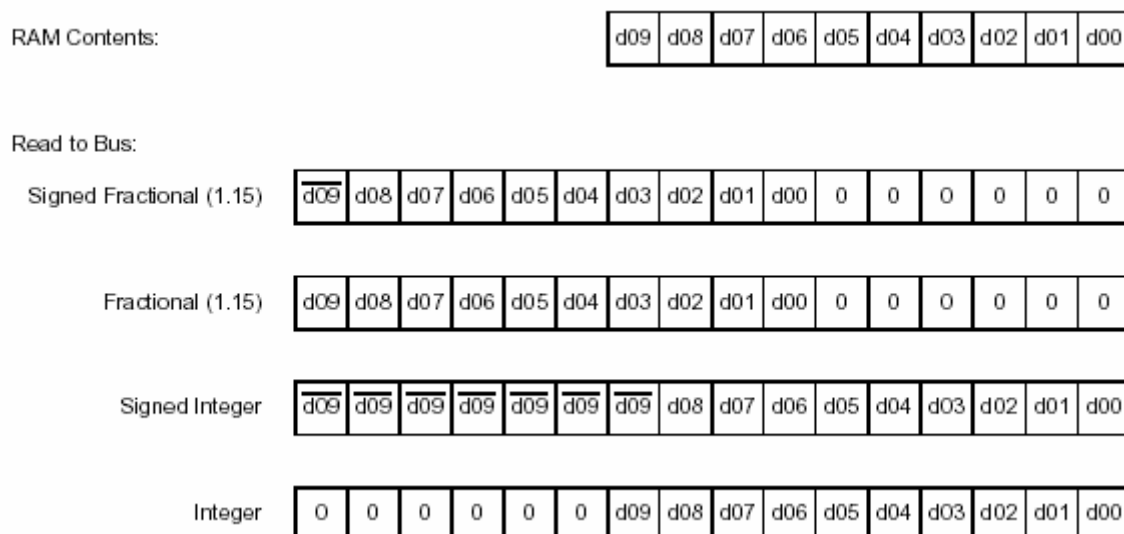


Figura 92. Diferents formats d'obtenir un valor

9.4.15 Configuració dels registres de control

ADCON1: Registre de control analògic digital 1.

Upper Byte:							
R/W-0	U-0	R/W-0	U-0	U-0	U-0	R/W-0	R/W-0
ADON	—	ADSIDL	—	—	—	FORM<1:0>	
bit 15						bit 8	

Lower Byte:							
R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0 HC, HS	R/C-0 HC, HS
SSRC<2:0>			—	SIMSAM	ASAM	SAMP	DONE
bit 7				bit 0			

Figura 93. Registre de control ADCON1

La funció dels bits del registre ADCON1 es descriuen a continuació.

- ADON: És el bit que controla el funcionament del conversor analògic digital.
1 = El mòdul A/D està operatiu.
0 = El mòdul A/D està apagat.
- ADSIDL: Bit dedicat a permetre el funcionament en mode IDLE.
1 = Detenció del mòdul quan s'entra en mode IDLE.
0 = Continua funcionant el mòdul en mode IDLE.
- FORM <1:0>: Bits que indiquen el format de la informació de sortida.
11 = Fraccionals amb signe.

10 = Fraccionals.

01 = Enters amb signe.

00 = Enters.

- SSRC <2:0>: Bits encarregats de seleccionar la font de dispar de la conversió.

111 = El comptador intern finalitza el mostreig i comença la conversió (conversió automàtica).

110 = Reservat.

101 = Reservat.

100 = Reservat.

011 = L'interval del control del motor PWM finalitza el mostreig i comença la conversió.

010 = El comparador GP Timer3 acaba amb el mostreig i comença la conversió.

001 = Amb una transició activa a la pota INTO finalitza el mostreig i comença la conversió.

000 = Posant a zero el bit SAMP finalitza la captura de dades i comença la conversió.

- SIMSAM: Bit que indica mostreig simultani (només aplicable quan CHPS = 01 o 1x).

1 = Mostreja CH0, CH1, CH2, CH3 de forma simultània si CHPS = 1x, però si el valor CHPS = 01 mostreja CH0 i CH1 de forma simultània.

0 = Mostreja múltiples canals individualment de forma seqüencial.

- ASAM: És el bit d'auto inici de mostreig del conversor.

1 = La captura comença immediatament després de que finalitzi l'última conversió. El bit SAMP és manejat automàticament.

0 = La captura comença quan el bit SAMP es posa a un.

- SAMP: És el bit que permet el començament del mostreig.

1 = Almenys un dels amplificadors de mostreig i retenció està prenent mostres.

0 = Els amplificadors de mostreig i retenció no estan prenent mostres.

- DONE: És el bit d'estat que indica el final de la conversió.

1 = La conversió ha estat realitzada.

0 = La conversió no ha estat completada.

És posat a zero per software o al començament d'una nova conversió i el canvi d'aquest bit durant el funcionament normal no afecta a les conversions en procés.

El registre de control **ADCON1** s'ha seleccionat amb el valor **0x0360**, on tenim que el mòdul A/D no està operatiu (ADON = 1), ja que es passa a mode operatiu quan s'han configurat tots els registres, el mòdul A/D deixa de funcionar quan s'entra en mode IDLE (ADSIDL = 0), la forma de convertir el valor d'entrada analògics a digitals serà de fraccional amb signe (FORM = 11), s'ha sincronitzat la font de dispar de la conversió amb el període PWM (SSRC = 011), mostreja només el canal 0 ja que CHPS = 00

(ADCON2<9:8>). Com el conversor A/D està sincronitzat amb el PWM el bit SAMP es controlat automàticament (ASAM = 1).

ADCON2: Registre de control analògic digital 2.

Upper Byte:							
R/W-0	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0
VCFG<2:0>			reserved	—	CSCNA	CHPS<1:0>	
bit 15							
bit 8							

Lower Byte:							
R-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BUFS	—	SMPI<3:0>				BUFM	ALTS
bit 7							bit 0

Figura 94. Registre de control ADCON2

- VCFG <2:0>: Bits encarregats de configurar el voltatge de referència, tal i com es mostra en la taula 4.

	A/D V_{REFH}	A/D V_{REFL}
000	AV_{DD}	AV_{SS}
001	V_{REF+} externa	AV_{SS}
010	AV_{DD}	V_{REF-} externa
011	V_{REF+} externa	V_{REF-} externa
1XX	AV_{DD}	AV_{SS}

Taula 4. Combinació dels bits VCFG per a seleccionar el voltatge de referència

- CSCNA: Exploració d'entrades seleccionades.
1 = Entrades explorades.
0 = Entrades no explorades.
- CHPS <1:0>: Són els bits que indiquen quins canals estan sent utilitzats en la conversió.
1x = Converteix els canals CH0, CH1, CH2 I CH3.
01 = Converteix els canals CH0 i CH1.
00 = Converteix el canal CH0.

Quan el bit SIMSAM (ADCON1<3>) val 1, canals diferents són mostrejats simultàniament.

- **BUFS:** Bit que indica l'estat d'ompliment del buffer. Només és vàlid quan **BUFM** = 1 (ADRES queda dividit en dos buffers).

1 = Les posicions del buffer que s'estan omplint ocupen el rang 0x8-0xF. L'usuari ha d'accedir a la informació referint-se a 0x0-0x7.

0 = Les posicions del buffer que s'estan omplint comprenen el rang 0x0-0x7. L'usuari ha d'accedir a la informació referint-se a 0x8-0xF.

- **SMPI <3:0>:** Són els bits encarregats per a la generació d'una interrupció amb un número concret de mostreigs i conversions.

1111 = Es genera una interrupció amb la finalització de la 16^a seqüència de mostreig i conversió.

1110 = Es genera una interrupció amb la finalització de la 15^a seqüència de mostreig i conversió.

.....

0001 = Es genera una interrupció amb la finalització de la 2^a seqüència de mostreig i conversió.

0000 = Es genera una interrupció amb la finalització de la 1^a seqüència de mostreig i conversió.

- **BUFM:** Bit empleat per seleccionar el mode en el que quedarà configurat el buffer.

1 = El buffer quedarà configurat com dos buffers de paraules de 8 bits (ADCBUF(15..8), ADCBUF(7..0)).

0 = El buffer quedarà configurat com un buffer de paraules de 16 bits (ADCBUF(15..0)).

- **ALTS:** És el bit que indica la selecció d'una entrada alternativa del mode de mostreig.

1 = Utilitza la configuració del multiplexor d'entrada MUXA per al primer mostreig, per a després alternar entre els multiplexors d'entrada MUXA i MUXB.

0 = Utilitza en tot moment el multiplexor MUXA.

El registre de control **ADCON2** s'ha seleccionat amb el valor **0x6400**, on tenim que la tensió de referència serà externa (VCFG = 011), les entrades seran explorades (CSCNA = 1), realitzarà la conversió al canal CH0 (CHPS = 00), es generarà una interrupció quan finalitza una seqüència de mostreig i conversió (SMPI = 0000), en el nostre cas no en generarà cap ja que no estan habilitades, el buffer quedarà configurat amb una paraula de 16 bits (BUFM = 0) i utilitzarà en tot moment el multiplexor MUXA (ALTS = 0).

ADCBUF0 (10 bits)

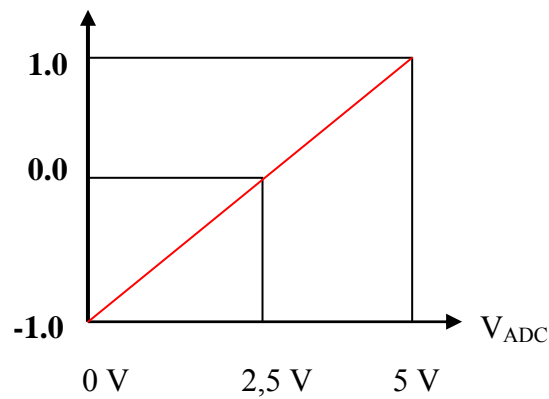


Figura 95. Relació entre V_{ADC} i ADCBUF0

$$\text{Precisió ADC} = \frac{\text{Marge } V_{ADC}}{\text{Marge ADCBUF0}} = \frac{5}{2^{10}} = 4,8 \text{ mV} \quad (95)$$

ADCON3: Registre de control analògic digital 3.

Upper Byte:							
U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	SAMC<4:0>				
bit 15							
							bit 8

Lower Byte:							
R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADRC	—	ADCS<5:0>					
bit 7							bit 0

Figura 96. Registre de control ADCON3

- SAMC <4:0>: Indica el temps de mostreig automàtic.
 $11111 = 31 T_{AD}$
.....
 $00001 = 1 T_{AD}$
 $00000 = 0 T_{AD}$
- ADRC: És l'indicador de la font del rellotge de conversió.
1 = Senyal de rellotge RC intern del mòdul A/D.
0 = Senyal de rellotge obtingut del senyal de rellotge del sistema.
- ADCS <5:0>: Són els bits que realitzen la selecció del rellotge de conversió.
 $111111 = T_{CY}/2 \cdot (ADCS<5:0> + 1) = 32 \cdot T_{CY}$

.....

$$000001 = T_{CY}/2 \cdot (ADCS<5:0> + 1) = T_{CY}$$

$$000000 = T_{CY}/2 \cdot (ADCS<5:0> + 1) = T_{CY}/2$$

El registre de control **ADCON3** s'ha seleccionat amb el valor **0x0105**, on tenim un mostreig automàtic d'un T_{AD} ($SAMC = 00001$), el senyal de rellotge de conversió és obtingut del senyal de rellotge del sistema ($ADRC = 0$) i un rellotge de conversió de $3 \cdot T_{CY}$ ($ADCS = 0101$) obtingut com a continuació s'explica.

Com ja s'ha dit abans el conversor A/D necessita un cicle de rellotge A/D (T_{AD}) per a convertir cada un dels bits del resultat, més un cicle addicional de rellotge. Per tant, si afegim el T_{AD} mínim de mostreig es requereix un total de 12 cicles T_{AD} per a la realització d'una conversió completa en un CAD de 10 bits.

Per tant, com treballem amb un conversor ADC que va a 1000 kpsps obtenim el valor mínim de T_{AD} de la següent manera:

$$T_{AD(min)} = \frac{1}{12 \cdot 1000 \cdot 10^3} = 83,3 \text{ ns}, \quad (96)$$

on

- 12 representen el cicles que es necessiten per realitzar una conversió.
- $1000 \cdot 10^3$ representa la velocitat del conversor.

Per tant, el període d'oscil·lació o treball serà

$$T_{CY} = \frac{1}{F_{CY}} = \frac{1}{\frac{F_{CLK}}{4}} \quad (97)$$

on

- $F_{CY} \rightarrow$ freqüència d'oscil·lació o treball.
- $F_{CLK} \rightarrow$ freqüència de rellotge que serà 120 MHz.

Sabent això podem obtenir el valor que s'ha de carregar a ADCS utilitzant l'equació (94) de l'apartat 9.4.6.

$$ADCS = \frac{2 \cdot T_{AD}}{T_{CY}} - 1 = \frac{2 \cdot 83,3 \cdot 10^{-9}}{\frac{1}{\frac{120 \cdot 10^6}{4}}} - 1 = 5 \quad (98)$$

Ara calcularem el valor real de T_{AD} i el de conversió ja que el que hem fet servir per calcular ADCS és el valor mínim per aconseguir una conversió analògica digital correcta.

$$T_{AD} = \frac{T_{CY} \cdot (ADCS + 1)}{2} = \frac{T_{CY} \cdot (6)}{2} = 3 \cdot T_{CY} \quad (99)$$

$$T_{CONV} = 12 \cdot T_{AD} = 0,99 \mu s \approx 1 \mu s \quad (100)$$

ADCHS: Registre de selecció de canal analògic d'entrada.

El registre ADCHS s'encarrega de seleccionar els pins d'entrada que seran connectats als amplificadors de mostreig i retenció. A la figura 97 es mostren els bits que formen aquest registre.

Upper Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CH123NB<1:0>		CH123SB	CH0NB	CH0SB<3:0>			
bit 15							bit 8

Lower Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CH123NA<1:0>		CH123SA	CH0NA	CH0SA<3:0>			
bit 7							bit 0

Figura 97. Registre de selecció de canal analògic d'entrada

- CH123NB <1:0>: Selecció d'entrada negativa dels canals 1, 2, 3 per a la configuració del multiplexor MUX B.
0x = Els CH1, CH2 i CH3 negatius són la entrada V_{REF-} .
- CH123SB: Selecció d'entrada positiva dels canals 1, 2, 3 per a la configuració del multiplexor MUX B.
1 = El CH1 positiu és l'entrada AN3.
El CH2 positiu és l'entrada AN4.
El CH3 positiu és l'entrada AN5.
0 = El CH1 positiu és l'entrada AN0.
El CH2 positiu és l'entrada AN1.
El CH3 positiu és l'entrada AN2.
- CH0NB: Selecció d'entrada negativa del canal 0 per a la configuració del multiplexor MUX B.
1 = El CH0 negatiu és l'entrada AN1.
0 = El CH0 negatiu és l'entrada V_{REF-} .
- CH0SB <3:0>: Selecció d'entrada positiva del canal 0 per a la configuració del multiplexor MUX B.
x101 = El CH0 positiu és l'entrada AN5.

x100 = El CH0 positiu és l'entrada AN4.

x011 = El CH0 positiu és l'entrada AN3.

x010 = El CH0 positiu és l'entrada AN2.

x001 = El CH0 positiu és l'entrada AN1.

x000 = El CH0 positiu és l'entrada AN0.

- CH123NA <1:0>: Selecció d'entrada negativa dels canals 1, 2, 3 per a la configuració del multiplexor MUX A (igual que CH123NB, però per al multiplexor MUX A).

0x = Els CH1, CH2 i CH3 negatius són la entrada V_{REF-} .

- CH123SA: Selecció d'entrada positiva dels canals 1, 2, 3 per a la configuració del multiplexor MUX A (igual que CH123SB, però per al multiplexor MUX A).

1 = El CH1 positiu és l'entrada AN3.

El CH2 positiu és l'entrada AN4.

El CH3 positiu és l'entrada AN5.

0 = El CH1 positiu és l'entrada AN0.

El CH2 positiu és l'entrada AN1.

El CH3 positiu és l'entrada AN2.

- CH0NA: Selecció d'entrada negativa del canal 0 per a la configuració del multiplexor MUX A (igual que CH0NB, però per al multiplexor MUX A).

1 = El CH0 negatiu és l'entrada AN1.

0 = El CH0 negatiu és l'entrada V_{REF-} .

- CH0SA <3:0>: Selecció d'entrada positiva del canal 0 per a la configuració del multiplexor MUX A (igual que CH0SB, però per al multiplexor MUX A)..

x101 = El CH0 positiu és l'entrada AN5.

x100 = El CH0 positiu és l'entrada AN4.

x011 = El CH0 positiu és l'entrada AN3.

x010 = El CH0 positiu és l'entrada AN2.

x001 = El CH0 positiu és l'entrada AN1.

x000 = El CH0 positiu és l'entrada AN0.

El registre de control **ADCHS** s'ha seleccionat amb el valor **0x0002**. Com s'ha seleccionat **ALTS = 0** (**ADCON2<0>**) treballa en tot moment amb el multiplexor MUXA i com hem seleccionat **CHPS = 00** (**ADCON2<9:8>**) treballem en tot moment amb el canal CH0; per tot això només ens afecten els bits relacionat amb MUXA del canal CH0, per això hem seleccionat la tensió de referència negativa (V_{REF-}) com a entrada negativa del canal 0 (**CH0NA = 0**) i l'entrada positiva del canal 0 l'entrada AN2 (**CH0SA = x010**).

ADPCFG: Registre de configuració del port en analògic o digital.

Per altra banda, el registre ADPCFG és l'encarregat de configurar els pins d'entrada com entrades analògiques o com entrades o sortides digitals. Per això utilitza tots els bits de control, tal i com es mostra a la figura 98.

Upper Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PCFG15	PCFG14	PCFG13	PCFG12	PCFG11	PCFG10	PCFG9	PCFG8
bit 15							bit 8

Lower Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PCFG7	PCFG6	PCFG5	PCFG4	PCFG3	PCFG2	PCFG1	PCFG0
bit 7							bit 0

Figura 98. Registre de configuració del port en analògic o digital

- PCFG <15:0>: Són els bits de control de la configuració de les potes d'entrada.

1 = La pota d'entrada es troba en mode digital.

0 = La pota d'entrada es troba en mode analògic.

El registre de control **ADPCFG** s'ha seleccionat amb el valor **0x0000** on totes les potes d'entrada es troben en mode analògic.

ADCSSL: Registre de selecció d'entrada per a l'exploració.

El registre ADCSSL es dedica a seleccionar l'ordre en el que les entrades seran seqüencialment explorades. Al igual que el registre ADPCFG exposat anteriorment, utilitza tots els seus bits per a seleccionar aquesta funció. A la figura 99 es mostren els bits que ho formen.

Upper Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CSSL15	CSSL14	CSSL13	CSSL12	CSSL11	CSSL10	CSSL9	CSSL8
bit 15							bit 8

Lower Byte:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CSSL7	CSSL6	CSSL5	CSSL4	CSSL3	CSSL2	CSSL1	CSSL0
bit 7							bit 0

Figura 99. Registre de selecció d'entrada per a l'exploració

- CSSL <15:0>: Són els bits de selecció d'exploració dels pins d'entrada.

1 = Selecciona el canal corresponent, ANx, per a ser explorat.

0 = No selecciona canal.

El registre de control **ADCSSL** s'ha seleccionat amb el valor **0x0004** ja que selecciona el canal AN2 per a ser explorat.

d'enginyeria tècnica industrial en electrònica industrial és el de la figura 101. Per tant, es comprovarà si aquest driver ens pot funcionar pel nostre cas.

- Mode de funcionament

Quan el PWM té un '1' lògic, (en el nostre cas 5 V) força pel transistor NPN2 un corrent de base que segueix la següent expressió per llei d'ohm

$$i_B = \frac{V_{PWM} - V_{BE}}{R5} = \frac{5 - 0,7}{4700} = 0,91 \text{ mA} \quad (101)$$

i el condensador C1 es carrega a 4,3 V. Ara es suposarà que el transistor NPN2 està en saturació i farem l'aproximació de que $V_{CE, sat} = 0,2 \text{ V}$, quedant l'equació del col·lector com

$$i_C = \frac{V_g - V_{CE, sat}}{R4} = \frac{12 - 0,2}{100} = 118 \text{ mA} \quad (102)$$

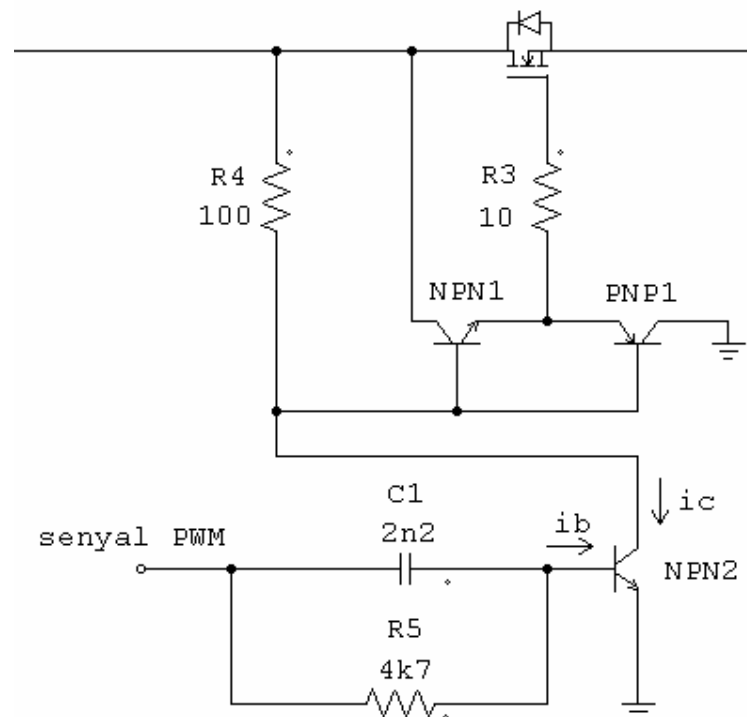


Figura 101. Circuit disparador del PMOS (driver)

Es pot arribar a la conclusió que es dona la situació de saturació ja que aquest valor de i_C és més petit que el valor de $i_{C, act} = \beta \cdot i_B$. Amb la qual cosa, podem assegurar que a la base dels transistors NPN1 i PNP1 hi arriben 0,2 V (tensió de saturació de NPN2). En aquesta situació condueix PNP1 amb el que aconseguim que es connecti la porta del PMOS a massa. Per tant, a la porta del PMOS li arribaran 0 V fet que farà que es comporti gairebé com un curtcircuit amb la seva resistència en conducció ($r_{ds} = 300 \text{ m}\Omega$).

Quan el PWM té un '0' lògic (0 V) el condensador C1 es descarrega instantàniament i el transistor NPN2 queda en tall, R4 no tindrà cap funció i per tant, arribaran 12 V a la base dels transistors NPN1 i PNP1. Ara el que condueix és NPN1 quedant tallat PNP1. En aquests moments al PMOS li arribarà una tensió de 12 V que el portarà a la situació de tall. El PMOS no conduirà i es comportarà com un circuit obert.

Resumint:

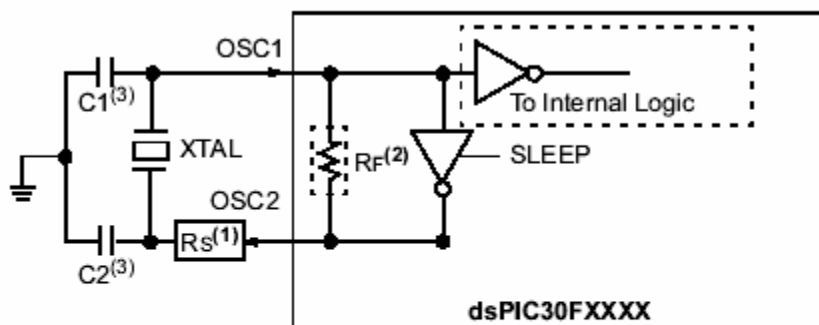
- PWM=0 (PMOS NO CONDUEIX, CIRCUIT OBERT)
- PWM=1 (PMOS CONDUEIX, CURTCIRCUIT AMB $R_{DS}=300\text{ m}\Omega$)

Per tant s'arriba a la conclusió que aquest driver funciona perfectament amb la tensió de sortida donada pel PWM (V_{PWM}).

9.5.2 Oscil·lador

Un element indispensable pel funcionament d'un microcontrolador és el cristall oscil·lador de quars. Aquest genera la base de temps que necessita el microcontrolador per executar el programa. En el nostre disseny hem escollit un cristall de quars que genera una freqüència de 7,3728 MHz, com ja s'ha explicat als registres de configuració i control (apartat 9.3.7), englobat dins l'explicació del PWM.

A més, per estabilitzar la freqüència del cristall, es col·loquen dos condensadors ceràmics, un en cada parell de l'encapsulat del cristall de quars i a terra, tal i com es mostra a la figura següent:



- Note 1:** A series resistor, R_s , may be required for AT strip cut crystals.
- 2:** The internal feedback resistor, R_f , is typically in the range of 2 to 10 M Ω .
- 3:** See **Section 7.7 "Determining Best Values for Crystals, Clock Mode, C1, C2 and R_s ".**

Figura 102. Disseny de l'oscil·lador

El valor dels condensadors serà de 22 pF.

9.5.3 Codi del programa en C

La idea essencial del programa és que es pugui treballar en nombres fraccionals ja que és una de les possibilitats que ofereix el microcontrolador dsPIC30F3010, per la qual cosa els conjunts borrosos creats a les simulacions s'han dissenyat dins d'aquest rang (-1 1). Igual que el model simulink de la figura 15 (apartat 6) on s'ha realitzat una sèrie d'adaptacions de senyal per a aproximar aquest model al cas pràctic.

El control borrós que s'ha implementat ha sigut el tercer cas realitzat a les simulacions, on tenim dos conjunts borrós per l'error, dos per l'increment de l'error i valors escalars per a la sortida.

```
#include <p30f3010.h>
#include "pwm.h"
#include "adc10.h"
#include "dsp.h"

fractional a, b, c, d, e, f, i, errorEN[2], errorEP[2], incerrorCN[2],
    incerrorCP[2], sort[3];
fractional erroranterior, sortidafinal, sortidaanterior, sortidatotal,
    sortida, sortidal, sortida3;
fractional ENe, EPe, CNince, CPince, error, incerror, infP, infN, infZ,
    infZ1, infZ2, den, denP, denZ, denN;

int doble;

int main ()
{
    a=Q15(-1.0);
    b=Q15(1.0);
    c=Q15(0.0);
    d=Q15(-0.0003);           //sortida N (-0,003) multiplicada per 0,1
    e=Q15(0.0003);           //sortida P (0,003) multiplicada per 0,1
    f=Q15(0.5);
    i=Q15(1.0);

    //funcions de pertinença del error
    errorEN[0]=a;
    errorEN[1]=b;
    errorEP[0]=a;
    errorEP[1]=b;

    //funcions de pertinença del increment error
    incerrorCN[0]=a;
    incerrorCN[1]=b;
    incerrorCP[0]=a;
    incerrorCP[1]=b;

    //funcions de pertinença de la sortida
    sort[0]=d;
    sort[1]=c;
    sort[2]=e;

    //inicialitzem els ports
    PORTB=0;
    PORTC=0;
    PORTD=0;
    PORTE=0;
    PORTF=0;

    TRISB=0xFFFF;
    TRISC=0xFFFF;
    TRISD=0xFFFF;
    TRISE=0xFF1E;
    TRISF=0xFFFF;
```

```

//configurem PWM
PTPER=299;           //Fclk = 120 MHz
PWMCON1bits.PMOD1=1;
PWMCON1bits.PEN1L=1;
PWMCON2bits.OSYNC=1;
PWMCON2bits.UDIS=0;
OVDCON=0x2100;
PTCON=0x8000;

//configurem ADC
ADCON1=0x0360;
ADCON2=0x6400;
ADCON3=0x0105;
ADCHS=0x0002;
ADPCFG=0x0000;
ADCSSL=0x0004;
ADCON1bits.ADON=1; //activem el mòdul ADC
ADCON1bits.ASAM=1; //fem que SAMP sigui controlat automàticament

doble=PTPER*10; // es multiplica per 10 ja que s'ha inclòs el guany * 5
//que s'ha d'aplicar a la sortida

incerror=c;
error=c;
sortidafinal=c;

while(1)           //bucle infinit
{
    erroranterior=error;
    sortidaanterior=sortidafinal;

    while (ADCON1bits.DONE==0); //només entra quan s'ha completat la
                                //conversió
    {
        error=-ADCBUF0;           //captura el valor de la conversió
        incerror=error-erroranterior;
        ADCON1bits.DONE=0;        //s'ha de posar a 0 per software

        //fuzzyficacio de error
        if (error<=errorEN[0])
            ENe=i;
        else
            if ((error>=errorEN[0]) && (error<=errorEN[1]))
            {
                ENe=(errorEN[1]-error);
            }
        else
            if (error>=errorEN[1])
                ENe=c;

        EPe=i-ENe;

        // fuzzyficacio de incremet error
        if (incerror<=incerrorCN[0])
            CNince=i;
    }
}

```

```

else

    if ((incerror >= incerrorCN[0]) && (incerror <= incerrorCN[1]))
    {

        CNince = (incerrorCN[1] - incerror);

    }

else
    if (incerror >= incerrorCN[1])
        CNince = c;

CPince = i - CNince;

//procés d'inferència

//infP = [min(EPe, CPince)];
if (EPe <= CPince) infP = EPe;
else infP = CPince;

//infZ = [min(EPe, CNince) min(ENe, CPince)];
//infZ1 = [min(EPe, CNince)];
if (EPe <= CNince) infZ1 = EPe;
else infZ1 = CNince;

//infZ2 = [min(ENe, CPince)];
if (ENe <= CPince) infZ2 = ENe;
else infZ2 = CPince;

//màxim infZ
if (infZ1 <= infZ2) infZ = infZ2;
else infZ = infZ1;

//infN = [min(ENe, CNince)];
if (ENe <= CNince) infN = ENe;
else infN = CNince;

//DEFUZZIFICATION
//sortida = (max(infN)*sort(0) + max(infZ)*sort(1) + max(infP)*sort(2)) /
//          (max(infP) + max(infZ) + max(infN));

//max(infN)*sort(0)
//sortida1 = producte(infN, sort[0]);
asm("MOV %0, W4 ": "+r" (infN));
asm("MOV %0, W5 ": "+r" (sort[0]));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (sortida1));

//max(infP)*sort(2)
//sortida3 = producte(infP, sort[2]);
asm("MOV %0, W4 ": "+r" (infP));
asm("MOV %0, W5 ": "+r" (sort[2]));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (sortida3));

sortida = sortida1 + sortida3; //numerador de la defuzzyficació

//es multipliquen les inferències per 0,1 per així tenir un

```

```

//valor al sumar les 3 inferències menor que 1
asm("MOV %0, W4 ": "+r" (infP));
asm("MOV %0, W5 ": "+r" (z));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (denP));

asm("MOV %0, W4 ": "+r" (infN));
asm("MOV %0, W5 ": "+r" (z));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (denN));

asm("MOV %0, W4 ": "+r" (infZ));
asm("MOV %0, W5 ": "+r" (z));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (denZ));

den=denP+denZ+denN;

asm("MOV _den, W4");
asm("MOV _sortida, W5");
asm("repeat #17");
asm("DIVF W5,W4");
asm("MOV W0, _sortidatotal"); //ENE=num/den

sortidafinal=sortidatotal+sortidaanterior;

//fem servir la multiplicació en fraccional, multiplicant un
//enter amb un fraccional per obtenir el valor de PDC1 que
//serà enter
//PDC1=producte(doble,sortidafinal);
asm("MOV %0, W4 ": "+r" (doble));
asm("MOV %0, W5 ": "+r" (sortidafinal));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (PDC1));
}
}
return 0;
}

```

Codi 3. Programa en C a introduir al dsPIC30F3010

9.5.4 Resultats experimentals

- **Tensió de sortida executada la planta en llaç obert amb $R = 1,1 \Omega$**

El primer que es farà és comprovar si la planta experimental correspon amb la planta dissenyada per fer les simulacions. Per fer-ho s'executarà la planta en llaç obert, com s'ha fet a la simulació i així comparar els resultats.

L'únic que farem al codi del programa és donar-li un cicle de treball fix a PDC1, no activar el CAD i tot el bucle que està dins del while(1) eliminar-lo. Per tant i com volem un cicle de treball de 0,42 tindrem que

$$PDC1 = 2 \cdot PTPER \cdot 0,42 \approx 252 \quad (103)$$

La figura 103 correspon a l'arrancada de la tensió de sortida un cop executada la planta en llaç obert. Com es pot observar la tensió de sortida té un sobrepic que arriba fins als 4,6 V, un temps d'establiment de 0,6 ms i un valor en estat estacionari de 4,2 V. Aquesta resultats són iguals que als obtinguts a la simulació (figura 6).

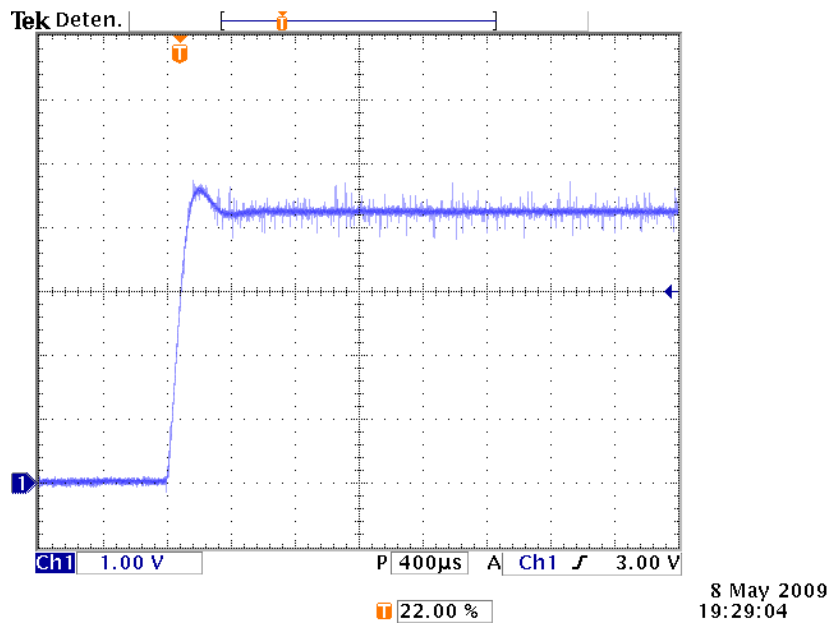


Figura 103. Arrancada de la tensió de sortida en llaç obert

- **Tensió de sortida executada la planta en llaç obert. Canvi de càrrega de $R = 1,1 \Omega$ (20 W) a $R = 2,2 \Omega$ (10 W)**

La figura 104 representa la tensió de sortida un cop s'ha realitzat el canvi de càrrega de $1,1 \Omega$ a $2,2 \Omega$, executant la planta en llaç obert. La tensió de sortida té un sobrepic que arriba fins als 5,8 V, un temps d'establiment de 0,75 ms i un valor en estat estacionari de 4,6 V. Aquests resultats s'aproximen bastant als obtinguts a la simulació (figura 7).

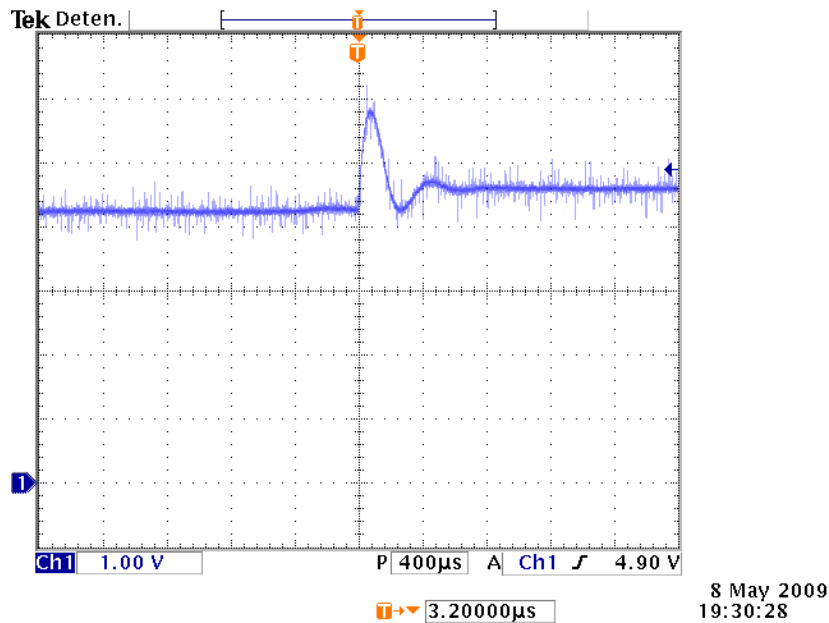


Figura 104. Tensió de sortida en llaç obert després de realitzar el canvi de càrrega de $1,1 \Omega$ a $2,2 \Omega$

- **Tensió de sortida amb $R = 1,1 \Omega$**

La figura 105 representa la tensió de sortida, el temps d'establiment és de 1,8 ms i el valor en estat estacionari és de 5 V. Es correspon amb els resultats obtinguts a la simulació (figura 42).

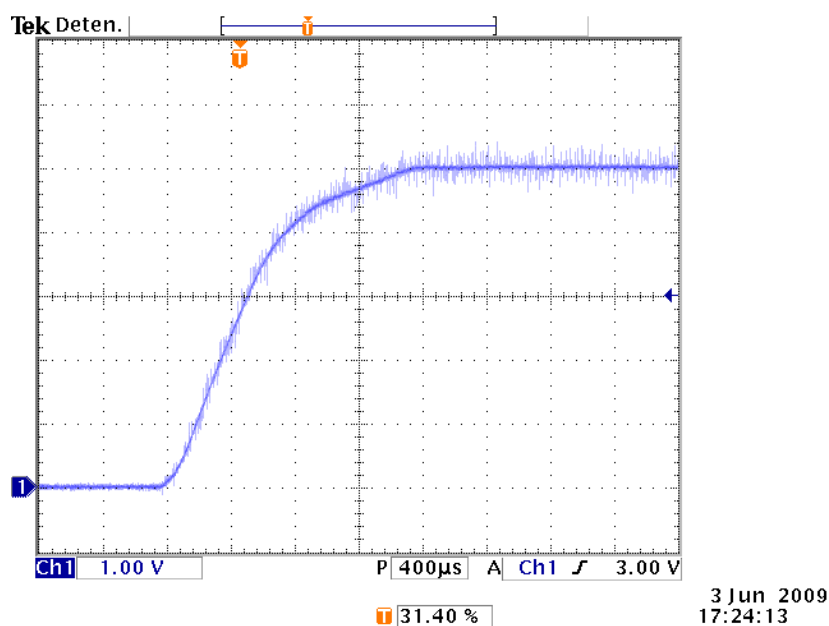


Figura 105. Tensió de sortida amb $R = 1,1 \Omega$

- **Corrent a l'inductor amb $R = 1,1 \Omega$**

La figura 106 representa el corrent a l'inductor, el temps d'establiment és de 1,8 ms, es pot observar que l'inductor treballa en tot moment en mode de conducció continu, el corrent mig és de 4,2 A. Aquest valor del corrent mig és una mica inferior a l'obtingut en la simulació (figura 43).

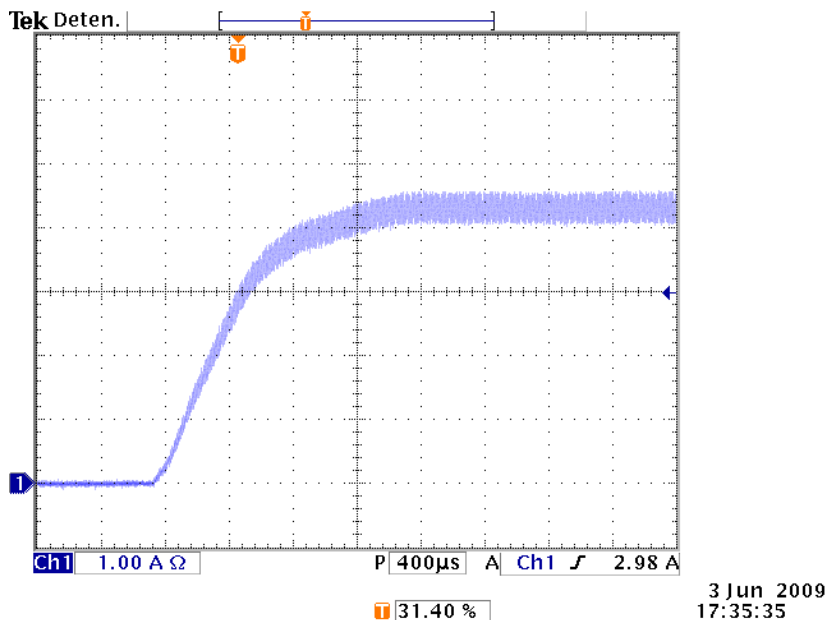


Figura 106. Corrent a l'inductor amb $R = 1,1 \Omega$

- **Tensió de sortida amb $R = 2,2 \Omega$**

La figura 107 representa la tensió de sortida, el temps d'establiment és de 1,7 ms i el valor en estat estacionari és de 5 V. S'aproxima bastant als resultats obtinguts a la simulació (figura 44).

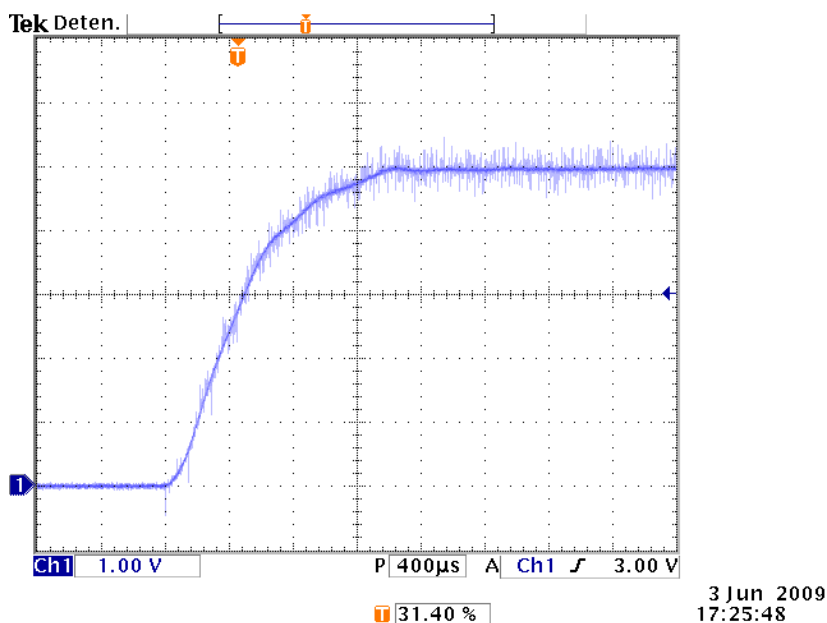


Figura 107. Simulació de la tensió de sortida amb $R = 2,2 \Omega$

- **Tensió de sortida. Canvi de càrrega de $R = 1,1 \Omega$ (20 W) a $R = 2,2 \Omega$ (10 W)**

Realitzada la pertorbació s'observa a la figura 108 com es produeix un sobrepic de la tensió de sortida que arriba fins als 6,8 V i un pic de $-0,4$ V respecte al valor estacionari de la tensió de sortida, el temps d'establiment és de 1 ms. S'aproxima bastant als resultats obtinguts a la simulació (figura 46).

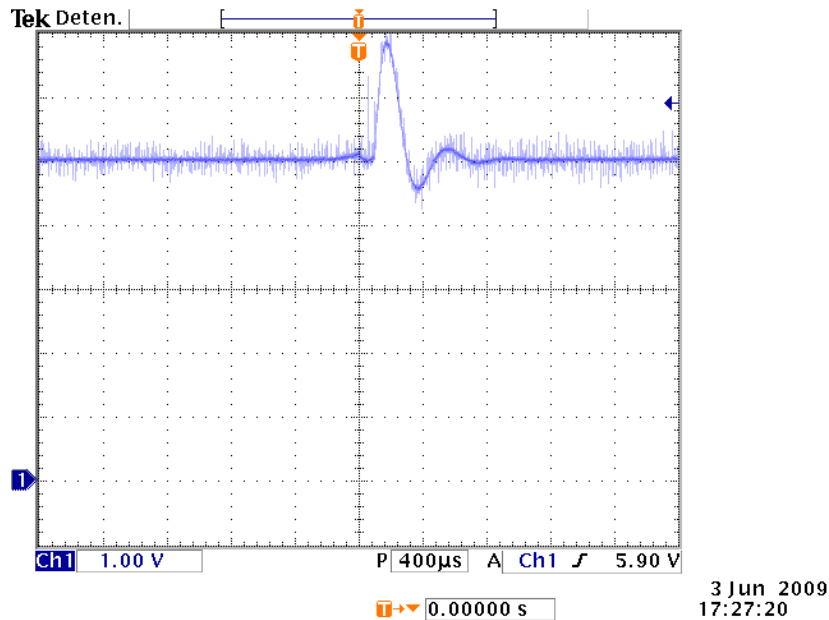


Figura 108. Tensió de sortida amb canvi de càrrega de $R = 1,1 \Omega$ a $R = 2,2 \Omega$

- **Tensió de sortida en règim permanent amb $R = 1,1 \Omega$ i PWM**

A la figura 109 es veu com la tensió de sortida es manté en tot moment a 5 V. El cicle de treball és d'aproximadament del 50 %. S'aprecia el soroll (ringing) produït per la commutació de l'interruptor PMOS. En el nostre cas no hem tingut problemes en l'obtenció de les mostres per part del CAD, ja que quan es produeix més soroll és quan l'inductor cedeix la seva energia.

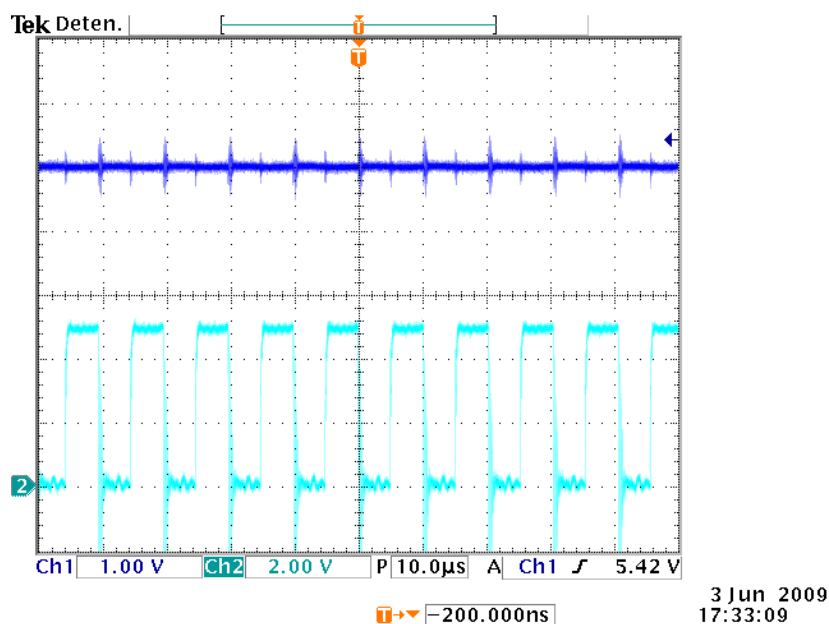


Figura 109. Tensió de sortida en règim permanent i PWM

- **Corrent a l'inductor en regim permanent amb $R = 1,1 \Omega$ i PWM**

La figura 110 representa el corrent mig a l'inductor el qual és de 4,3 A. Es pot observar com el corrent de l'inductor creix durant el període de t_{ON} i com cedeix energia durant t_{OFF} .

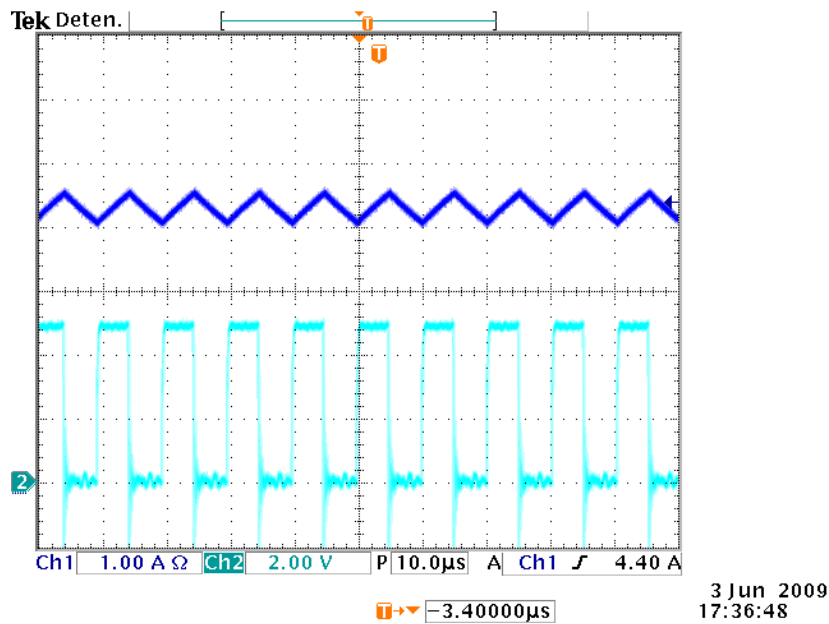


Figura 110. Corrent a l'inductor en règim permanent i PWM

- **Corrent a l'inductor i temps d'execució del programa**

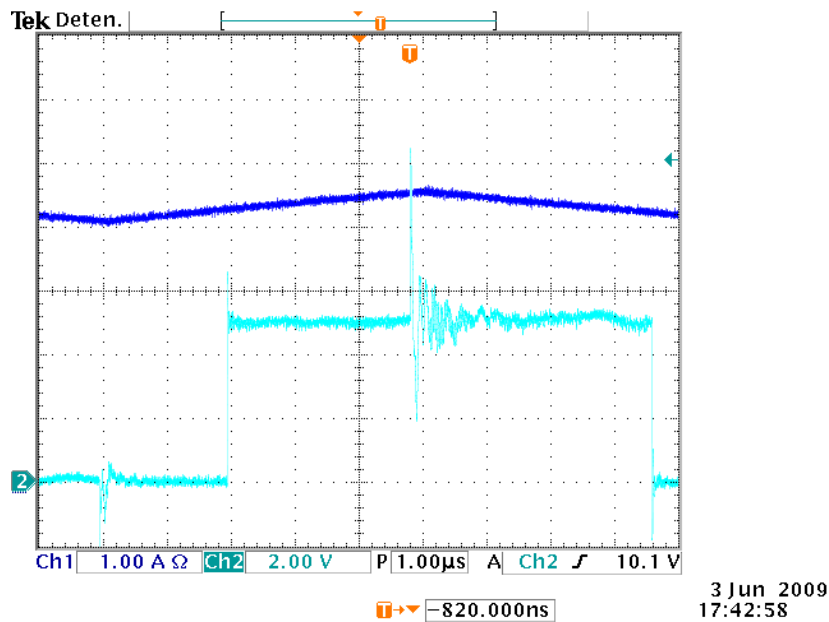


Figura 111. Corrent a l'inductor i temps d'execució del programa

La figura 111 representa el corrent a l'inductor i el temps que s'està executant el programa. També es pot veure el temps que tarda en realitzar-se la conversió. Segons els càlculs fets a l'equació (100), dins de l'apartat de configuració dels registres de control (9.14.15), el temps que està per realitzar una conversió és d'aproximadament $1\ \mu\text{s}$, però com es pot observar a la pràctica no és cert ja que tarda aproximadament $2\ \mu\text{s}$. Això és degut a que per aconseguir que la conversió tardi $1\ \mu\text{s}$ s'han d'utilitzar dos amplificadors de mostreig i retenció on l'entrada negativa ha d'anar connectada a la tensió de referència negativa ($V_{\text{REF-}}$) i la positiva a l'entrada (AN0-AN5) seleccionada.

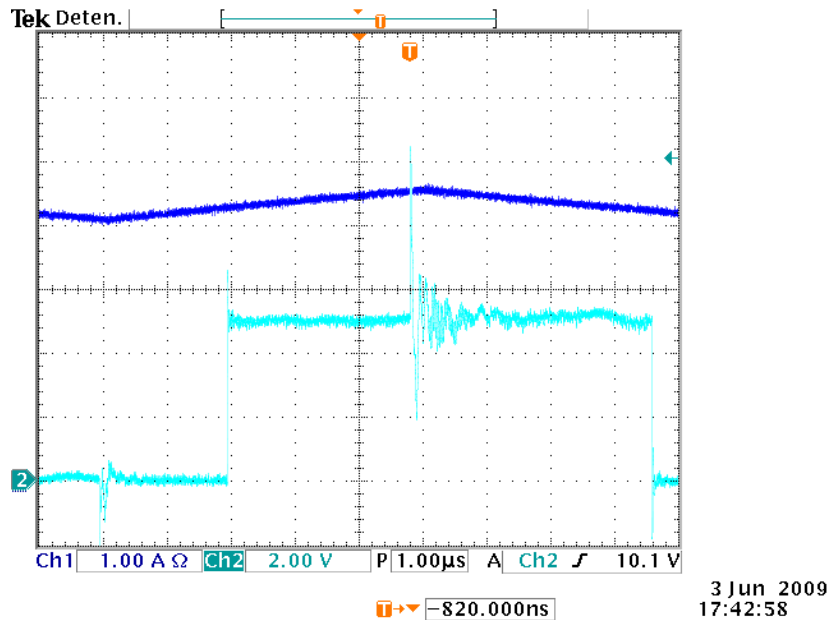


Figura 111. Corrent a l'inductor i temps d'execució del programa

- Tensió de sortida i tensió d'entrada amb canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1\ \Omega$

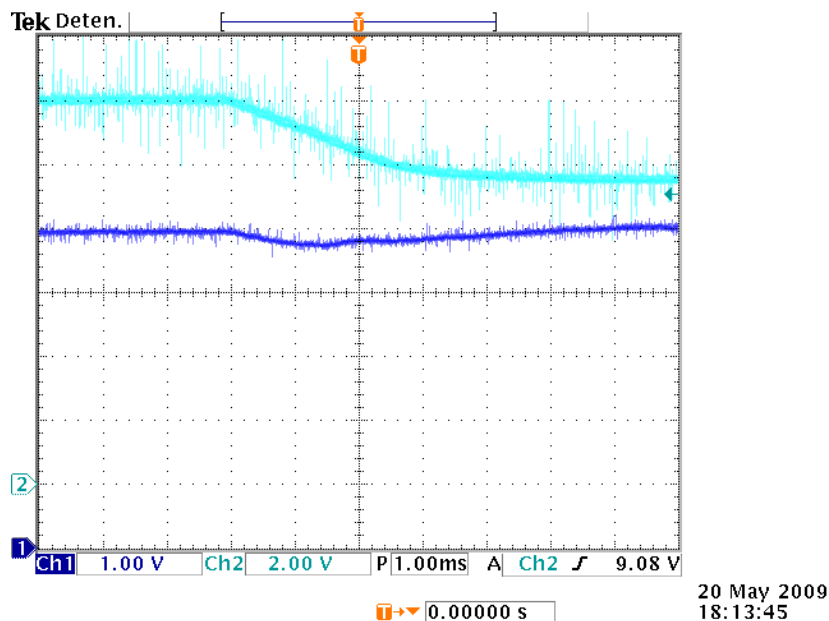


Figura 112. Tensió de sortida i tensió d'entrada amb canvi de tensió d'entrada de 12 V a 9,6 V i $R = 1,1\ \Omega$

A la figura 112 s'observa en la tensió de sortida com es produeix un pic de $-0,2$ V respecte al valor estacionari de la tensió de sortida, el temps d'establiment és de 5 ms. Aquesta figura correspon amb la de la simulació feta a la figura 48, degut a que en la simulació s'ha fet un canvi de tensió d'entrada de forma esglaonada no s'assemblen.

Per aproximar el resultat de la simulació amb el resultat experimental obtingut a la figura 112 s'introduirà a la simulació un filtre passa baix (RC), aquest filtre tindrà la tau (τ) que a continuació s'obté.

Al disseny experimental (figura 112), un cop s'ha realitzat el canvi de càrrega sabem que quan arriba a l'estat estacionari correspon a 4τ . Per tant, si el temps que està en arribar a l'estat estacionari són aproximadament 4 ms, podem obtenir el valor de tau (τ).

$$4\tau = 4 \cdot 10^{-3} \text{ s} \rightarrow \tau = \frac{4 \cdot 10^{-3}}{4} = 0,001 \text{ s} \quad (104)$$

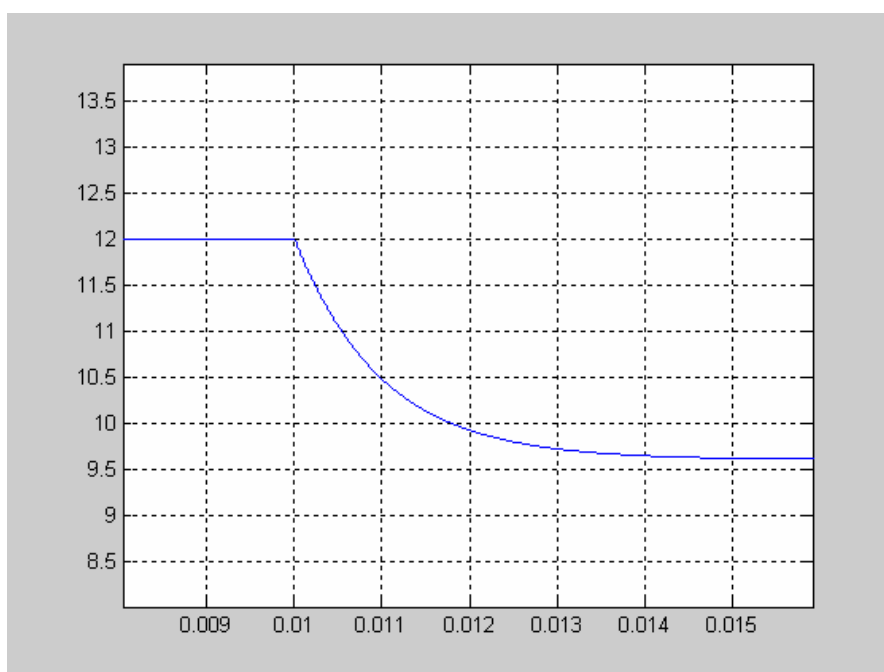


Figura 113. Simulació de la tensió d'entrada amb canvi de tensió d'entrada de 12 V a 9,6 V amb filtre RC

La simulació de la figura 113 correspon al canvi de tensió d'entrada obtingut a la figura 112. Podem afirmar que s'assemblen molt els resultats obtinguts, ja que aproximadament tenen el mateix temps d'establiment.

La figura 114 correspon a la tensió de sortida amb filtre passa baix a l'entrada. S'observa que es produeix un pic d'aproximadament $-0,2$ V respecte al valor estacionari de la tensió de sortida, el temps d'establiment és de 5 ms.

El resultat experimental de la tensió de sortida obtingut a la figura 112 s'aproxima bastant al resultat de la simulació obtingut a la figura 114 tant en el que fa referència al pic com al temps d'establiment.

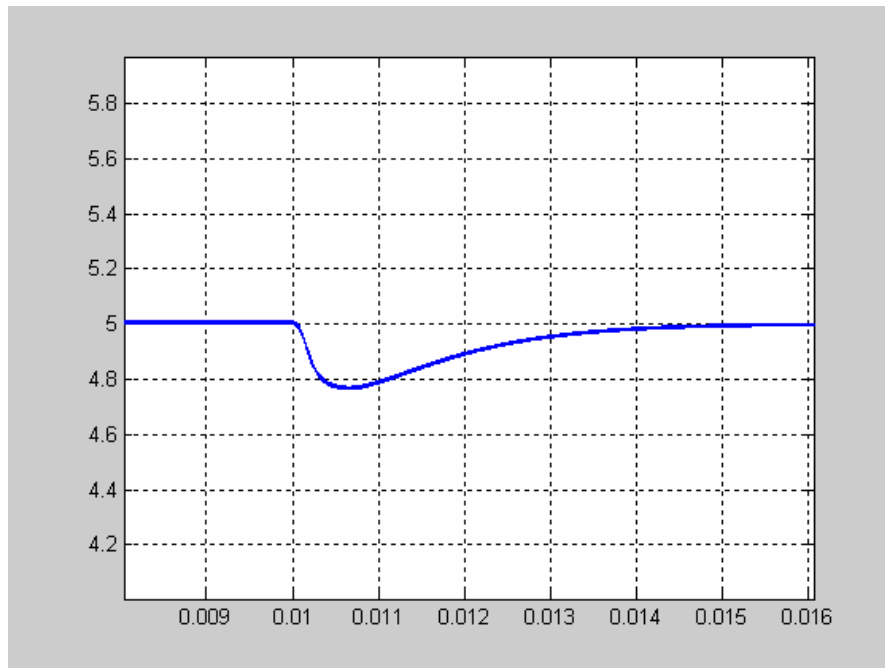


Figura 114. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 12 V a 9,6 V amb filtre RC

Si observem els resultats obtinguts tant experimentalment com mitjançant simulació podem remarcar que el control basat en lògica borrosa dona més bons resultats quan es produeix un canvi de càrrega, també és més ràpid per a estabilitzar el sistema. On si que el control de corrent màxim dona més bons resultats és quan es fa un canvi de tensió d'entrada.

Per tant, introduint al control basat en lògica borrosa un control feedforward independentzarem al convertidor l'entrada de la sortida. Així, comprovarem si introduint aquest tipus de control, aconseguim millorar el canvi de tensió d'entrada al control basat en lògica borrosa, i si s'aproxima als resultat obtinguts mitjançant simulació al control de corrent màxim.

10 Incorporació de Control Feedforward

10.1 Introducció

El principal desavantatge d'un sistema de control amb realimentació és que quan una pertorbació arriba al sistema, aquesta es propaga a través del sistema fins a la sortida, i només quan la sortida comença a desviar-se del valor de consigna comença l'acció correctora. Per tant, en el nostre cas un canvi de tensió d'entrada provocarà un canvi de tensió a la sortida que es detectarà al següent període i només llavors es començarà a corregir aquesta variació.

L'objectiu del control Feedforward és intentar compensar la pertorbació de l'entrada abans de que això afecti a la variable de control. Per tant s'haurà de mesurar la possible pertorbació de l'entrada tan aviat com es produeixi i començar a actuar sobre la variable de control augmentant o disminuint el cicle de treball en funció de la pertorbació, amb la qual cosa l'efecte d'aquesta actuació compensi l'efecte de la pertorbació i l'efecte total sobre la sortida sigui nul.

Per tant, afegint aquest tipus de control al nostre disseny aconseguirem minimitzar les variacions a la sortida produïda per possibles pertorbacions d'entrada. Aquestes pertorbacions seran mesurades i podran ser transformades a un valor digital llegible pel dsPIC30F3010 mitjançant la utilització d'un altre canal del CAD.

$$\text{sortida} = \frac{12}{u(1)} \cdot \text{sortidaborrosa} \quad (115)$$

on

- sortida serà el valor que s'utilitzarà per obtenir el cicle de treball.
- 12 representa la tensió d'entrada.
- $u(1)$ les possibles variacions a l'entrada.
- sortidaborrosa és la sortida del conjunt borrós.

10.2 Model simulink amb control Feedforward

El model simulink afegint el control Feedforward és el mostrat a la figura 115.

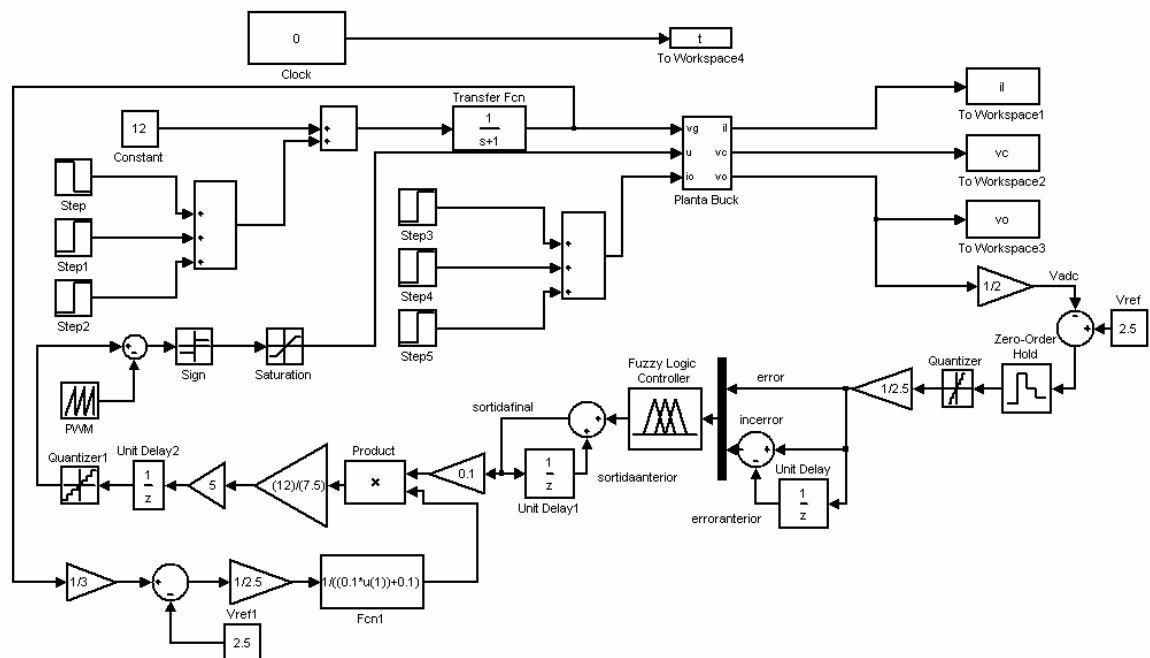


Figura 115. Model simulink amb control Feedforward

El nou model simulink amb control feedforward estarà format per:

- El model simulink de la figura 15.
- Un guany de $\frac{1}{3}$ després de la tensió d'entrada de la planta del Buck el qual representa al cas pràctic un divisor de tensió on hi ha una resistència de 2 kΩ i una altra de 1 kΩ. Aquest divisor ens permet adaptar el valor de la tensió d'entrada del convertidor Buck a un valor de tensió que el conversor ADC podrà llegir (en règim permanent 4 V).

- El valor obtingut després del guany $\frac{1}{3}$ es restarà amb una tensió de referència 2,5 i s'aplicarà a una altre guany $\frac{1}{2,5}$ aconseguint en aquest punt tenir el valor de l'entrada en fraccional. Al cas pràctic aquesta adaptació de senyal serà directa, és a dir, quan arribin 4 V al piu d'entrada del ADC el registra associat a aquesta entrada tindrà el valor en fraccional.
- Aquest valor en fraccional el transformarem a enter per a operar amb ell, per tant es farà el procés invers al fet fins aquí. Com el valor adquirit de l'entrada ha d'estar en el denominador s'introdueix un guany amb la següent expressió, $\frac{1}{(u(1)+1)}$, on $u(1)$ representa el valor entrat en fraccional i la resta part del procés invers que s'ha de fer per convertir el valor de fraccional a enter. Degut a que el valor del denominador és major a 1 (nosaltres estem treballant en fraccionals) és multiplicarà el numerador i el denominador per 0,1, quedant l'expressió de la següent manera $\frac{1}{(0,1 \cdot u(1) + 0,1)}$. Per aproximar aquesta part de la simulació al cas pràctic el valor de 0,1 que ha d'anar al numerador es posarà a la sortida del valor obtingut després de la desborrosificació
- Un guany $\frac{12}{7,5}$ on el numerador representa el valor de la tensió d'entrada de referència i el denominador la part de l'adaptació que ens quedava.

A continuació es farà un exemple per comprovar que l'adaptació està ben feta:

Si el valor de la tensió d'entrada són 12 V a l'entrada del ADC arriben 4 V, i el valor en fraccional serà $\frac{4 - 2,5}{2,5} = 0,6$. En aquest punt ja tenim el valor en fraccional, ara ho transformarem a enter, per tant $\frac{12}{(0,6 + 1)7,5} = 1$. No s'ha tingut en compte el 0,1 del denominador ni del numerador ja que és una demostració per comprovar que l'adaptació està ben feta.

10.3 Circuit experimental modificat

Com necessitem mostrejar dos canals s'ha introduït a l'esquema de la figura 100 un divisor de tensió per a adaptar la tensió d'entrada a mostrejar a un rang de tensió que el ADC pugui llegir. Per tant, l'esquema modificat és el de la figura 116.

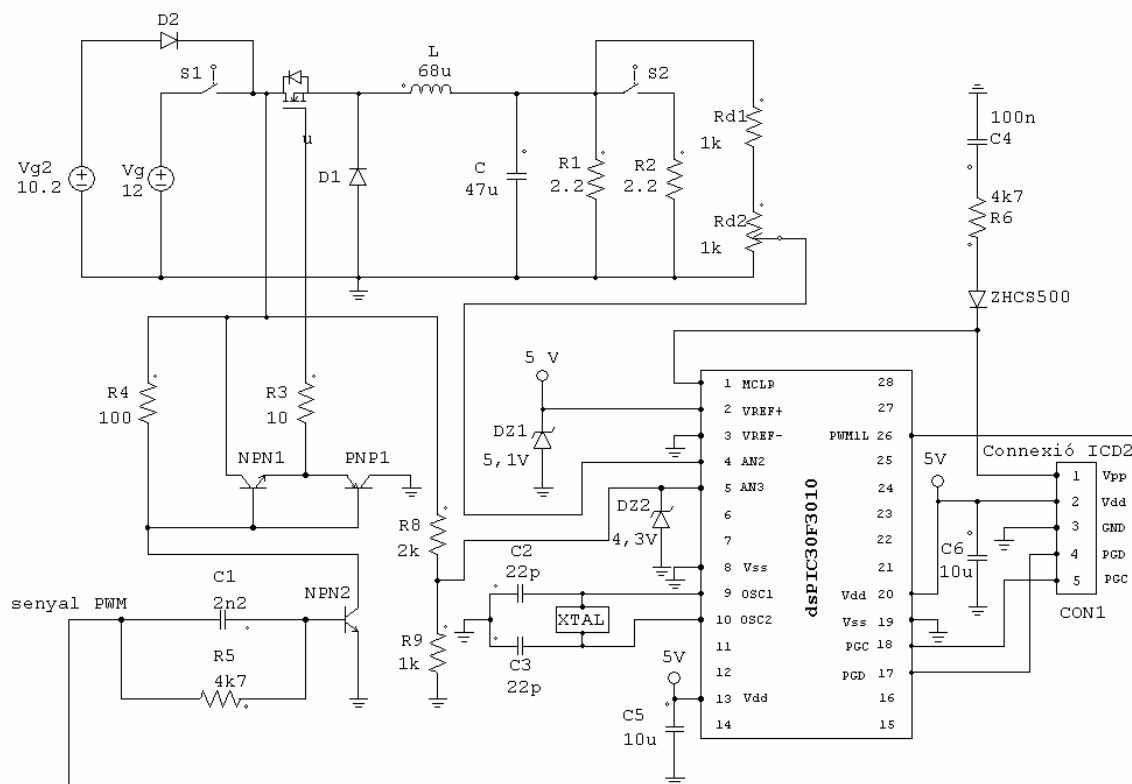


Figura 116. Esquema del circuit pràctic modificat del convertidor Buck mitjançant el dsPIC30F3010

10.4 Codi programa amb feedforward

En aquest cas s'utilitzaran dos canals del conversor analògic digital, on un l'utilitzarem per mostrejar la sortida de la planta i l'altre per mostrejar possibles pertorbacions de l'entrada. Per tant els registres del CAD quedaran configurats com a continuació s'explica.

ADCON1: Registre de control analògic digital 1.

El registre de control **ADCON1** s'ha seleccionat amb el valor **0x0360**, on tenim que el mòdul A/D no està operatiu ($ADON = 1$), ja que es passa a mode operatiu quan s'han configurat tots els registres, el mòdul A/D deixa de funcionar quan s'entra en mode IDLE ($ADSIDL = 0$), la forma de convertir el valor d'entrada analògics a digitals serà de fraccional amb signe ($FORM = 11$), s'ha sincronitzat la font de dispar de la conversió amb el període PWM ($SSRC = 011$), mostra només el canal 0 ja que $CHPS = 00$ ($ADCON2<9:8>$). Com el conversor A/D està sincronitzat amb el PWM el bit SAMP es controlat automàticament ($ASAM = 1$).

ADCON2: Registre de control analògic digital 2.

El registre de control **ADCON2** s'ha seleccionat amb el valor **0x6500**, on tenim que la tensió de referència serà externa ($VCFG = 011$), les entrades seran explorades ($CSCNA = 1$), realitzarà la conversió als canals CH0 i CH1 ($CHPS = 01$), es generarà una interrupció quan finalitza una seqüència de mostreig i conversió ($SMPI = 0000$), en el nostre cas no en generarà cap ja que no estan habilitades, el buffer quedarà configurat amb una paraula de 16 bits ($BUFM = 0$) i utilitzarà en tot moment el multiplexor MUXA ($ALTS = 0$).

ADCON3: Registre de control analògic digital 3.

El registre de control **ADCON3** s'ha seleccionat amb el valor **0x0105**, on tenim un mostreig automàtic d'un T_{AD} ($SAMC = 00001$), el senyal de rellotge de conversió és obtingut del senyal de rellotge del sistema ($ADRC = 0$) i un rellotge de conversió de $3 \cdot T_{CY}$ ($ADCS = 0101$).

ADCHS: Registre de selecció de canal analògic d'entrada.

El registre de control **ADCHS** s'ha seleccionat amb el valor **0x0022**. Com s'ha seleccionat $ALTS = 0$ ($ADCON2<0>$) treballa en tot moment amb el multiplexor MUXA i com hem seleccionat $CHPS = 01$ ($ADCON2<9:8>$) converteix els canal CH0 i CH1; hem seleccionat la tensió de referència negativa (V_{REF-}) com a entrada negativa del canal 0 ($CH0NA = 0$) i del canal 1 ($CH123NA=0x$), l'entrada positiva del canal 0 l'entrada AN2 ($CH0SA = x010$) i l'entrada positiva del canal 1 l'entrada AN3 ($CH123SA = 1$).

ADPCFG: Registre de configuració del port en analògic o digital.

El registre de control **ADPCFG** s'ha seleccionat amb el valor **0x0000** on totes les potes d'entrada es troben en mode analògic.

ADCSSL: Registre de selecció d'entrada per a l'exploració.

El registre de control **ADCSSL** s'ha seleccionat amb el valor **0x000C** ja que selecciona el canal AN2 per a ser explorat al canal 0 i AN3 per a ser explorat al canal 1.

```
#include <p30f3010.h>
#include "pwm.h"
#include "adc10.h"
#include "dsp.h"

fractional a, b, c, d, e, f, i, z, errorEN[2], errorEP[2], incerrorCN[2],
    incerrorCP[2], sort[3];
fractional erroranterior, sortidafinal, sortidaanterior, sortida,
    sortida1, sortida3, sortida 4, sortidanova;
fractional ENe, EPe, CNince, CPince, error, incerror, infP, infN, infZ,
    infZ1, infZ2, denP, denN, denZ, den;
fractional feedfinal, feedreduit, feedforward, sortidatotal;

int doble;

int main ()
{
    a=Q15(-1.0);
    b=Q15(1.0);
    c=Q15(0.0);
    d=Q15(-0.0003);           //sortida N (-0,003) multiplicada per 0,1
    e=Q15(0.0003);           //sortida P (0,003) multiplicada per 0,1
    f=Q15(0.5);
    i=Q15(1.0);
    z=Q15(0.1);

    //funcions de pertinença del error
    errorEN[0]=a;
    errorEN[1]=b;
    errorEP[0]=a;
    errorEP[1]=b;
```



```

//funcions de pertinença del increment error
incerrorCN[0]=a;
incerrorCN[1]=b;
incerrorCP[0]=a;
incerrorCP[1]=b;

//funcions de pertinença de la sortida
sort[0]=d;
sort[1]=c;
sort[2]=e;

//inicialitzem els ports
PORTB=0;
PORTC=0;
PORTD=0;
PORTE=0;
PORTF=0;

TRISB=0xFFFF;
TRISC=0xFFFF;
TRISD=0xFFFF;
TRISE=0xFF1E;
TRISF=0xFFFF;

//configurem PWM
PTPER=299;           //Fclk = 120 MHz
PWMCON1bits.PMOD1=1;
PWMCON1bits.PEN1L=1;
PWMCON2bits.OSYNC=1;
PWMCON2bits.UDIS=0;
OVDCON=0x2100;
PTCON=0x8000;

//configurem ADC
ADCON1=0x0360;
ADCON2=0x6500;
ADCON3=0x0105;
ADCHS=0x0022;
ADPCFG=0x0000;
ADCSSL=0x000C;
ADCON1bits.ADON=1;//activem el mòdul ADC
ADCON1bits.ASAM=1;//fem que SAMP sigui controlat automàticament

doble=PTPER*16;      //Es multiplica per 16 ja que s'ha inclòs el guany per
                    //5 que s'ha d'aplicar a la sortida i el guany
                    //resultant de dividir 12/7.5. On 12 representa la tensió
                    //de referencia d'entrada i 7.5 [(1/3)*(1/2.5)]
                    //l'adaptació del valor de entrada entrat al CAD.

incerror=c;
error=c;
sortidafinal=c;

while(1)           //bucle infinit
{
    erroranterior=error;
    sortidaanterior=sortidafinal;

```

```

while (ADCON1bits.DONE==0);    //només entra quan s'ha completat la
                                //conversió
{
    error=-ADCBUF0;            //captura el valor de la conversió
    feedforward=ADCBUF1;      //captura el valor de l'entrada

    incerror=error-erroranterior;

    ADCON1bits.DONE=0;        //s'ha de posar a 0 per software

    //fuzzyficacio de error
    if (error<=errorEN[0])
        ENe=i;
    else
        if ((error>=errorEN[0])&&(error<=errorEN[1]))
        {
            ENe=(errorEN[1]-error);
        }
    else
        if (error>=errorEN[1])
            ENe=c;
    EPe=i-ENe;

    // fuzzyficacio de incremet error
    if (incerror<=incerrorCN[0])
        CNince=i;
    else
        if ((incerror>=incerrorCN[0])&&(incerror<=incerrorCN[1]))
        {
            CNince=(incerrorCN[1]-incerror);
        }
    else
        if (incerror>=incerrorCN[1])
            CNince=c;
        CPince=i-CNince;

    //proces d inferencia
    //infP=[min(EPe,CPince)];
    if (EPe<=CPince) infP=EPe;
    else infP=CPince;

    //infZ=[min(EPe,CNince) min(ENe,CPince)];
    //infZ1=[min(EPe,CNince)
    if (EPe<=CNince) infZ1=EPe;
    else infZ1=CNince;

    //infZ2=[min(ENe,CPince)
    if (ENe<=CPince) infZ2=ENe;
    else infZ2=CPince;

    //màxim infZ
    if (infZ1<=infZ2) infZ=infZ2;
    else infZ=infZ1;

```

```

//infN=[min(ENe,CNince)];
if (ENe<=CNince) infN=ENe;
else infN=CNince;

//DEFUZZYFICATION
//sortida=(max(infN)*sort(0)+max(infZ)*sort(1)+max(infP)*sort(2))/(
(max(infP)+max(infZ)+max(infN));

//max(infN)*sort(0)
//sortida1=producte(infN,sort[0]);
asm("MOV %0, W4 ": "+r" (infN));
asm("MOV %0, W5 ": "+r" (sort[0]));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (sortida1));

//max(infP)*sort(2)
//sortida3=producte(infP,sort[2]);
asm("MOV %0, W4 ": "+r" (infP));
asm("MOV %0, W5 ": "+r" (sort[2]));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (sortida3));

sortida4=sortida1+sortida3; //numerador de la defuzzyficació

//es multipliquen les inferències per 0,1 per així tenir un
//valor al sumar les 3 inferències menor que 1
asm("MOV %0, W4 ": "+r" (infP));
asm("MOV %0, W5 ": "+r" (z));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (denP));

asm("MOV %0, W4 ": "+r" (infN));
asm("MOV %0, W5 ": "+r" (z));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (denN));
asm("MOV %0, W4 ": "+r" (infZ));
asm("MOV %0, W5 ": "+r" (z));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (denZ));

den=denP+denZ+denN;

asm("MOV _den, W4");
asm("MOV _sortida4, W5");
asm("repeat #17");
asm("DIVF W5,W4"); // (w5/w4) -->w0
asm("MOV W0, _sortidatotal");

sortidafinal=sortidatotal+sortidaanterior;

//Multiplico el valor de sortidafinal per 0.1 ja que
//després ho dividiré amb (valor entrat+0.1)
asm("MOV %0, W4 ": "+r" (sortidafinal));
asm("MOV %0, W5 ": "+r" (z));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (sortida));

```

```

//Multiplico el valor entrat que ja està en fraccional
//per 0.1 per així poder substituir (valor entrat+1) per
//(valor entrat+0.1). Ja que si es suma (valor entrat+1) el
//resultat és incorrecta ja que és major de 1
asm("MOV %0, W4 ": "+r" (feedforward));
asm("MOV %0, W5 ": "+r" (z));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (feedreduit));

feedfinal=feedreduit+z;          //Representa (valor entrat+0.1)

asm("MOV _feedfinal, W4");
asm("MOV _sortida, W5");
asm("repeat #17");
asm("DIVF W5,W4");    //(w5/w4)-->w0
asm("MOV W0, _sortidanova");

//fem servir la multiplicació en fraccional, multiplicant un
//enter amb un fraccional per obtenir el valor de PDC1 que
//serà enter
//PDC1=producte(doble,sortidafinal);
asm("MOV %0, W4 ": "+r" (doble));
asm("MOV %0, W5 ": "+r" (sortidanova));
asm("MPY W4*W5,A");
asm("SAC A,%0": "+r" (PDC1));
}
}
return 0;
}

```

Codi 4. Programa amb feedforward en C a introduir al dsPIC30F3010

- **Tensió de sortida i tensió d'entrada amb canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

En la figura 117 no s'aprecia quasi pertorbació de la tensió de sortida un cop realitzat el canvi de tensió d'entrada de 12 V a 9,6 V.

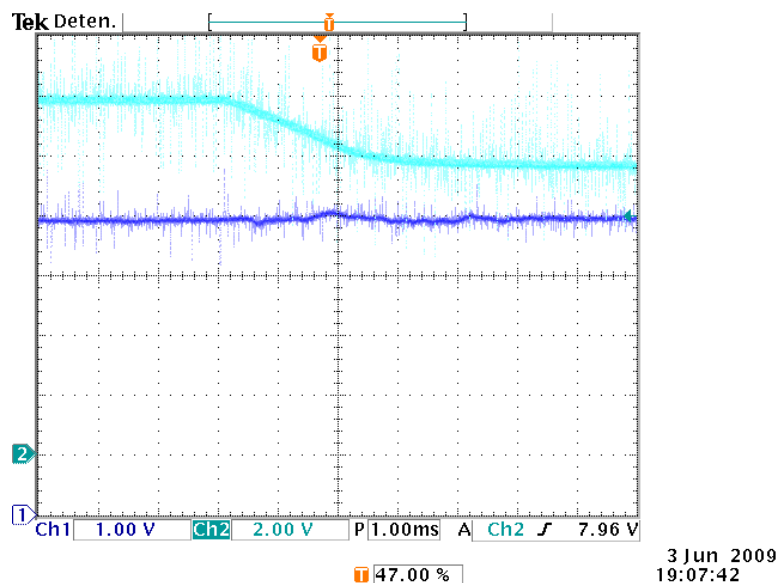


Figura 117. Tensió de sortida i tensió d'entrada amb canvi de tensió d'entrada de 12 V a 9,6 V i $R = 1,1 \Omega$

- **Tensió de sortida. Canvi de tensió d'entrada de 12 V a 9,6 V amb $R = 1,1 \Omega$**

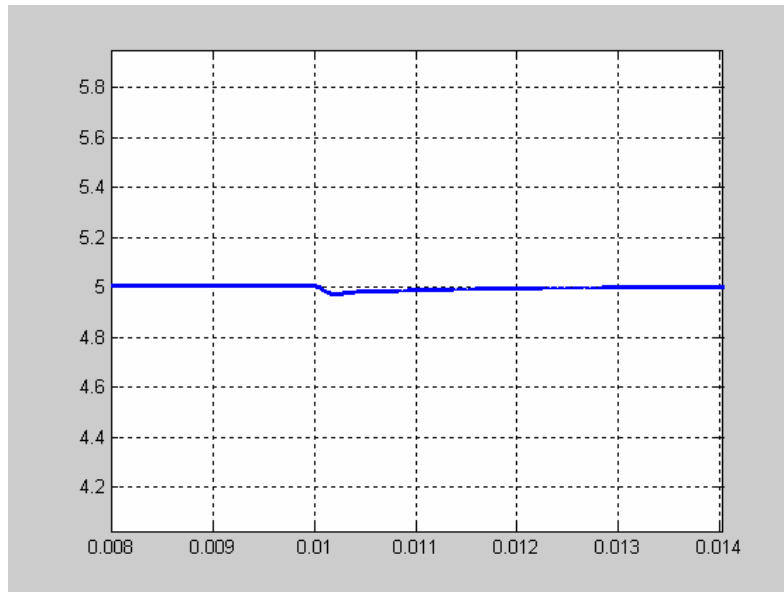


Figura 118. Simulació de la tensió de sortida amb canvi de tensió d'entrada de 12 V a 9,6 V amb filtre RC

La figura 118 representa la simulació de la tensió de sortida quan s'ha realitzat un canvi de tensió d'entrada de 12 V a 9,6 V. Per obtenir aquesta simulació s'ha introduït a l'entrada el filtre passa baix (RC) calculat a l'equació 104. S'observa que es produeix un pic de $-0,02$ V i un temps d'establiment de 1,5 ms. També s'ha hagut d'introduir a la sortida un altre retard, ja que com es veurà a la figura 119 ens falta temps d'execució per a poder realitzar el mostreig cada 10 μ s.

- **Corrent a l'inductor i temps d'execució del programa**

La figura 119 representa el corrent a l'inductor i el temps que s'està executant el programa. Si es suma el temps de conversió i el temps que s'està executant el programa obtenim un temps total de 11,5 μ s. Per tant l'actualització del cicle de treball es produirà cada dos cicles, és a dir cada 20 μ s.

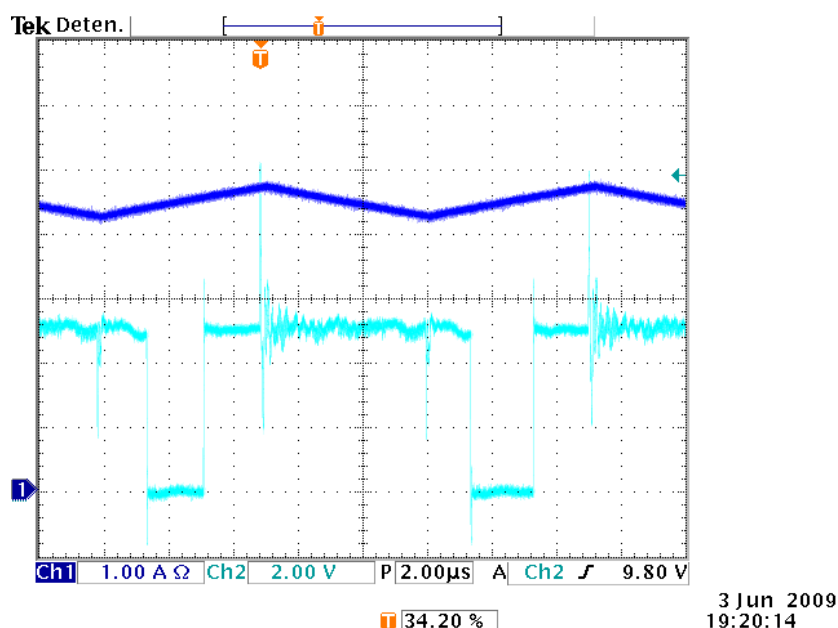


Figura 119. Corrent a l'inductor i temps d'execució del programa

Mitjançant el control feedforward aconseguim un millor resultat al realitzar un canvi de tensió d'entrada respecte als resultats obtinguts sense aquest tipus de control. Això si, no s'ha aconseguit millorar els resultats respecte el control de corrent màxim.

11 Bibliografia

- [1] José M^a Angulo Usategui - "Microcontroladores avanzados dsPIC controladores digitales de señales. Arquitectura, programación y aplicaciones" – Ed. Paraninfo cop. 2006.
- [2] R.W. Erikson – "Fundamentals of Power Electronics" – Ed. Chapman & Hall – 1997.
- [3] Quique Vidal Idiarte – Apunt de l'assignatura "Control Basat en Lògica Borrosa".
- [4] Luis Martinez Salamero – Apunts de l'assignatura "Arquitectura Elèctrica de Satelits".
- [5] Daniel Colavida Bove – "Control de Convertidores DC-DC Mitjançant "Digital Signal Controller"" – PFC – Abril/2007.
- [6] David Bogariz Vilches – "Implementacio Práctica de un Convertidor Continua-Continua Tipo Buck con Control Digital" – PFC – Gener/2006.
- [7] Gerardo Ramos Cordoba – Implementacion de un Control de Corriente Máxima PWM con Lazo de Tensión Borroso – PFC – Diciembre/2005.
- [8] <http://microchip.com>
- [9] Datasheet dsPIC30F3010.
- [10] Datasheet dsPIC30F Family Reference Manual.
- [11] Datasheet MPLAB C30 C Compiler User's Guide.